



PCT

特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類 H01L 21/56, 21/60, 23/28, B29C 43/18</p>	<p>A1</p>	<p>(11) 国際公開番号 WO98/02919</p> <p>(43) 国際公開日 1998年1月22日 (22.01.98)</p>			
<table style="width: 100%; border: none;"> <tr> <td style="width: 45%; vertical-align: top;"> <p>(21) 国際出願番号 PCT/JP97/02405</p> <p>(22) 国際出願日 1997年7月10日 (10.07.97)</p> <p>(30) 優先権データ 特願平8/183844 1996年7月12日 (12.07.96) 特願平8/276634 1996年10月18日 (18.10.96) 特願平9/10683 1997年1月23日 (23.01.97) 特願平9/181132 1997年7月7日 (07.07.97)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 富士通株式会社(FUJITSU LIMITED)[JP/JP] 〒211 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 深澤則雄(FUKASAWA, Norio)[JP/JP] 川原登志実(KAWAHARA, Toshimi)[JP/JP] 森岡宗知(MORIOKA, Muneharu)[JP/JP] 大澤満洋(OSAWA, Mitsunada)[JP/JP] 松木浩久(MATSUKI, Hirohisa)[JP/JP] 小野寺正徳(ONODERA, Masanori)[JP/JP] 河西純一(KASAI, Junichi)[JP/JP]</p> </td> <td style="width: 5%; text-align: center; vertical-align: middle;"> <p>JP</p><p>JP</p><p>JP</p><p>JP</p> </td> <td style="width: 50%; vertical-align: top;"> <p>丸山茂幸(MARUYAMA, Shigeyuki)[JP/JP] 竹中正司(TAKENAKA, Masashi)[JP/JP] 〒211 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa, (JP) 新聞康弘(SHINMA, Yasuhiro)[JP/JP] 佐久間正夫(SAKUMA, Masao)[JP/JP] 鈴木義美(SUZUKI, Yoshimi)[JP/JP] 〒211 神奈川県川崎市中原区上小田中4丁目1番1号 富士通オートメーション株式会社内 Kanagawa, (JP)</p> <p>(74) 代理人 弁理士 伊東忠彦(ITO, Tadahiko) 〒150 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階 Tokyo, (JP)</p> <p>(81) 指定国 CN, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p> </td> </tr> </table>			<p>(21) 国際出願番号 PCT/JP97/02405</p> <p>(22) 国際出願日 1997年7月10日 (10.07.97)</p> <p>(30) 優先権データ 特願平8/183844 1996年7月12日 (12.07.96) 特願平8/276634 1996年10月18日 (18.10.96) 特願平9/10683 1997年1月23日 (23.01.97) 特願平9/181132 1997年7月7日 (07.07.97)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 富士通株式会社(FUJITSU LIMITED)[JP/JP] 〒211 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 深澤則雄(FUKASAWA, Norio)[JP/JP] 川原登志実(KAWAHARA, Toshimi)[JP/JP] 森岡宗知(MORIOKA, Muneharu)[JP/JP] 大澤満洋(OSAWA, Mitsunada)[JP/JP] 松木浩久(MATSUKI, Hirohisa)[JP/JP] 小野寺正徳(ONODERA, Masanori)[JP/JP] 河西純一(KASAI, Junichi)[JP/JP]</p>	<p>JP</p> <p>JP</p> <p>JP</p> <p>JP</p>	<p>丸山茂幸(MARUYAMA, Shigeyuki)[JP/JP] 竹中正司(TAKENAKA, Masashi)[JP/JP] 〒211 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa, (JP) 新聞康弘(SHINMA, Yasuhiro)[JP/JP] 佐久間正夫(SAKUMA, Masao)[JP/JP] 鈴木義美(SUZUKI, Yoshimi)[JP/JP] 〒211 神奈川県川崎市中原区上小田中4丁目1番1号 富士通オートメーション株式会社内 Kanagawa, (JP)</p> <p>(74) 代理人 弁理士 伊東忠彦(ITO, Tadahiko) 〒150 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階 Tokyo, (JP)</p> <p>(81) 指定国 CN, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>
<p>(21) 国際出願番号 PCT/JP97/02405</p> <p>(22) 国際出願日 1997年7月10日 (10.07.97)</p> <p>(30) 優先権データ 特願平8/183844 1996年7月12日 (12.07.96) 特願平8/276634 1996年10月18日 (18.10.96) 特願平9/10683 1997年1月23日 (23.01.97) 特願平9/181132 1997年7月7日 (07.07.97)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 富士通株式会社(FUJITSU LIMITED)[JP/JP] 〒211 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 深澤則雄(FUKASAWA, Norio)[JP/JP] 川原登志実(KAWAHARA, Toshimi)[JP/JP] 森岡宗知(MORIOKA, Muneharu)[JP/JP] 大澤満洋(OSAWA, Mitsunada)[JP/JP] 松木浩久(MATSUKI, Hirohisa)[JP/JP] 小野寺正徳(ONODERA, Masanori)[JP/JP] 河西純一(KASAI, Junichi)[JP/JP]</p>	<p>JP</p> <p>JP</p> <p>JP</p> <p>JP</p>	<p>丸山茂幸(MARUYAMA, Shigeyuki)[JP/JP] 竹中正司(TAKENAKA, Masashi)[JP/JP] 〒211 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa, (JP) 新聞康弘(SHINMA, Yasuhiro)[JP/JP] 佐久間正夫(SAKUMA, Masao)[JP/JP] 鈴木義美(SUZUKI, Yoshimi)[JP/JP] 〒211 神奈川県川崎市中原区上小田中4丁目1番1号 富士通オートメーション株式会社内 Kanagawa, (JP)</p> <p>(74) 代理人 弁理士 伊東忠彦(ITO, Tadahiko) 〒150 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階 Tokyo, (JP)</p> <p>(81) 指定国 CN, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>			
<p>(54)Title: METHOD AND MOLD FOR MANUFACTURING SEMICONDUCTOR DEVICE, SEMICONDUCTOR DEVICE, AND METHOD FOR MOUNTING THE DEVICE</p> <p>(54)発明の名称 半導体装置の製造方法及び半導体装置製造用金型及び半導体装置及びその実装方法</p> <p>(57) Abstract A method for manufacturing semiconductor devices includes a resin sealing step of putting a substrate (16) on which bumps (12) and a plurality of semiconductor chips (11) are arranged in the cavity (28) of a mold (20) and supplying a resin (35) to the region where the bumps (12) are provided so as to coat the bumps (12) and form a resin layer (13), a protruded electrode exposing step of exposing at least the front end sections of the bumps (12) coated with the resin layer (13) from the layer (13), and a separating step of separating the semiconductor chips (11) into individual chips (11) by cutting the substrate (16) together with the layer (13).</p>					

(57) 要約

バンプ12が配設された複数の半導体素子11が形成された基板16を金型20のキャビティ28内に装着し、続いてバンプ12の配設位置に樹脂35を供給してバンプ12を封止し樹脂層13を形成する樹脂封止工程と、樹脂層13に覆われたバンプ12の少なくとも先端部を樹脂層13より露出させる突起電極露出工程と、基板16を樹脂層13と共に切断して個々の半導体素子11に分離する分離工程とを具備する。

参考情報

PCTに基づいて公開される国際出願のパンフレット第一頁に記載されたPCT加盟国を同定するために使用されるコード

AL	アルバニア	ES	スペイン	LR	リベリア	SG	シンガポール
AM	アルメニア	FI	フィンランド	LS	レソト	SI	スロヴェニア
AT	オーストリア	FR	フランス	LT	リトアニア	SK	スロヴァキア共和国
AU	オーストラリア	GA	ガボン	LU	ルクセンブルグ	SL	シエラレオネ
AZ	アゼルバイジャン	GB	英国	LV	ラトヴィア	SN	セネガル
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	MC	モナコ	SZ	スワジランド
BB	バルバドス	GH	ガーナ	MD	モルドヴァ共和国	TD	チャード
BE	ベルギー	GM	ガンビア	MG	マダガスカル	TG	トーゴ
BF	ブルキナ・ファソ	GN	ギニア	MK	マケドニア旧ユーゴス	TJ	タジキスタン
BG	ブルガリア	GR	ギリシャ		ラヴィア共和国	TM	トルクメニスタン
BJ	ベナン	HU	ハンガリー	ML	マリ	TR	トルコ
BR	ブラジル	ID	インドネシア	MN	モンゴル	TT	トリニダード・トバゴ
BY	ベラルーシ	IE	アイルランド	MR	モーリタニア	UA	ウクライナ
CA	カナダ	IL	イスラエル	MW	マラウイ	UG	ウガンダ
CF	中央アフリカ共和国	IS	アイスランド	MX	メキシコ	US	米国
CG	コンゴ	IT	イタリア	NE	ニジェール	UZ	ウズベキスタン
CH	スイス	JP	日本	NL	オランダ	VN	ヴェトナム
CJ	コート・ジボアール	KE	ケニア	NO	ノルウェー	YU	ユーゴスラビア
CM	カメルーン	KG	キルギスタン	NZ	ニュージーランド	ZW	ジンバブエ
CN	中国	KP	朝鮮民主主義人民共和国	PL	ポーランド		
CU	キューバ	KR	大韓民国	PT	ポルトガル		
CZ	チェッコ共和国	KZ	カザフスタン	RO	ルーマニア		
DE	ドイツ	LC	セントルシア	RU	ロシア連邦		
DK	デンマーク	LI	リヒテンシュタイン	SD	スーダン		
EE	エストニア	LK	スリランカ	SE	スウェーデン		

明細書

半導体装置の製造方法及び半導体装置製造用金型
及び半導体装置及びその実装方法

5

技術分野

本発明は半導体装置の製造方法及び半導体装置製造用金型及び半導体装置に係り、特にチップサイズパッケージ構造を有した半導体装置の製造方法及び半導体装置製造用金型及び半導体装置に関する。

10

近年、電子機器及び装置の小型化の要求に伴い、半導体装置の小型化、高密度化が図られている。このため、半導体装置の形状を半導体素子（チップ）に極力近づけることにより小型化を図った、いわゆるチップサイズパッケージ構造の半導体装置が提案されている。

15

また、高密度化により多ピン化し、かつ半導体装置が小型化すると、外部接続端子のピッチが狭くなる。このため、省スペースに比較的多数の外部接続端子を形成しうる構造として、外部接続端子として突起電極（バンプ）を用いることが行われている。

背景技術

20

図1（A）は、従来のベアチップ（フリップチップ）実装に用いられる半導体装置の一例を示している。同図に示す半導体装置1は、大略すると半導体素子2（半導体チップ）、及び多数の突起電極4（バンプ）等により構成されている。

25

半導体素子2の下面には外部接続端子となる突起電極4が、例えばマトリックス状に多数形成されている。この突起電極4は半田等の柔らかい金属により形成されたものであるため傷が付きやすく、ハンドリングやテストを実施するのが難しいものである。同様に、半導体素子2もベアチップ状態であるため傷が付きやすく、よって突起電極4と同様にハンドリングや試験を実施するのが難しい。

また、上記した半導体装置 1 を実装基板 5（例えば、プリント配線基板）に実装するには、図 1（B）に示されるように、先ず半導体装置 1 に形成されている突起電極 4 を実装基板 5 に形成されている電極 5 a に接合する。続いて、図 1（C）に示されるように、半導体素子 2 と実装基板 5 との間に、いわゆるアンダーフィルレジ
5 ン 6（梨地で示す）を装填する。

このアンダーフィルレジ 6 は、比較的流動性を有する樹脂を半導体素子 2 と実装基板 5 との間に形成された間隙 7（突起電極 4 の高さと同程度の）に充填することにより形成される。

このようにして形成されるアンダーフィルレジ 6 は、半導体素子 2 と実装基板 5 との熱膨張差に基づき発生する応力及び実装時の熱により開放された時に発生する半導体素子 2 の電極と突起電極 4 との接合部に印加される応力により、突起電極 4 と実装基板 5 の電極 5 a との接合部位の破壊、若しくは突起電極 4 と半導体素子 2 の電極との接合部位の破壊を防止するために設けられるものである。
15

上記したようにアンダーフィルレジ 6 は、突起電極 4 と実装基板 5 との破壊（特に、電極と突起電極 4 との間における破壊）を防止する面から有効である。しかるに、このアンダーフィルレジ 6 は、半導体素子 2 と実装基板 5 との間に形成された狭い間隙 7 に充填する必要があるため充填作業が面倒であり、また間隙 7 の全体に均一にアンダーフィルレジ 6 を配設するのが困難である。このため、半導体装置の製造効率が低下したり、またアンダーフィルレジ 6 を形成したにも拘わらず突起電極 4 と電極 5 a との接合部、若しくは突起電極 4 と半導体素子 2 の電極との接合部における破壊が発生し、実装における信頼性が低下してしまうという問題点があった。
20
25

また、上記した半導体装置 1 は、半導体素子 2 が外部に露出した状態で実装基板 5 に配設されるため強度的に弱く、よって信頼性が低下してしまうという問題点があった。

更に、突起電極 4 は半導体素子 2 の下面に形成された電極パッドに直接形成された構成であったため、電極パッドのレイアウトがそのまま突起電極 4 の端子レイアウトとなってしまう。即ち、上記した半導体装置 1 では、その内部において配線の引回しができないため、外部接続端子となる突起電極 4 のレイアウトの自由度が低いという問題点があった。

本発明は上記の点に鑑みてなされたものであり、半導体装置の製造効率及び信頼性の向上を図りうる半導体装置の製造方法及び半導体装置製造用金型及び半導体装置を提供することを目的とする。

また、本発明は、半導体装置の端子レイアウトの自由度を高めると共に信頼性の向上を図りうる半導体装置及びその製造方法及びその実装構造を提供することを目的とする。

発明の開示

上記の課題は、下記的手段を講じることにより解決することができる。

本発明に係る半導体装置の製造方法では、突起電極が配設された複数の半導体素子が形成された基板を金型内に装着し、続いて前記突起電極の配設位置に封止樹脂を供給して前記突起電極及び前記基板を前記封止樹脂で封止し樹脂層を形成する樹脂封止工程と、前記突起電極の少なくとも先端部を前記樹脂層より露出させる突起電極露出工程と、前記基板を前記樹脂層と共に切断して個々の半導体素子に分離する分離工程とを具備することを特徴とするものである。

この構成によれば、樹脂封止工程を実施することにより、デリケートであるためハンドリング、テストが難しい突起電極は樹脂層により封止された状態となる。この樹脂層は、表面保護及び半導体素子の電極と突起電極との接合部において発生する応力を緩和する機能を奏する。続く突起電極露出工程では、突起電極の少なくとも先端部を樹脂層より露出させる処理が行なわれる。よって、突起電

極露出工程が終了した状態において、突起電極は外部の回路基板等と電氣的に接続可能な状態となる。続いて実施される分離工程では、樹脂層が形成された基板を樹脂層と共に切断して個々の半導体素子に分離する。これにより、個々の半導体装置が完成する。従って、

5 樹脂層は樹脂封止工程において形成されるため、半導体装置を実装する際にアンダーフィルレジンを充填処理する必要はなくなり、これにより実装処理を容易とすることができる。また、樹脂層となる封止樹脂は、半導体装置と実装基板との間の狭所ではなく、基板の突起電極の配設面に供給され金型によりモールド成形されるため、

10 突起電極の配設面の全面に確実に樹脂層を形成することができる。よって、樹脂層は全ての突起電極に対し保護機能を奏するため、加熱時において突起電極と実装基板の電極との接合部、及び突起電極と半導体素子の電極との接合部における破壊を確実に防止でき、信頼性を向上させることができる。

15 また、上記構成において、発明では、前記樹脂封止工程で用いられる封止樹脂は、封止処理後における前記樹脂層の高さが前記突起電極の高さと略等しい高さとなる量に計量されているようにすることもできる。この構成によれば、封止樹脂を封止処理後における樹脂層の高さが突起電極の高さと略等しい高さとなる量に計量することにより、樹脂封止工程において金型から余剰樹脂が流出したり、

20 逆に封止樹脂が少なく突起電極を確実に封止できなくなる不都合を防止することができる。

上記構成の半導体装置の製造方法において、前記樹脂封止工程で、前記突起電極と前記金型との間にフィルムを配設し、前記金型が前記フィルムを介して前記封止樹脂と接触するよう構成することもできる。この構成によれば、突起電極と金型との間にフィルムを配設し、金型がフィルムを介して封止樹脂と接するように構成したことにより、樹脂層が金型に直接触れないため離型性を向上することができると共に、離型剤なしの密着性の高い高信頼性樹脂の使用が可

25

能となる。また、樹脂層がフィルムに接着することにより、フィルムをキャリアとして使用することが可能となり、半導体装置の製造自動化に寄与することができる。

5 上記構成の半導体装置の製造方法において、前記樹脂封止工程で用いられる金型を、昇降可能な上型と、固定された第1の下型半体と、前記第1の下型半体に対して昇降可能な構成とされた第2の下型半体とよりなる下型とにより構成すると共に、樹脂封止工程が、前記突起電極が配設された複数の半導体素子が形成された基板を前記第1及び第2の下型半体が協働して形成するキャビティ内に装着
10 すると共に、前記封止樹脂を前記キャビティ内に配設する基板装着工程と、前記上型を前記第2の下型半体と前記封止樹脂を加圧する方向に移動させることにより前記封止樹脂を加熱、溶融、圧縮し、前記突起電極を封止する樹脂層を形成する樹脂層形成工程と、先ず上型を第1の下型半体に対して分離する方向に移動し前記上型を前記樹脂層から離間させ、続いて第2の下型半体を第1の下型半体に
15 対して昇降させることにより、前記樹脂層が形成された基板を前記金型から離型させる離型工程とを有するようにすることもできる。

この構成によれば、樹脂層は樹脂層形成工程において金型を用いて加熱、溶融、圧縮形成されるため、樹脂層を基板全体にわたり
20 確実に形成することができる。これにより、基板に形成されている多数の突起電極全てに対し、突起電極を封止する状態に樹脂層を形成することができる。また、金型を構成する下型は、固定された第1の下型半体と、この第1の下型半体に対して昇降可能な構成とされた第2の下型半体とにより構成されているため、第1の下型半体
25 に対し第2の下型半体を移動させることにより、離型機能を持たせることができ、樹脂層が形成された基板を容易に金型から取り出すことができる。

また、上記構成の半導体装置の製造方法において、前記樹脂封止工程で用いられる金型に余剰樹脂除去機構を設け、この余剰樹脂除

5 去機構により余剰樹脂を除去すると共に前記金型内における封止樹脂の圧力を制御することもできる。金型に余剰樹脂を除去すると共に封止樹脂の圧力を制御する余剰樹脂除去機構を設けたことにより、封止樹脂の計量を容易とすることができると共に、常に適正な樹脂量で突起電極の封止処理を行なうことができる。また、金型内における封止樹脂の圧力を制御することができるため、成形時における封止樹脂の圧力を均一化することができボイドの発生を防止することができる。

10 また、上記構成の半導体装置の製造方法において、前記樹脂封止工程で、封止樹脂としてシート状樹脂を用いるようにすることもできる。封止樹脂としてシート状樹脂を用いたことにより、確実に基板全体に樹脂層を形成することができる。また、基板中央に封止樹脂を配置した場合に要する中央から端部に向け樹脂が流れる時間を短縮できるため、樹脂封止工程の時間短縮を図ることができる。

15 また、前記半導体装置の製造方法において、前記封止樹脂を前記樹脂封止工程の実施前に予め前記フィルムに配設するようにすることもできる。これにより、フィルムの装着作業と封止樹脂の装填作業を一括的に行なうことができるため、作業の効率化を図ることができる。

20 また、上記封止樹脂を前記フィルムに複数個離間配設しておき、前記フィルムを移動させることにより、連続的に前記樹脂封止工程を実施するようにすることもできる。これにより樹脂封止工程の自動化を図ることができ、半導体装置の製造効率を向上させることができる。

25 また、前記樹脂封止工程で前記金型に前記基板を装着する前に補強板を装着しておくようにすることもできる。これにより、樹脂封止時に印加される熱や応力により基板が変形することを防止できると共に基板の持つ固有の反りを矯正するため、製造される半導体装置の歩留りを向上させることができる。

また、上記補強板として放熱性の良好な材料を選定するように構成することもできる。これにより、補強板を放熱板としても機能させることができ、製造される半導体装置の放熱特性を向上させることができる。

5 また、前記半導体装置の製造方法において、前記突起電極露出工程で前記樹脂層に覆われた突起電極の少なくとも先端部を前記樹脂層より露出させるため、レーザ光照射、エキシマレーザ、エッチング、機械研磨、及びブラストの内、少なくとも1の手段を用いることができる。樹脂層に覆われた突起電極の先端部を露出させる手段として、レーザ光照射或いはエキシマレーザを用いた場合には、容易かつ精度よく突起電極の先端部を露出させることができる。また、エッチング、機械研磨或いはブラストを用いた場合には、安価に突起電極の先端部を露出させることができる。

15 また、前記樹脂封止工程で用いられる前記フィルムの材質として弾性変形可能な材質を選定し、前記金型を用いて前記樹脂層を形成する際に前記突起電極の先端部を前記フィルムにめり込ませると共に、前記突起電極露出工程で前記フィルムを前記樹脂層から剝離させることにより、前記突起電極の先端部が前記樹脂層より露出させるようにすることもできる。フィルムの材質として弾性変形可能な材質を選定し、金型を用いて樹脂層を形成する際に突起電極の先端部をこのフィルムにめり込ませることにより、突起電極の先端部は樹脂層に封止されない状態とすることができる。従って、単にフィルムを樹脂層から剝離するだけの作業で、突起電極の先端部を樹脂層より露出させることができる。よって、樹脂層の形成後に樹脂層
20 に対し突起電極の先端を露出させるための加工処理を簡単化することができる。突起電極露出工程の簡単化を図ることができる。

25 また、前記半導体装置の製造方法において、前記樹脂封止工程で用いられる封止樹脂として、異なる特性を有する複数の封止樹脂を用いることを特徴とするものである。樹脂封止工程で用いられる封

止樹脂として、異なる特性を有する複数の封止樹脂を用いたことにより、例えば異なる樹脂を積層した場合には、外側に位置する樹脂に硬質樹脂を用い、また内側に位置する樹脂に軟質樹脂を用いることが可能となる。また、半導体素子の外周位置に硬質樹脂を配設し、
5 この硬質樹脂に囲繞される部分に軟質樹脂を配設することも可能となる。よって、硬質樹脂により半導体素子の保護を図ることができると共に、軟質樹脂により突起電極に印加される応力の緩和を図ることができる。

また、前記樹脂封止工程において、予め前記封止樹脂を前記補強板に配設しておくこともできる。また、前記補強板に金型に装着した状態において基板に向け延出する枠部を形成することにより凹部を形成し、前記樹脂封止工程の実施時において、前記補強板に形成された凹部を樹脂封止用のキャビティとして用いて前記基板に樹脂層を形成することもできる。このように、樹脂封止工程において
15 予め封止樹脂を補強板に配設しておくことにより、また補強板に形成された凹部をキャビティとして用いることにより、補強板を金型の一部として用いることが可能となり、封止樹脂が直接金型に触れる位置を少なく或いは全く無くすることができるため、従来であれば必要とされた金型に付着した不要樹脂の除去作業が不要となり、
20 樹脂封止工程における作業の簡単化を図ることができる。

また、前記半導体装置の製造方法において、前記樹脂封止工程で前記突起電極が配設された前記基板の表面に第1の樹脂層を形成した後、または同時に、前記基板の背面を覆うように第2の樹脂層を形成することを特徴とするものである。樹脂封止工程で突起電極が
25 配設された基板の表面に第1の樹脂層を形成した後（または同時）に、この基板の背面を覆うように第2の樹脂層を形成したことにより、製造される半導体装置のバランスを良好とすることができる。即ち、半導体素子と封止樹脂は熱膨張率が異なるため、半導体素子の表面（突起電極が形成された面）のみに封止樹脂を配設した構成

では、半導体素子の上面と背面において熱膨張差が発生し、半導体素子に反りが発生するおそれがある。しかるに、本請求項のように半導体素子の表面及び背面を共に封止樹脂で覆うことにより、半導体素子の表面及び背面の状態を均一化することができ、半導体装置のバランスを良好とすることができる。これにより、熱印加時において半導体装置に反りが発生することを防止することができる。また、半導体素子の下面に配設する封止樹脂と、半導体素子の上面に配設する封止樹脂を異なる特性を有する樹脂を選定することも可能である。例えば、突起電極が形成された表面に配設される封止樹脂としては、突起電極に印加される応力を緩和しうる特性のものを選定することができ、また背面に配設される封止樹脂としては、半導体素子に外力が印加された場合にこの外力より半導体素子を保護しうる硬質の材質のものを選定することも可能となる。

また、前記樹脂封止工程で、前記フィルムとして前記突起電極と対向する位置に凸部が形成されたものを用い、前記凸部を前記突起電極に押圧した状態で前記樹脂層を形成することもできる。これにより、凸部が突起電極に押圧されている範囲においては封止樹脂は突起電極に付着しないため、フィルムを除去した時点で突起電極の一部（凸部が押圧されていた部分）は樹脂層から露出する。よって、容易かつ確実に突起電極の一部を樹脂層から露出させることができる。

また、前記突起電極露出工程で前記突起電極の少なくとも先端部を前記樹脂層より露出させた後に、前記突起電極の先端部に外部接続用突起電極を形成する外部接続用突起電極形成工程を実施することもできる。これにより、製造される半導体装置を実装基板に実装する時の実装性を向上させることができる。即ち、突起電極は半導体素子に形成された電極上に形成されるものであるため、必然的にその形状は小さくなる。よって、この小さな突起電極を実装基板に電氣的に接続する外部接続端子として用いる構成では、実装基板と

突起電極とが確実に接続されないおそれがある。しかるに、外部接続用突起電極は、半導体素子に形成されている突起電極と別体であるため自由に設計することが可能であり、実装基板の構成に適応させることができる。よって、半導体素子に形成されている小さな形状の突起電極の先端部に外部接続用突起電極を形成することにより、半導体装置と実装基板との実装性を向上させることができる。

また、上記外部接続用突起電極形成工程で、前記突起電極と前記外部接続用突起電極を応力緩和機能を有する接合材を用いて接合させることもできる。よって、外部接続用突起電極に外力が印加され応力が発生しても、この応力は外部接続用突起電極と突起電極との間に介在する接合材により応力緩和され、突起電極に伝達されることを防止することができる。これにより、外部応力により半導体素子にダメージが発生することを防止でき、半導体装置の信頼性を向上させることができる。

また、上記半導体装置の製造方法において、前記樹脂封止工程を実施する前に、予め前記基板の前記分離工程で切断される位置に切断位置溝を形成しておき、前記分離工程において、前記封止樹脂が充填された前記切断位置溝の形成位置で前記基板を切断することもできる。これにより、基板及び封止樹脂にクラックが発生することを防止することができる。即ち、仮に本請求項に係る切断位置溝を形成しない構成を想定すると、分離工程では表面に比較的薄い膜状の樹脂層が形成された基板を切断することとなる。よって、この切断方法では封止樹脂にクラックが発生するおそれがある。また、基板においては、切断位置には大きな応力が印加されるため、この応力により基板にクラックが発生するおそれがある。しかるに、切断位置溝を形成することにより、この切断位置溝には樹脂封止工程において封止樹脂が充填される。そして分離工程では、この封止樹脂が充填された切断位置溝において基板及び封止樹脂は切断される。この際、切断位置溝内においては封止樹脂の厚さは大きいため、切

断処理により封止樹脂にクラックが発生することはない。また、封止樹脂は基板に対して硬度が小さく応力を吸収しうる作用があるため、切断処理により発生する応力は封止樹脂に吸収され弱められた状態で基板に印加されるため、基板にクラックが発生することも防止することができる。

また、前記樹脂封止工程を実施する前に、予め前記基板の前記分離工程で切断される位置を挟んで少なくとも一对の応力緩和溝を形成しておき、前記分離工程において、前記一对の応力緩和溝の間位置で前記基板を切断することもできる。樹脂封止工程を実施する前に予め基板の分離工程で切断される位置を挟んで少なくとも一对の応力緩和溝を形成しておき、分離工程において一对の応力緩和溝の間位置で基板を切断することにより、切断時に発生する応力が応力緩和溝より外側位置（この位置に突起電極、電子回路等が形成される）に影響を及ぼすことを防止することができる。即ち、切断位置において応力が発生し基板及び樹脂層にクラックが発生しても、この切断位置を挟んで配設されている応力緩和溝（封止樹脂が充填されている）により、切断位置で発生する応力は吸収される。よって、切断位置で発生する応力が応力緩和溝より外側位置に影響を及ぼすことはなく、よって突起電極及び電子回路等が形成されている領域にクラックが発生することを防止することができる。

また、前記半導体装置の製造方法では、突起電極を有する複数の半導体素子が形成された基板を切断することにより個々の半導体素子に分離する第1の分離工程と、分離された前記半導体素子をベース材に整列させて搭載した後、前記搭載された半導体素子を前記封止樹脂で封止し樹脂層を形成する樹脂封止工程と、前記突起電極の少なくとも先端部を前記樹脂層より露出させる突起電極露出工程と、隣接する前記半導体素子の間位置で前記ベース材と共に前記樹脂層を切断することにより、前記樹脂層が形成された半導体素子を個々分離する第2の分離工程とを具備することとすることができる。先

ず第 1 の分離工程において、複数の半導体素子が形成された基板を切断することにより個々の半導体素子に分離する。また、樹脂封止工程では、分離された半導体素子をベース材に整列させて搭載する。この際、異なる種類の半導体素子をベース材に搭載することが可能である。そして、ベース材に搭載され半導体素子を前記封止樹脂で封止し樹脂層を形成し、続く突起電極露出工程では、突起電極の少なくとも先端部を樹脂層より露出させる。そして、第 2 の分離工程において、隣接する半導体素子の間位置でベース材と共に樹脂層を切断する。このように、分離された半導体素子をベース材に搭載し、樹脂封止を行なった上で再び第 2 の分離工程で分離することにより、異なる半導体素子を同一封止樹脂内に配設した半導体装置を製造することができる。また、第 2 の分離工程においては、請求項 28 と同様に切断時に発生する応力により基板及び樹脂層にクラックが発生することを防止することができる。

また、前記半導体装置の製造方法では、外部と接続される外部接続電極が表面に形成された複数の半導体素子が形成された基板を金型内に装着し、続いて前記表面に封止樹脂を供給して前記外部接続電極及び前記基板を前記封止樹脂で封止し樹脂層を形成する樹脂封止工程と、前記外部接続電極が形成された位置で前記基板を前記樹脂層と共に切断して個々の半導体素子に分離する分離工程とを具備するようにすることもできる。樹脂封止工程において、外部接続電極が表面に形成された複数の半導体素子が形成された基板の表面に樹脂層を形成することにより、外部接続電極は樹脂層に覆われた状態となる。そして、続いて実施される分離工程では、外部接続電極が形成された位置で基板を樹脂層と共に切断して個々の半導体素子に分離する。よって、外部接続電極は、分離位置において基板と樹脂層との界面で外部に露出した状態となる。従って、この半導体装置の側部に露出した外部接続電極により半導体装置を実装基板に電氣的に接続することが可能となる。また、単に樹脂層が形成された

基板を外部接続電極が形成された位置で切断するのみで端子部を樹脂層から外部に露出させることができ、極めて容易に半導体装置を製造することができる。

5 また、上記分離工程実施前では、前記外部接続電極が前記基板に形成された隣接する半導体素子間で共有化されているようにすることもできる。これにより、1回の切断処理を行なうことにより隣接する2個の半導体装置において夫々外部接続電極を外部に露出することができる。よって、半導体装置の製造を効率よく行なうことができる。また、基板に不要部分が発生することを抑制できるため、
10 基板の効率的な利用を図ることができる。

 また、上記半導体装置の製造方法において、少なくとも前記樹脂封止工程の実施後で、かつ前記分離工程を実施する前に、前記樹脂層または前記基板の背面に位置決め溝を形成することもできる。この位置決め溝を形成することにより、例えば製造された半導体装置
15 に対し試験処理を行なう際、この位置決め溝を基準として試験装置に半導体装置を装着することができる。また、分離工程を実施する前に位置決め溝を形成することにより、複数の半導体装置に対して一括的に位置決め溝を形成するができ、位置決め溝の形成効率を向上させることができる。

20 また、上記位置決め溝は、前記樹脂層または前記基板の背面にハーフスクライプを行なうことにより形成されるようにすることもできる。これにより、分離工程で一般的に使用するスクライビング技術を用いて位置決め溝を形成できるため、容易かつ精度よく位置決め溝を形成することができる。

25 また、上記半導体装置の製造方法において、前記樹脂封止工程で、前記フィルムとして前記突起電極と干渉しない位置に凸部または凹部が形成されたものを用い、前記樹脂封止工程の終了後に、前記凸部または凹部により前記樹脂層上に形成される凹凸を位置決め部として用いることもできる。これにより、樹脂封止工程において樹脂

層に凸部または凹部が形成される。この樹脂層上に形成される凹凸は、製造される半導体装置の位置決め部として用いることができる。よって、例えば半導体装置に対し試験処理を行なう際に、この凸部または凹部を基準として試験装置に半導体装置を装着することが可能となる。

また、前記半導体装置の製造方法において、前記樹脂封止工程の終了後、位置決め基準として用いる位置決め用突起電極の形成位置における封止樹脂を加工し、前記位置決め用突起電極と他の突起電極とを識別しうるようにすることもできる。これにより、この位置決め用突起電極を基準として試験装置に半導体装置を装着することが可能となる。また、位置決め用突起電極を識別化するための封止樹脂加工は、例えば突起電極露出工程で用いるエキシマレーザ、エッチング、機械研磨或いはブラスト等を用いることができ、この加工により半導体装置の製造設備が大きく変更されるようなことはない。

本発明に係る半導体装置製造用金型は、昇降可能な上型と、基板の形状に対応しており固定された第1の下型半体と、前記第1の下型半体を囲繞するよう配設されると共に前記第1の下型半体に対して昇降可能な第2の下型半体とよりなる下型とにより構成され、前記上型と下型とが協働して樹脂充填が行なわれるキャビティを形成する構成としたことを特徴とするものである。金型を構成する下型は、固定された第1の下型半体と、この第1の下型半体に対して昇降可能な構成とされた第2の下型半体とにより構成されているため、第1の下型半体に対し第2の下型半体を移動させることにより、基板を金型から離型する際に離型機能を持たせることができ、よって樹脂層が形成された基板を容易に金型から取り出すことができる。

また、上記半導体装置製造用金型において、樹脂成形時に余剰樹脂の除去処理を同時に行うと共に前記封止樹脂の圧力を制御する余剰樹脂除去機構を設けたこともできる。この余剰樹脂除去機構を設

けたことにより、封止樹脂の計量を容易とすることができると共に、常に適正な樹脂量で突起電極の封止処理を行なうことができる。また、金型内における封止樹脂の圧力を制御することができるため、成形時における封止樹脂の圧力を均一化することができボイドの発生を防止することができる。

また、前記第 1 の下型半体の前記基板が載置される部位に、前記基板を前記第 1 の下型半体に固定・離型させる固定・離型機構を設けることもできる。固定・離型機構を吸着動作させた時には、基板は第 1 の下型半体に固定されるため、樹脂封止処理において基板に反り等の変形が発生することを防止することができると共に、基板の持つ固有の反りを矯正することができる。また、固定・離型機構を離型動作させた時には、基板は第 1 の下型半体から離型方向に付勢されるため、基板の金型からの離型性を向上させることができる。

また、上記固定・離型機構を、前記第 1 の下型半体の前記基板が載置される部位に配設された多孔質部材と、前記多孔質部材に対し気体の吸引処理及び気体の供給処理を行なう吸排気装置とにより構成することもできる。多孔質部材は吸排気装置から気体が供給されることにより、基板に向けて気体を噴射する。よって、基板を金型から離型させる際に多孔質部材から基板に向けて気体を噴射することにより、基板の金型からの離型性を向上させることができる。また、吸排気装置が吸引処理を行なうことにより、基板は多孔質部材に向け吸引される。よって、樹脂封止工程において、基板に反り等の変形が発生することを防止することができると共に基板の持つ固有の反りを矯正することができる。更に、多孔質部材は第 1 の下型半体の基板が載置される部位に配設されているため、樹脂封止工程において封止樹脂の充填処理が行なわれても、多孔質部材は基板に覆われた状態となっているため、封止樹脂が多孔質部材に侵入することはない。また、離型時には基板の背面が直接離型方向に付勢されるため、離型性を向上させることができる。

また、前記キャビティを形成した状態において、前記第1の下型半体の上部の面積よりも第2の下型半体で囲繞される面積が広くなる部分を有する構成とすることもできる。これにより、離型性を向上できると共に段差部の形状を矩形状としたことにより段差部の形成を容易に行なうことができる。

また、発明に係る半導体装置は、少なくとも表面上に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されており、前記突起電極の先端部を残し前記突起電極を封止する樹脂層とを具備することを特徴とするものである。先端部を残し突起電極を封止する樹脂層が半導体素子に形成されているため、樹脂層に半導体素子、突起電極、実装基板、及びこれらが接続させる接合部位を保護する機能を持たせることができ、また樹脂層は実装処理前において既に半導体装置に形成されているため、半導体装置を実装する際に従来のようにアンダーフィルレジンを充填処理する必要はなくなり、これにより実装処理を容易とすることができる。

また、上記半導体装置において、前記半導体素子の前記突起電極が形成される表面に対し反対側となる背面に、放熱部材を配設した構成とすることもできる。半導体素子に放熱部材を配設したことにより、半導体装置の放熱特性を向上させることができると共に半導体装置の強度を向上させることができる。

また、本発明に係る半導体装置は、外部端子と電氣的に接続される外部接続電極が表面に形成された半導体素子と、前記外部接続電極を覆うように前記半導体素子の表面に形成された樹脂層とを具備し、前記半導体素子と前記樹脂層との界面において、前記外部接続電極が側方に向け露出した構成としたことを特徴とするものである。これにより、突起電極を形成することなく、外部接続電極を用いて半導体装置を実装することが可能となる。このように、突起電極を形成しないため、半導体装置の構成を簡単化することができ、コスト低減を図ることができる。また、外部接続電極は半導体装置の側

部に露出した構成であるため、半導体装置を実装基板に対し立設した状態で実装することが可能となり、半導体装置の実装密度を向上させることができる。

5 また、前記半導体装置において、前記樹脂層を異なる複数の樹脂により構成することができる。樹脂封止工程で用いられる封止樹脂として、異なる特性を有する複数の封止樹脂を用いたことにより、例えば異なる樹脂を積層した場合には、外側に位置する樹脂に硬質樹脂を用い、また内側に位置する樹脂に軟質樹脂を用いることが可能となる。また、半導体素子の外周位置に硬質樹脂を配設し、この
10 硬質樹脂に囲繞される部分に軟質樹脂を配設することも可能となる。よって、硬質樹脂により半導体素子の保護を図ることができると共に、軟質樹脂により突起電極に印加される応力の緩和を図ることができる。

15 また、本発明に係る半導体装置は、少なくとも表面上に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されており、前記突起電極の先端部を残し前記突起電極を封止する第1の樹脂層と、少なくとも前記半導体素子の背面を覆うように配設された第2の樹脂層とを具備することを特徴とするものである。樹脂封止工程で突起電極が配設された基板の表面に第1の樹脂層を
20 形成した後（または同時）に、この基板の背面を覆うように第2の樹脂層を形成したことにより、製造される半導体装置のバランスを良好とすることができる。即ち、半導体素子と封止樹脂は熱膨張率が異なるため、半導体素子の表面（突起電極が形成された面）のみに封止樹脂を配設した構成では、半導体素子の上面と背面において
25 熱膨張差が発生し、半導体素子に反りが発生するおそれがある。しかるに、本請求項のように半導体素子の表面及び背面を共に封止樹脂で覆うことにより、半導体素子の表面及び背面の状態を均一化することができる。半導体装置のバランスを良好とすることができる。これにより、熱印加時において半導体装置に反りが発生することを

防止することができる。また、半導体素子の下面に配設する封止樹脂と、半導体素子の上面に配設する封止樹脂を異なる特性を有する樹脂を選定することも可能である。例えば、突起電極が形成された表面に配設される封止樹脂としては、突起電極に印加される応力を緩和しうる特性のものを選定することができ、また背面に配設される封止樹脂としては、半導体素子に外力が印加された場合にこの外力より半導体素子を保護しうる硬質の材質のものを選定することも可能となる。

また、本発明に係る半導体装置は、少なくとも表面上に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されており、前記突起電極の先端部を残し前記突起電極を封止する樹脂層と、前記樹脂層から露出した前記突起電極の先端部に形成された外部接続用突起電極とを具備することを特徴とするものである。突起電極露出工程で突起電極の少なくとも先端部を樹脂層より露出させた後に、突起電極の先端部に外部接続用突起電極を形成する外部接続用突起電極形成工程を実施したことにより、製造される半導体装置を実装基板に実装する時の実装性を向上させることができる。即ち、突起電極は半導体素子に形成された電極上に形成されるものであるため、必然的にその形状は小さくなる。よって、この小さな突起電極を実装基板に電氣的に接続する外部接続端子として用いる構成では、実装基板と突起電極とが確実に接続されないおそれがある。しかるに、外部接続用突起電極は、半導体素子に形成されている突起電極と別体であるため自由に設計することが可能であり、実装基板の構成に適応させることができる。よって、半導体素子に形成されている小さな形状の突起電極の先端部に外部接続用突起電極を形成することにより、半導体装置と実装基板との実装性を向上させることができる。

また、本発明に係る半導体装置の実装方法は、前記半導体装置を実装基板に対し立設状態で実装することを特徴とするものである。

これにより、半導体装置の実装密度を向上させることができる。

前記実装方法において、前記半導体装置を複数個並列状態に実装すると共に、隣接する前記半導体装置同士を接着剤により接合することもできる。更に、前記半導体装置を複数個並列状態に実装すると共に、前記複数の半導体装置を支持部材を用いて立設状態に支持することを特徴とするものである。これにより、複数の半導体装置をユニット化して扱うことが可能となり、よって実装時においてもユニット単位で実装基板に実装処理を行なうことができ、実装効率の向上を図ることができる。

また、本発明に係る半導体装置の実装方法では、前記半導体装置をインターポーザ基板を介して実装基板に実装することもできる。インターポーザ基板が介在する構成となるため、半導体装置を実装基板に実装する自由度を向上させることができる。即ち、例えばインターポーザ基板として多層配線基板を用いることにより、インターポーザ基板内で配線の引回しを行なうことができ、半導体装置の電極（突起電極、外部接続電極）と実装基板側の電極との整合性を容易に図ることができる。

なお、以上の構成の本発明は、後述する第1実施例ないし第29実施例（図1ないし図77）に対応する。

次に説明する本発明は、後述する第30ないし第53実施例（図1ないし図117E）に対応する。

本発明に係る半導体装置の製造方法は、少なくとも可撓性基材に半導体素子及びリードが配設された構成の配線基板を金型内に装着し、続いて前記半導体素子の配設位置に封止樹脂を供給して前記半導体素子を樹脂封止する樹脂封止工程と、前記配線基板に形成されたリードと電氣的に接続するよう突起電極を形成する突起電極形成工程とを有する半導体装置の製造方法において、前記半導体素子を樹脂封止する手段として、圧縮成形法を用いたことを特徴とするものである。樹脂封止工程では、配線基板は金型内に装着され、半導

体素子は封止樹脂により樹脂封止される。また、突起電極形成工程では、配線基板に形成されたリードと電氣的に接続するよう突起電極が形成される。この際、樹脂封止工程において半導体素子を樹脂封止する手段として圧縮成形法を用いている。封止樹脂を圧縮成形法を用いて形成することにより、半導体素子と配線基板との間に形成される狭い隙間部分にも確実に樹脂を充填することができる。また、圧縮成形法では成形圧力が低くてよいため、樹脂成形時に配線基板に変形が生じたり、また半導体素子と配線基板との電氣的接続部位（例えば、TAB接続、或いはワイヤ接続される）に負荷が印加されることを防止できる。これにより、樹脂封止工程において、半導体素子と配線基板との接続が切断されることを防止することができる。

また、上記半導体装置の製造方法において、前記配線基板を形成する際、前記半導体素子を収納するキャビティ部が形成された枠体を配設するように構成することもできる。半導体素子を収納するキャビティ部が形成された枠体を配線基板に配設することにより、枠体により可撓性を有する配線基板を支持することができると共に、半導体素子を枠体により保護することができる。

また、上記半導体装置の製造方法において、前記樹脂封止工程で、前記金型の前記配線基板と対向する位置に前記封止樹脂に対する離型性の良好なフィルムを配設し、前記金型が前記フィルムを介して前記封止樹脂と接触するよう構成することもできる。また、上記半導体装置の製造方法において、前記樹脂封止工程で また、請求項9記載の発明によれば、

延出部の先端部に半導体素子と接続される接続電極を形成しておき、折曲工程の実施後に、半導体素子と接続電極とを接続する素子接続工程を行なうことにより、延出部の折曲時においては半導体素子と接続電極とは接続されていない状態であるため、半導体素子と接続電極との電氣的接続の信頼性を向上することができる。

即ち、折曲工程前に半導体素子と接続電極とを接続しておく、
延出部の折曲時に半導体素子と接続電極との接続位置に負荷（折り
曲げ処理により発生する負荷）が印加されるおそれがある。この負
荷が大きい場合には、半導体素子と接続電極との接続が切断される
5 おそれがある。しかるに、折曲工程の実施後に素子接続工程を行な
うことにより、折曲時に発生する負荷が問題となることはなく、
よって半導体素子と接続電極との電氣的接続の信頼性を向上するこ
とができる。

10 、前記金型の前記配線基板と対向する位置に前記封止樹脂に対する
離型性の良好な板状部材を配設し、前記金型が前記板状部材を介し
て前記封止樹脂と接触するよう構成することもできる。封止樹脂が
金型に直接触れないため離型性を向上することができ、また離型剤
なしの密着性の高い高信頼性樹脂の使用が可能となる。

15 また、上記半導体装置の製造方法において、前記板状部材として
放熱性の良好な材料を選定した構成とすることもできる。板状部材
として放熱性の良好な材料を選定したことにより、半導体素子で発
生する熱は放熱板として機能する板状部材を介して放熱されるため、
製造される半導体装置の放熱特性を向上させることができる。

20 また、上記半導体装置の製造方法において、前記樹脂封止工程で
用いられる金型に、余剰樹脂を除去すると共に前記金型内における
封止樹脂の圧力を制御する余剰樹脂除去機構を設けた構成とするこ
ともできる。樹脂封止工程で用いられる金型に、余剰樹脂を除去す
ると共に金型内における封止樹脂の圧力を制御する余剰樹脂除去機
構を設けたことにより、封止樹脂の計量を容易とすることができ
25 と共に、常に適正な樹脂量で突起電極の封止処理を行なうことがで
きる。また、金型内における封止樹脂の圧力を制御することができ
るため、成形時における封止樹脂の圧力を均一化することができボイ
ドの発生を防止することができる。

また、上記半導体装置の製造方法において、前記配線基板に前記

半導体素子の形成位置より側方に長く延出した延出部を形成し、前記樹脂封止工程の終了後で前記突起電極形成工程の実施前に、前記延出部を折り曲げる折曲工程を実施し、前記突起電極形成工程において、折曲された前記延出部に前記突起電極を形成するよう構成することもできる。また、上記半導体装置の製造方法において、前記配線基板に前記半導体素子の形成位置より側方に長く延出した延出部を形成し、前記樹脂封止工程の実施前に、前記延出部を折り曲げる折曲工程を実施し、前記折曲工程を実施した後に、前記樹脂封止工程と前記突起電極形成工程を実施する構成とすることもできる。

5 突起電極の形成領域を広く取ることができるため、よって突起電極の配設ピッチを広く設定したり、また突起電極の配設数を多くすることが可能となる。この際、折曲工程の実施は樹脂封止工程の前であっても、また後であってもかまわない。

10

また、上記半導体装置の製造方法において、前記延出部の先端部に前記半導体素子と接続される接続電極を形成しておき、前記折曲工程の実施後に、前記半導体素子と前記接続電極とを接続する素子接続工程を行なう構成とすることもできる。これにより、延出部の屈曲時においては、半導体素子と接続電極とは接続されていない状態であるため、半導体素子と接続電極との信頼性を向上させることができる。

15

20

また、上記半導体装置の製造方法において、前記接続電極を千鳥状に配設すると共に、角部を曲線状に形成した構成とすることもできる。接続電極を千鳥状に配設することにより、各接続電極の面積を広くすることができるため、半導体素子との電氣的接続処理を簡単化することができる。また、接続電極の角部を曲線状に形成することにより、例えば半導体素子と接続電極との接続にワイヤボンディング法を用いた場合には、ボンディング治具（超音波溶接治具）が当接された時に発生する応力を分散することが可能となり、よって半導体素子と接続電極との電氣的接続処理を確実にこなうこ

25

とができる。

また、本発明に係る半導体装置は、半導体素子と、外部接続端子として機能する突起電極と、可撓性基材上に、前記半導体素子に一端が接続されると共に他端部が前記突起電極に接続されるリードが形成された配線基板と、前記半導体素子を封止する封止樹脂とを具備する半導体装置において、前記配線基板に前記半導体素子の形成位置より側方に長く延出すると共に折曲された延出部を形成し、前記延出部に前記突起電極が形成されていることを特徴とする半導体装置である。突起電極の形成領域を広く取ることができるため、
よって突起電極の配設ピッチを広く設定したり、また突起電極の配設数を多くすることが可能となる。この際、折曲工程の実施は樹脂封止工程の前であっても、また後であってもかまわない。

また、上記半導体装置において、前記配線基板を支持すると共に前記半導体素子を収納するキャビティ部が形成された枠体が設けられている構成とすることができる。半導体素子を収納するキャビティ部が形成された枠体を配線基板に配設することにより、枠体により可撓性を有する配線基板を支持することができると共に、半導体素子を枠体により保護することができる。

また、上記半導体装置において、前記突起電極は前記リードを塑性変形することにより形成されたメカニカルバンプである構成とすることもできる。突起電極をリードを塑性変形することにより形成されるメカニカルバンプにより構成したことにより、リードを成形することによりバンプが形成されるため、別個にバンプ用のボール材を必要とすることはない。また、メカニカルバンプはリードを塑性変形する簡単な処理であるため、低コストでかつ容易に突起電極を形成することが可能となる。

次に説明する本発明の構成は、後述する第54実施例ないし第73実施例（図118Aないし図177）に対応する。

本発明に係る半導体装置は、単数または複数の半導体素子と、前

記半導体素子の一部或いは全部を封止する封止樹脂と、前記封止樹脂内に配設され、前記半導体素子と電氣的に接続する共にその一部が少なくとも前記封止樹脂の側面に露出して外部接続端子を形成する電極板とを具備することを特徴とするものである。この構成によれば、半導体素子を保護する封止樹脂内には電極板が存在し、この電極板は封止樹脂を補強する機能を奏するため、半導体素子の保護をより確実に行なうことができ、よって半導体装置の信頼性を向上することができる。また、電極板は半導体素子と外部接続端との間に位置するものであるため、半導体素子に直接外部接続端を接続する構成と異なり、電極板により半導体素子と外部接続端との間で配線の引回しを行なうことが可能となる。よって、電極板を設けることにより半導体装置の端子レイアウトの自由度を高めることができる。また、電極板は導電性金属よりなり、封止樹脂よりも熱伝導性が良好であるため、半導体素子で発生した熱は電極板を介して外部に放熱される。よって、半導体素子で発生した熱を効率よく放熱することができる。更に、電極板の外部接続端子は封止樹脂の側面に露出した構成とされているため、半導体装置を実装基板に実装した後においてもこの外部接続端子を用いて半導体素子の動作試験を行なうことが可能となる。

また、上記半導体装置において、前記半導体素子と前記電極板とをフリップチップ接合した構成とすることができる。これにより、小スペース内において確実に半導体素子と電極板とを接合することができ、半導体装置の小型化を図ることができる。また、接合部における配線長が短いためインピーダンスを低減できると共に、多ピン化にも対応することができる。

また、上記半導体装置において、前記電極板を前記封止樹脂の側面に加え底面にも露出させて外部接続端子を形成するよう構成することもできる。これにより、側面ばかりでなく底面においても実装を行なうことが可能となる。よって、半導体装置を実装する際、実

装構造の自由度を向上させることができ、よって例えば小スペース化を図りうる実装形態であるフェイスダウンボンディングにも対応することが可能となる。

5 また、上記半導体装置において、前記電極板に突出形成された突出端子を設けると共に、前記突出端子を前記封止樹脂の底面に露出させて外部接続端子を形成する構成とすることもできる。これにより、実装時に確実に外部接続端子を実装基板に接続することができ
10 る。また、電極板の外部接続端子以外の部分は封止樹脂に埋設された構成となるため、隣接する外部端子はこの封止樹脂により絶縁される。このため、実装時にはんだにより隣接する外部接続端子間で短絡が発生するようなことはなく、実装時における信頼性を向上させることができる。

また、上記半導体装置において、前記突出端子は、前記電極板を塑性加工することにより前記電極板に一体的に形成することもでき
15 る。突出端子を電極板を塑性加工することにより電極板に一体的に形成したことにより、突出端子を別部材により形成する構成に比べて部品点数の削減を図ることができると共に容易に形成することができる。

また、上記半導体装置において、前記突出端子は、前記電極板に配設した突起電極とすることもできる。これにより、半導体装置を
20 BGA(Ball Grid Array)と同様に取り扱うことができ、実装性を向上させることができる。

また、上記半導体装置において、前記半導体素子の一部を前記封止樹脂より露出させた構成とすることもできる。また、上記半導体
25 装置において、前記封止樹脂の前記半導体素子に近接する位置に放熱部材を配設した構成とすることもできる。半導体素子の一部を封止樹脂より露出させた構成としたことにより、或いは封止樹脂の半導体素子に近接する位置に放熱部材を配設したことにより、半導体素子で発生する熱を効率よく放熱することができる。

また、本発明に係る半導体装置の製造方法は、金属基板に対しパターン成形処理を行なうことにより電極板を形成する電極板形成工程と、前記電極板に半導体素子を搭載し電氣的に接続するチップ搭載工程と、前記半導体素子及び前記電極板を封止する封止樹脂を形成する封止樹脂形成工程と、個々の半導体装置の境界位置で、前記封止樹脂及び前記電極板を切断することにより個々の半導体装置を切り出す切断工程とを有することを特徴とするものである。電極板形成工程で金属基板に対しパターン成形処理を行なうことにより電極板を形成し、続くチップ搭載工程で電極板に半導体素子を搭載し電氣的に接続する。この際、パターン成形処理において任意の配線パターンを選定できるため、電極板により配線の引回しを行なうことが可能となり、これにより電極板に形成される外部接続端子の端子レイアウトに自由度を持たせることができる。また、封止樹脂形成工程で封止樹脂を形成することにより、半導体素子及び電極板は封止樹脂に封止される。よって、半導体素子及び電極板は封止樹脂により保護され、よって半導体装置の信頼性を向上させることができる。続いて実施される切断工程により、個々の半導体装置の境界位置で封止樹脂及び電極板を切断することにより個々の半導体装置が形成される。よって、電極板は切断位置に露出し、この露出部分を外部接続端子として用いることができる。

上記半導体装置の製造方法において、前記電極板形成工程で実施するパターン成形処理は、エッチング法またはプレス加工法を用いて行なうこととすることができる。電極板形成工程で実施するパターン成形処理として、半導体装置のリードフレーム形成法として一般に用いられているエッチング法またはプレス加工法を適用することにより、電極板を形成するのにリードフレーム形成法を利用することが可能となる。よって、設備の増加を伴うことなく、電極板形成工程を実施することができる。

上記半導体装置の製造方法において、前記チップ搭載工程で、前

記半導体素子を前記電極板に搭載する手段として、フリップチップ接合法を用いた構成とすることができる。これにより、小スペース内において確実に半導体素子と電極板とを接合することができ、半導体装置の小型化を図ることができる。また、接合部における配線長が短いためインピーダンスを低減できると共に、多ピン化にも対応することができる。

上記半導体装置の製造方法において、前記チップ搭載工程を実施する前に、前記半導体素子を放熱部材上に位置決めして取り付けるチップ取り付け工程を実施し、前記チップ搭載工程において、前記放熱部材に取り付けられた状態で前記半導体素子を前記電極板に搭載する構成とすることができる。チップ搭載工程を実施する前に、半導体素子を放熱部材上に位置決めして取り付けるチップ取り付け工程を実施することにより、チップ搭載工程では放熱部材に位置決めされた状態で半導体素子を電極板に搭載される。よって、チップ搭載工程において、個々の半導体素子の位置決めを行なう必要がなくなり、形状の大きな放熱部材と電極板とを位置決めすればよいいため、位置決め処理を容易化することができる。

上記半導体装置の製造方法において、前記電極板形成工程で、前記電極板より突出する突出端子を形成すると共に、前記封止樹脂形成工程で、前記突出端子が前記封止樹脂から露出するよう前記封止樹脂を形成する構成とすることができる。また、請求項 13 記載の発明によれば、電極板形成工程において、電極板より突出する突出端子を形成することにより、突起端子部の形成を電極板の形成と同時に一括的に行なうことができるため、半導体装置の製造工程の簡単化を図ることができる。また、封止樹脂形成工程で、この突出端子が封止樹脂から露出するよう封止樹脂を形成することにより、実装時に確実に外部接続端子を実装基板に接続することができると共に隣接する外部接続端子間で短絡が発生することを防止することができる。

また、本発明に係る半導体装置の実装構造は、上記半導体装置を実装基板に実装する半導体装置の実装構造において、前記半導体装置が装着される装着部と、前記封止樹脂の側面に露出した外部接続端子と接続するよう設けられたリード部とを有するソケットを用い、
5 前記半導体装置を前記ソケットに装着して前記リード部と前記外部接続端子を接続した上で、前記リード部を前記実装基板に接合させることを特徴とするものである。ソケットを用いて半導体装置を実装基板に接合するため、半導体装置の装着脱を容易にでき、例えばメンテナンス等において半導体装置を交換する必要が生じたような
10 場合でも、容易に交換処理を行なうことができる。また、ソケットに設けられたリード部は通常半導体装置が装着される装着部の側部に配設されており、また半導体装置の外部接続端子は封止樹脂の側面に露出した構成である。このため、装着状態においてリード部と外部接続端子とは対向するためリード部を引き回すことなくリード
15 部と外部接続端子との接続を行なうことができ、よってソケットの構造の簡単化を図ることができる。

また、本発明に係る半導体装置の実装構造は、上記半導体装置を実装基板に実装する半導体装置の実装構造において、前記外部端子を形成する前記突出端子にバンプを配設し、該バンプを介して前記
20 半導体装置を前記実装基板に接合させることを特徴とするものである。外部端子を形成する突出端子にバンプを配設し、このバンプを介して半導体装置を実装基板に接合させる構造とすることにより、半導体装置をBGA(Ball Grid Array)と同様に実装することができ、実装性の向上及び多ピン化への対応を図ることができる。

25 また、本発明に係る半導体装置の実装構造は、前記外部接続端子の形成位置に対応した位置に配設された可撓可能な接続ピンと、前記接続ピンを位置決めする位置決め部材とにより構成される実装部材を用い、前記接続ピンの上端部を前記半導体装置の外部接続端子に接合すると共に、下端部を前記実装基板に接合することを特徴と

5 するものである。接続ピンの上端部を半導体装置の外部接続端子に接合すると共に下端部を実装基板に接合することにより、外部接続端子と実装基板との間には接続ピンが介在した構成となる。この接続ピンは可撓可能な構成であるため、例えば加熱時等に半導体装置側と実装基板側で熱膨張率差に起因して応力が発生しても、この応力は接続ピンが可撓することにより吸収される。よって、応力が印加されても外部接続端子と実装基板との接続を確実に維持することができ、実装の信頼性を向上させることができる。また、接続ピンは位置決め部材により外部接続端子の形成位置に対応した位置に位置決めされているため、実装時において個々の接続ピンと外部接続端子または実装基板との位置決め処理を行なう必要はなく、実装作業を容易に行なうことができる。

15 また、本発明に係る半導体装置は、少なくとも表面上に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されると共に前記突起電極の先端部を残し前記突起電極を封止する樹脂層とを具備する半導体装置本体と、前記半導体装置本体が装着されると共に、前記半導体装置本体が接続される配線パターンがベース部材上に形成されたインタポーザと、接着性及び押圧方向に対する導電性を有しており、前記半導体装置本体と前記インタポーザとの間に介装され、前記半導体装置本体を前記インタポーザに接着固定すると共に押圧されることにより前記半導体装置本体と前記インタポーザとを電氣的に接続する異方性導電膜と、前記ベース部材に形成された孔を介して前記配線パターンと接続されると共に、前記半導体装置本体の搭載面と反対側の面に配設される外部接続端子とを具備することを特徴とする。半導体装置本体は、半導体素子の表面上に突起電極の先端部を残し樹脂層が形成されているため、この樹脂層が半導体素子及び突起電極を保護すると共に、アンダーフィルレジンとしても機能することとなる。また、インタポーザは、半導体装置本体が装着されると共にこの半導体装置本体が接続され

る配線パターンがベース部材上に形成された構成であるため、ベース部材上において任意の配線パターンを形成することができる。この配線パターンには、ベース部材に形成された孔を介して外部接続端子が接続される。この際、上記のように配線パターンを任意に設定5 5 できるため、配線パターンを引き回すことにより半導体装置本体に設けられた突起電極の形成位置に拘わらず外部接続端子の位置を設定することができる。よって、外部接続端子の端子レイアウトの自由度を高めることができる。また、異方性導電膜は接着性及び押圧方向に対する導電性を有しているため、この異方性導電膜を用いて半導体装置本体とインタポーザとを接合することができる。この際、異方性導電膜の有する接着性により半導体装置本体とインタポーザは機械的に接合され、また異方性導電膜の有する異方性導電性により半導体装置本体とインタポーザは電氣的に接合（接続）される。このように、異方性導電膜は接着性及び導電性の双方の特性15 15 を有しているため、各機能を別個の部材により行なう構成に比べて部品点数及び組み立て工数の低減を図ることができる。更に、異方性導電膜は可撓性を有し、かつ半導体装置本体とインタポーザの間に介装されるため、この異方性導電膜は緩衝膜として機能する。よって、異方性導電膜により、半導体装置本体とインタポーザとの間に発生する応力を緩和することができる。20 20

上記半導体装置において、前記半導体装置本体に形成された前記突起電極の配設ピッチと、前記インタポーザに配設された前記外部接続端子の配設ピッチを同一ピッチとした構成とすることができる。半導体装置本体に形成された突起電極の配設ピッチと、インタポーザに配設された外部接続端子の配設ピッチを同一ピッチとしたこと25 25 により、インタポーザの形状を小さくすることができ、半導体装置の小型化を図ることができる。

また、上記半導体装置において、前記半導体装置本体に形成された前記突起電極の配設ピッチに対し、前記インタポーザに配設され

た前記外部接続端子の配設ピッチを大きく設定した構成とすることができる。これにより、インタポーザ上における配線パターンの引回しの自由度を更に向上することができる。

5 また、上記半導体装置において、前記インタポーザ上に、前記突起電極と対向する位置に孔を有する絶縁部材を配設した構成とすることができる。これにより、半導体装置本体をインタポーザに装着される際に印加される押圧力はこの孔の形成位置に集中するため孔内における導電率は向上し、よって半導体装置本体とインタポーザとの電氣的接続を確実に行なうことができる。

10 また、上記半導体装置において、前記インタポーザとしてTAB (Tape Automated Bonding) テープを用いた構成とすることができる。これにより、TAB テープは半導体装置の構成部品として安価に供給されているため、インタポーザとしてTAB テープを利用することにより半導体装置のコスト低減を図ることができる。

15 また、本発明に係る半導体装置の製造方法は、半導体素子の少なくとも表面上に突起電極を直接形成すると共に、該半導体素子の表面上に前記突起電極の先端部を残し樹脂層を形成し半導体装置本体を形成する半導体装置本体形成工程と、ベース部材上に前記半導体装置本体が接続される配線パターンを形成すると共に、前記ベース部材の前記突起電極形成位置に対応する位置に孔を形成しインタ
20 ポーザを形成するインタポーザ形成工程と、前記半導体装置本体と前記インタポーザとを接着性及び押圧方向に対する導電性を有した異方性導電膜を介して接合し、前記半導体装置本体を前記インタポーザに接着固定すると共に押圧されることにより前記半導体装置
25 本体と前記インタポーザとを電氣的に接続する接合工程と、前記半導体装置本体の搭載面と反対側の面に、前記ベース部材に形成された孔を介して前記配線パターンと接続されるよう外部接続端子を形成する外部接続端子形成工程とを具備することを特徴とするものである。半導体装置本体は、半導体素子の表面上に突起電極の先端部

を残し樹脂層が形成されているため、この樹脂層が半導体素子及び突起電極を保護すると共に、アンダーフィルレジンとしても機能することとなる。また、インタポーザは、半導体装置本体が装着されると共にこの半導体装置本体が接続される配線パターンがベース部材上に形成された構成であるため、ベース部材上において任意の配線パターンを形成することができる。この配線パターンには、ベース部材に形成された孔を介して外部接続端子が接続される。この際、上記のように配線パターンを任意に設定できるため、配線パターンを引き回すことにより半導体装置本体に設けられた突起電極の形成位置に拘わらず外部接続端子の位置を設定することができる。よって、外部接続端子の端子レイアウトの自由度を高めることができる。また、異方性導電膜は接着性及び押圧方向に対する導電性を有しているため、この異方性導電膜を用いて半導体装置本体とインタポーザとを接合することができる。この際、異方性導電膜の有する接着性により半導体装置本体とインタポーザは機械的に接合され、また異方性導電膜の有する異方性導電性により半導体装置本体とインタポーザは電氣的に接合（接続）される。このように、異方性導電膜は接着性及び導電性の双方の特性を有しているため、各機能を別個の部材により行なう構成に比べて部品点数及び組み立て工数の低減を図ることができる。更に、異方性導電膜は可撓性を有し、かつ半導体装置本体とインタポーザの間に介装されるため、この異方性導電膜は緩衝膜として機能する。よって、異方性導電膜により、半導体装置本体とインタポーザとの間に発生する応力を緩和することができる。

また、本発明に係る半導体装置は、少なくとも表面上に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されると共に前記突起電極の先端部を残し前記突起電極を封止する樹脂層とを具備する半導体装置本体と、前記半導体装置本体が装着されると共に、前記半導体装置本体が接続される配線パターンが

ベース部材上に形成されたインタポーザと、前記半導体装置本体と前記インタポーザとの間に介装され、前記半導体装置本体を前記インタポーザに接着固定する接着剤と、前記半導体装置本体と前記インタポーザとを電氣的に接続する導電性部材と、前記ベース部材に形成された孔を介して前記配線パターンと接続されると共に、前記半導体装置本体の搭載面と反対側の面に配設される外部接続端子とを具備することを特徴とするものである。半導体装置本体は、半導体素子の表面上に突起電極の先端部を残し樹脂層が形成されているため、この樹脂層が半導体素子及び突起電極を保護すると共に、アンダーフィルレジンとしても機能することとなる。また、インタポーザは、半導体装置本体が装着されると共にこの半導体装置本体が接続される配線パターンがベース部材上に形成された構成であるため、ベース部材上において任意の配線パターンを形成することができる。この配線パターンには、ベース部材に形成された孔を介して外部接続端子が接続される。この際、上記のように配線パターンを任意に設定できるため、配線パターンを引き回すことにより半導体装置本体に設けられた突起電極の形成位置に拘わらず外部接続端子の位置を設定することができる。よって、外部接続端子の端子レイアウトの自由度を高めることができる。また、接着剤は半導体装置本体とインタポーザとを機械的に接合し、また導電性部材は半導体装置本体とインタポーザとを電氣的に接合（接続）する。このように、半導体装置本体とインタポーザとを接合する際行なわれる機械的接合と電氣的接合を別個の部材により行なうことにより、各機能（機械的接合機能、電氣的接合機能）に最適な部材を選定することができる。これにより、半導体装置本体とインタポーザとの機械的接合及び電氣的接合を共に確実に行なうことが可能となり、半導体装置の信頼性を向上させることができる。

更に、接着剤は固化した状態においても所定の可撓性を有し、かつ半導体装置本体とインタポーザの間に介装されるため、この接着

剤は緩衝膜として機能する。よって、接着剤により、半導体装置本体とインタポーザとの間に発生する応力を緩和することができる。

5 上記半導体装置において、前記導電性部材は、導電性ペーストとすることができる。これにより、単に導電性ペーストを半導体素子の突起電極またはインタポーザの配線パターンに塗布するだけで導電性部材の配設を行なうことができるため、半導体装置の組み立て作業の容易化を図ることができる。また、導電性ペーストの塗布方法としては、周知の技術である転写法や印刷法を用いることができ、よって効率よく導電性部材の配設作業を行なうことができる。

10 また、上記半導体装置において、前記導電性部材は、スタッドバンプである構成とすることができる。導電性部材をスタッドバンプにより構成したことにより、半導体素子の突起電極とインタポーザの配線パターンとはスタッドバンプを介して接合されることとなり、電氣的接続を確実に行なうことができる。

15 また、上記半導体装置において、前記導電性部材は、前記配線パターンと一体的に形成されると共に前記接着剤の配設位置を迂回して前記突起電極に接続するフライングリードとすることができる。導電性部材を配線パターンと一体的に形成されると共に接着剤の配設位置を迂回して突起電極に接続するフライングリードにより構成した20 ことにより、フライングリードと突起電極との接続位置においては接着剤が介在しないため、フライングリードと突起電極との電氣的接続の信頼性を向上させることができる。また、フライングリードはバネ性を有しているため、接続時にフライングリードはバネ力をもって突起電極に圧接する。よって、これによってもフライングリードと突起電極との電氣的接続の信頼性を向上させることができる。25

また、上記半導体装置において、少なくとも前記突起電極と前記フライングリードとの接続位置を樹脂封止する構成とすることができる。これにより、外力印加等によりフライングリードが変形する

ことを防止でき、半導体装置の信頼性を向上させることができる。

また、上記半導体装置において、前記導電性部材は、前記突起電極の形成位置に対応した位置に配設され、その上端部を前記半導体装置の突起電極に接合すると共に、下端部を前記外部接続端子に接合する接続ピンと、該接続ピンを位置決めする位置決め部材とにより構成することができる。接続ピンの上端部を半導体装置本体の突起電極に接合すると共に下端部をインタポーザに設けられた外部接続端子に接合することにより、突起電極と外部接続端子との間には接続ピンが介在した構成となる。この接続ピンは可撓可能な構成であるため、例えば加熱時等に半導体装置本体とインタポーザとの間に熱膨張率差に起因して応力が発生しても、この応力は接続ピンが可撓することにより吸収される。よって、応力が印加されても外部接続端子と突起電極との接続を確実に維持することができる。また、接続ピンは位置決め部材により突起電極の形成位置に対応した位置に位置決めされているため、実装時において個々の接続ピンと突起電極または外部接続端子との位置決め処理を行なう必要はなく、実装作業を容易に行なうことができる。

また、上記半導体装置において、前記位置決め部材は、可撓性部材により形成することができる。これにより、前記のように接続ピンが可撓しても、位置決め部材はこれに追随して可撓するため、半導体装置本体とインタポーザとの間に発生する応力を位置決め部材によっても吸収することができる。

また、本発明に係る半導体装置の製造方法は、半導体素子の少なくとも表面上に突起電極を直接形成すると共に、該半導体素子の表面上に前記突起電極の先端部を残し樹脂層を形成し半導体装置本体を形成する半導体装置本体形成工程と、ベース部材上に前記半導体装置本体が接続される配線パターンを形成すると共に、前記ベース部材の前記突起電極形成位置に対応する位置に孔を形成しインタポーザを形成するインタポーザ形成工程と、前記半導体装置本体ま

たは前記インタポーザの少なくとも一方に導電性部材を配設する導電性部材配設工程と、前記半導体装置本体と前記インタポーザとを接着剤を介して接合すると共に、前記導電性部材により前記半導体装置本体と前記インタポーザとを電氣的に接続する接合工程と、前記半導体装置本体の搭載面と反対側の面に、前記ベース部材に形成された孔を介して前記配線パターンと接続されるよう外部接続端子を形成する外部接続端子形成工程とを具備することを特徴とする。

半導体装置本体は、半導体素子の表面上に突起電極の先端部を残し樹脂層が形成されているため、この樹脂層が半導体素子及び突起電極を保護すると共に、アンダーフィルレジンとしても機能することとなる。また、インタポーザは、半導体装置本体が装着されると共にこの半導体装置本体が接続される配線パターンがベース部材上に形成された構成であるため、ベース部材上において任意の配線パターンを形成することができる。この配線パターンには、ベース部材に形成された孔を介して外部接続端子が接続される。この際、上記のように配線パターンを任意に設定できるため、配線パターンを引き回すことにより半導体装置本体に設けられた突起電極の形成位置に拘わらず外部接続端子の位置を設定することができる。よって、外部接続端子の端子レイアウトの自由度を高めることができる。また、接着剤は半導体装置本体とインタポーザとを機械的に接合し、また導電性部材は半導体装置本体とインタポーザとを電氣的に接合（接続）する。このように、半導体装置本体とインタポーザとを接合する際行なわれる機械的接合と電氣的接合を別個の部材により行なうことにより、各機能（機械的接合機能、電氣的接合機能）に最適な部材を選定することができる。これにより、半導体装置本体とインタポーザとの機械的接合及び電氣的接合を共に確実に行なうことが可能となり、半導体装置の信頼性を向上させることができる。更に、接着剤は固化した状態においても所定の可撓性を有し、かつ半導体装置本体とインタポーザの間に介装されるため、この接着剤

は緩衝膜として機能する。よって、接着剤により、半導体装置本体とインタポーザとの間に発生する応力を緩和することができる。

図面の簡単な説明

5 図 1 は、本発明の第 1 実施例である半導体装置の製造方法の樹脂封止工程、及び本発明の第 1 実施例である半導体装置製造用金型を説明するための図である。図 A 1 ～図 1 C は、従来の半導体装置及びその製造方法の一例を説明するための図である。

10 図 2 は、本発明の第 1 実施例である半導体装置の製造方法の樹脂封止工程を説明するための図である。

図 3 は、本発明の第 1 実施例である半導体装置の製造方法の樹脂封止工程を説明するための図である。

図 4 は、本発明の第 1 実施例である半導体装置の製造方法の樹脂封止工程を説明するための図である。

15 図 5 は、本発明の第 1 実施例である半導体装置の製造方法の樹脂封止工程を説明するための図である。

20 図 6 は、本発明の第 1 実施例である半導体装置の製造方法の突起電極露出工程を説明するための図であり、(A) は樹脂封止工程終了直後の基板を示し、(B) は (A) の矢印 A で示す部分を拡大して示す図である。

図 7 は、本発明の第 1 実施例である半導体装置の製造方法の突起電極露出工程を説明するための図であり、(A) はフィルムを剥離している状態の基板を示し、(B) は (A) の矢印 B で示す部分を拡大して示す図である。

25 図 8 は、本発明の第 1 実施例である半導体装置の製造方法の内、分離工程を説明するための図である。

図 9 は、本発明の第 1 実施例である半導体装置を説明するための図である。

図 10 は、本発明の第 2 実施例である半導体装置の製造方法、及

び本発明の第 2 実施例である半導体装置製造用金型を説明するための図である。

図 1 1 は、本発明の第 3 実施例である半導体装置の製造方法を説明するための図である。

5 図 1 2 は、本発明の第 4 実施例である半導体装置の製造方法を説明するための図である。

図 1 3 は、本発明の第 5 実施例である半導体装置の製造方法を説明するための図である。

10 図 1 4 は、本発明の第 5 実施例である半導体装置の製造方法を説明するための図である。

図 1 5 は、封止樹脂としてシート状樹脂を用いた例を示す図である。

図 1 6 は、封止樹脂の供給手段としてポッティングを用いた例を示す図である。

15 図 1 7 は、封止樹脂をフィルム側に配設した例を示す図である。

図 1 8 は、本発明の第 6 実施例である半導体装置の製造方法を説明するための図である。

20 図 1 9 は、本発明の第 7 実施例である半導体装置の製造方法を説明するための図であり、(A) は樹脂封止工程終了直後の基板を示し、(B) は (A) の矢印 C で示す部分を拡大して示す図である。

図 2 0 は、本発明の第 7 実施例である半導体装置の製造方法を説明するための図であり、(A) はフィルムを剝離している状態の基板を示し、(B) は (A) の矢印 D で示す部分を拡大して示す図である。

25 図 2 1 は、本発明の第 7 実施例である半導体装置の製造方法を説明するための図である。

図 2 2 は、本発明の第 3 実施例である半導体装置製造用金型を説明するための図である。

図 2 3 は、本発明の第 4 実施例である半導体装置製造用金型を説

明するための図である。

図 2 4 は、本発明の第 5 実施例である半導体装置製造用金型を説明するための図である。

5 図 2 5 は、本発明の第 6 実施例である半導体装置製造用金型を説明するための図である。

図 2 6 は、本発明の第 2 実施例である半導体装置を説明するための図である。

図 2 7 は、本発明の第 3 実施例である半導体装置を説明するための図である。

10 図 2 8 は、本発明の第 8 実施例である半導体装置の製造方法を説明するための図である。

図 2 9 は、本発明の第 9 実施例である半導体装置の製造方法を説明するための図である。

15 図 3 0 は、本発明の第 1 0 実施例である半導体装置の製造方法を説明するための図である。

図 3 1 は、本発明の第 1 1 実施例である半導体装置の製造方法を説明するための図である。

図 3 2 は、本発明の第 1 2 実施例である半導体装置の製造方法を説明するための図（その 1）である。

20 図 3 3 は、本発明の第 1 2 実施例である半導体装置の製造方法を説明するための図（その 2）である。

図 3 4 は、本発明の第 1 3 実施例である半導体装置の製造方法を説明するための図である。

25 図 3 5 は、本発明の第 1 4 実施例である半導体装置の製造方法を説明するための図である。

図 3 6 は、本発明の第 1 5 実施例である半導体装置の製造方法を説明するための図である。

図 3 7 は、本発明の第 1 6 実施例である半導体装置の製造方法を説明するための図である。

図 3 8 は、本発明の第 1 7 実施例である半導体装置の製造方法を説明するための図である。

図 3 9 は、本発明の第 1 8 実施例である半導体装置の製造方法を説明するための図である。

5 図 4 0 は、図 3 9 で用いる基板を拡大して示す図である。

図 4 1 は、本発明の第 1 9 実施例である半導体装置の製造方法を説明するための図である。

図 4 2 は、本発明の第 2 0 実施例である半導体装置の製造方法を説明するための図である。

10 図 4 3 は、本発明の第 2 1 実施例である半導体装置の製造方法を説明するための図である。

図 4 4 は、本発明の第 2 2 実施例である半導体装置の製造方法を説明するための図である。

15 図 4 5 は、本発明の第 2 3 実施例である半導体装置の製造方法を説明するための図である。

図 4 6 は、位置決め溝が形成された半導体装置を示す斜視図である。

図 4 7 は、本発明の第 2 4 実施例である半導体装置の製造方法を説明するための図である。

20 図 4 8 は、本発明の第 2 5 実施例である半導体装置の製造方法を説明するための図である。

図 4 9 は、本発明の第 2 6 実施例である半導体装置の製造方法を説明するための図である。

25 図 5 0 は、本発明の第 2 7 実施例である半導体装置の製造方法を説明するための図である。

図 5 1 は、通常のバンプ構造を説明するための図である。

図 5 2 は、本発明の第 1 実施例である半導体装置の実装方法を説明するための図である。

図 5 3 は、本発明の第 2 実施例である半導体装置の実装方法を説

明するための図である。

図 5 4 は、本発明の第 3 実施例である半導体装置の実装方法を説明するための図である。

5 図 5 5 は、本発明の第 4 実施例である半導体装置の実装方法を説明するための図である。

図 5 6 は、本発明の第 5 実施例である半導体装置の実装方法を説明するための図である。

図 5 7 は、本発明の第 6 実施例である半導体装置の実装方法を説明するための図である。

10 図 5 8 は、本発明の第 7 実施例である半導体装置の実装方法を説明するための図である。

図 5 9 は、本発明の第 2 8 実施例である半導体装置の製造方法を説明するための図である。

15 図 6 0 は、本発明の第 2 9 実施例である半導体装置の製造方法を説明するための図（その 1）である。

図 6 1 は、本発明の第 2 9 実施例である半導体装置の製造方法を説明するための図（その 2）である。

図 6 2 は、本発明の第 2 9 実施例である半導体装置の製造方法を説明するための図（その 3）である。

20 図 6 3 は、本発明の第 4 実施例である半導体装置を説明するための図である。

図 6 4 は、本発明の第 8 実施例である半導体装置の実装方法を説明するための図である。

25 図 6 5 は、本発明の第 9 実施例である半導体装置の実装方法を説明するための図である。

図 6 6 は、本発明の第 1 0 実施例である半導体装置の実装方法を説明するための図である。

図 6 7 は、本発明の第 1 1 実施例である半導体装置の実装方法を説明するための図である。

図 6 8 は、他の半導体装置の製造方法を説明するための図（その 1）である。

図 6 9 は、他の半導体装置の製造方法を説明するための図（その 2）である。

5 図 7 0 は、他の半導体装置の製造方法を説明するための図（その 3）である。

図 7 1 は、他の半導体装置の構成を説明するための図である。

図 7 2 は、他の半導体装置の製造方法を説明するための図（その 1）である。

10 図 7 3 は、他の半導体装置の製造方法を説明するための図（その 2）である。

図 7 4 は、他の半導体装置の製造方法を説明するための図（その 3）である。

15 図 7 5 は、他の半導体装置の製造方法を説明するための図（その 4）である。

図 7 6 は、本発明の第 6 実施例に係る半導体装置用金型の変形例を示す図である。

図 7 7 は、本発明の第 6 実施例に係る半導体装置用金型の変形例を示す図である。

20 図 7 8 は、本発明の第 3 0 実施例である半導体装置を説明するための図である。

図 7 9 は、本発明の第 3 0 実施例である半導体装置の製造方法を説明するための図（その 1）である。

25 図 8 0 は、本発明の第 3 0 実施例である半導体装置の製造方法を説明するための図（その 2）である。

図 8 1 は、本発明の第 3 1 実施例である半導体装置を説明するための図である。

図 8 2 は本発明の第 3 1 実施例である半導体装置の製造方法を説明するための図（その 1）である。

図 8 3 は、本発明の第 3 1 実施例である半導体装置の製造方法を説明するための図（その 2）である。

図 8 4 は、本発明の第 3 2 実施例である半導体装置を説明するための図である。

5 図 8 5 は、本発明の第 3 3 実施例である半導体装置を説明するための図である。

図 8 6 は、本発明の第 3 4 実施例である半導体装置を説明するための図である。

図 8 7 は、余剰樹脂除去機構を説明するための図である。

10 図 8 8 は、本発明の第 3 5 実施例である半導体装置を説明するための図である。

図 8 9 は、本発明の第 3 5 実施例である半導体装置の製造方法を説明するための図（その 1）である。

15 図 9 0 は、本発明の第 3 5 実施例である半導体装置の製造方法を説明するための図（その 2）である。

図 9 1 は、本発明の第 3 6 実施例である半導体装置及びその製造方法を説明するための図である。

図 9 2 は、本発明の第 3 7 実施例である半導体装置及びその製造方法を説明するための図である。

20 図 9 3 は、本発明の第 3 8 実施例である半導体装置及びその製造方法を説明するための図である。

図 9 4 は、本発明の第 3 9 実施例である半導体装置及びその製造方法を説明するための図である。

25 図 9 5 は、本発明の第 4 0 実施例である半導体装置及びその製造方法を説明するための図である。

図 9 6 は、本発明の第 4 1 実施例である半導体装置及びその製造方法を説明するための図である。

図 9 7 は、本発明の第 4 2 実施例である半導体装置及びその製造方法を説明するための図である。

図 9 8 は、本発明の第 4 3 実施例である半導体装置及びその製造方法を説明するための図である。

図 9 9 は、本発明の第 4 4 実施例である半導体装置及びその製造方法を説明するための図である。

5 図 1 0 0 は、本発明の第 4 5 実施例である半導体装置及びその製造方法を説明するための図である。

図 1 0 1 は、本発明の第 4 6 実施例である半導体装置及びその製造方法を説明するための図である。

10 図 1 0 2 は、本発明の第 4 7 実施例である半導体装置及びその製造方法を説明するための図である。

図 1 0 3 は、配線基板の他の実施例を示す図である（その 1）。

図 1 0 4 は、配線基板の他の実施例を示す図である（その 2）。

図 1 0 5 は、配線基板の他の実施例を示す図である（その 3）。

図 1 0 6 は、配線基板の他の実施例を示す図である（その 4）。

15 図 1 0 7 は、配線基板の他の実施例を示す図である（その 5）。

図 1 0 8 は、配線基板の他の実施例を示す図である（その 6）。

図 1 0 9 は、配線基板の他の実施例を示す図である（その 7）。

図 1 1 0 は、図 1 0 6 に示す配線基板の変形例を説明するための図である。

20 図 1 1 1 は、本発明の第 4 8 実施例である半導体装置及びその製造方法を説明するための図である。

図 1 1 2 は、本発明の第 4 8 実施例である半導体装置の製造方法を説明するための図（その 1）である。

25 図 1 1 3 は、本発明の第 4 8 実施例である半導体装置の製造方法を説明するための図（その 2）である。

図 1 1 4 は、本発明の第 4 9 実施例である半導体装置及びその製造方法を説明するための図である。

図 1 1 5 は、本発明の第 5 0 実施例である半導体装置及びその製造方法を説明するための図である。

図 1 1 6 は、本発明の第 5 1 乃至第 5 3 実施例である半導体装置を説明するための図である。

図 1 1 7 は、メカニカルバンプを適用した各種半導体装置を説明するための図である。

5 図 1 1 8 は、本発明の第 5 4 実施例である半導体装置を説明するための図である。

図 1 1 9 は、本発明の第 5 4 実施例である半導体装置の製造方法を説明するための図である（その 1）。

10 図 1 2 0 は、本発明の第 5 4 実施例である半導体装置の製造方法を説明するための図である（その 2）。

図 1 2 1 は、本発明の第 5 4 実施例である半導体装置の製造方法を説明するための図である（その 3）。

図 1 2 2 は、本発明の第 5 4 実施例である半導体装置の製造方法を説明するための図である（その 4）。

15 図 1 2 3 は、本発明の第 5 5 実施例である半導体装置を説明するための図である。

図 1 2 4 は、本発明の第 5 6 実施例である半導体装置を説明するための図である。

20 図 1 2 5 は、本発明の第 5 7 実施例である半導体装置を説明するための図である。

図 1 2 6 は、本発明の第 5 5 実施例である半導体装置の製造方法を説明するための図である（その 1）。

図 1 2 7 は、本発明の第 5 5 実施例である半導体装置の製造方法を説明するための図である（その 2）。

25 図 1 2 8 は、本発明の第 5 4 実施例である半導体装置の実装構造を説明するための図である。

図 1 2 9 は、本発明の第 5 5 実施例である半導体装置の実装構造を説明するための図である。

図 1 3 0 は、本発明の第 5 6 実施例である半導体装置の実装構造

を説明するための図である。

図 1 3 1 は、本発明の第 5 7 実施例である半導体装置の実装構造を説明するための図である。

5 図 1 3 2 は、本発明の第 5 8 実施例である半導体装置の実装構造を説明するための図である。

図 1 3 3 は、本発明の第 5 9 実施例である半導体装置の実装構造を説明するための図である。

図 1 3 4 は、本発明の第 6 0 実施例である半導体装置の実装構造を説明するための図である。

10 図 1 3 5 は、本発明の第 5 7 実施例である半導体装置を説明するための図である。

図 1 3 6 は、本発明の第 5 6 実施例である半導体装置の製造方法を説明するための図である（その 1）。

15 図 1 3 7 は、本発明の第 5 6 実施例である半導体装置の製造方法を説明するための図である（その 2）。

図 1 3 8 は、本発明の第 5 6 実施例である半導体装置の製造方法を説明するための図である（その 3）。

図 1 3 9 は、本発明の第 5 6 実施例である半導体装置の製造方法を説明するための図である（その 4）。

20 図 1 4 0 は、本発明の第 5 6 実施例である半導体装置の製造方法を説明するための図である（その 5）。

図 1 4 1 は、本発明の第 5 6 実施例である半導体装置の製造方法を説明するための図である（その 6）。

25 図 1 4 2 は、本発明の第 5 9 実施例である半導体装置を説明するための図である。

図 1 4 3 は、本発明の第 6 0 実施例である半導体装置を説明するための図である。

図 1 4 4 は、本発明の第 6 1 実施例である半導体装置を説明するための図である。

図 1 4 5 は、本発明の第 6 2 実施例である半導体装置を説明するための図である。

図 1 4 6 は、本発明の第 6 3 実施例である半導体装置を説明するための図である。

5 図 1 4 7 は、本発明の第 6 4 実施例である半導体装置を説明するための図である。

図 1 4 8 は、本発明の第 5 7 実施例である半導体装置の製造方法を説明するための図である。

10 図 1 4 9 は、本発明の第 6 5 実施例である半導体装置を説明するための図である。

図 1 5 0 は、本発明の第 5 8 実施例である半導体装置の製造方法を説明するための図である（その 1）。

図 1 5 1 は、本発明の第 5 8 実施例である半導体装置の製造方法を説明するための図である（その 2）。

15 図 1 5 2 は、本発明の第 6 6 実施例である半導体装置を説明するための図である。

図 1 5 3 は、本発明の第 5 9 実施例である半導体装置の製造方法を説明するための図である。

20 図 1 5 4 は、本発明の第 6 7 実施例である半導体装置を説明するための図である。

図 1 5 5 は、本発明の第 6 0 実施例である半導体装置の製造方法を説明するための図である（その 1）。

図 1 5 6 は、本発明の第 6 0 実施例である半導体装置の製造方法を説明するための図である（その 2）。

25 図 1 5 7 は、本発明の第 6 0 実施例である半導体装置の製造方法を説明するための図である（その 3）。

図 1 5 8 は、本発明の第 6 8 実施例である半導体装置を説明するための図である。

図 1 5 9 は、本発明の第 6 1 実施例である半導体装置の製造方法

を説明するための図である。

図 1 6 0 は、本発明の第 6 9 実施例である半導体装置を説明するための図である。

5 図 1 6 1 は、本発明の第 6 2 実施例である半導体装置の製造方法を説明するための図である（その 1）。

図 1 6 2 は、本発明の第 6 2 実施例である半導体装置の製造方法を説明するための図である（その 2）。

図 1 6 3 は、本発明の第 6 2 実施例である半導体装置の製造方法を説明するための図である（その 3）。

10 図 1 6 4 は、本発明の第 7 0 実施例である半導体装置を説明するための図である。

図 1 6 5 は、本発明の第 6 3 実施例である半導体装置の製造方法を説明するための図である。

15 図 1 6 6 は、本発明の第 7 1 実施例である半導体装置を説明するための図である。

図 1 6 7 は、本発明の第 6 4 実施例である半導体装置の製造方法を説明するための図である（その 1）。

図 1 6 8 は、本発明の第 6 4 実施例である半導体装置の製造方法を説明するための図である（その 2）。

20 図 1 6 9 は、本発明の第 6 4 実施例である半導体装置の製造方法を説明するための図である（その 3）。

図 1 7 0 は、本発明の第 6 4 実施例である半導体装置の製造方法を説明するための図である（その 4）。

25 図 1 7 1 は、本発明の第 6 4 実施例である半導体装置の製造方法を説明するための図である（その 5）。

図 1 7 2 は、本発明の第 7 2 実施例である半導体装置を説明するための図である。

図 1 7 3 は、本発明の第 6 5 実施例である半導体装置の製造方法を説明するための図である（その 1）。

図 1 7 4 は、本発明の第 6 5 実施例である半導体装置の製造方法を説明するための図である（その 2）。

図 1 7 5 は、本発明の第 6 5 実施例である半導体装置の製造方法を説明するための図である（その 3）。

5 図 1 7 6 は、本発明の第 7 3 実施例である半導体装置を説明するための図である。

図 1 7 7 は、本発明の第 6 6 実施例である半導体装置の製造方法を説明するための図である。

10 発明を実施するための最良の形態

次に本発明の実施の形態について図面と共に説明する。

図 1 乃至図 8 は本発明の第 1 実施例である半導体装置の製造方法を製造手順に沿って示しており、また図 9 は本発明の第 1 実施例である半導体装置の製造方法により製造される半導体装置 1 0 を示している。
15

先ず、図 9（A）及び（B）を用いて、図 1 乃至図 8 に示す製造方法により製造される本発明の第 1 実施例となる半導体装置 1 0 について説明する。半導体装置 1 0 は、大略すると半導体素子 1 1，突起電極となるバンプ 1 2，及び樹脂層 1 3 等によりなる極めて簡単な構成とされている。
20

半導体素子 1 1（半導体チップ）は、半導体基板に電子回路が形成されたものであり、その実装側の面には多数のバンプ 1 2 が配設されている。バンプ 1 2 は、例えば半田ボールを転写法を用いて配設された構成とされており、外部接続電極として機能するものである。本実施例では、バンプ 1 2 は半導体素子 1 1 に形成されている電極パッド（図示せず）に直接配設された構成とされている。
25

また、樹脂層 1 3（梨地で示す）は、例えばポリイミド、エポキシ（PPS，PEK，PES，及び耐熱性液晶樹脂等の熱可塑性樹脂）等の熱硬化性樹脂よりなり、半導体素子 1 1 のバンプ形成側面

の全面にわたり形成されている。従って、半導体素子 1 1 に配設されているバンプ 1 2 は、この樹脂層 1 3 により封止された状態となるが、バンプ 1 2 の先端部は樹脂層 1 3 から露出するよう構成されている。即ち、樹脂層 1 3 は、先端部を残してバンプ 1 2 を封止するよう半導体素子 1 1 に形成されている。

上記構成とされた半導体装置 1 0 は、その全体的な大きさが略半導体チップ 1 1 の大きさと等しい、いわゆるチップサイズパッケージ構造となる。従って、半導体装置 1 0 は、近年特に要求されている小型化のニーズに十分対応することができる。

また、上記したように半導体装置 1 0 は半導体素子 1 1 上に樹脂層 1 3 が形成された構成とされており、かつこの樹脂層 1 3 は先端部を残しバンプ 1 2 を封止した構造とされている。このため、樹脂層 1 3 によりデリケートなバンプ 1 2 は保持されることとなり、よってこの樹脂層 1 3 は従来用いられていたアンダーフィルレジ

6 (図 7 8 参照) と同様の機能を奏することとなる。

即ち、樹脂層 1 3 により、半導体素子 1 1, バンプ 1 2, 実装基板 1 4, バンプ 1 2 と接続電極 1 5 との接合部位, 及びバンプ 1 2 と半導体素子 1 1 との接合部位の破壊を防止することができる。

図 9 (B) は、半導体装置 1 0 を実装基板 1 4 に実装する方法を説明するための図である。半導体装置 1 0 を実装基板 1 4 に実装するには、実装基板 1 4 に形成されている接続電極 1 5 とバンプ 1 2 を位置決めした上で実装を行なう。

この際、実装処理前において、半導体装置 1 0 には樹脂層 1 3 が予め半導体素子 1 1 に形成された構成とされている。よって、半導体装置 1 0 を実装基板 1 4 に実装処理する際、アンダーフィルレジンを半導体素子 1 1 と実装基板 1 4 との間に充填処理する必要はなくなり、これにより実装処理を容易とすることができる。

また、半導体装置 1 0 を実装基板 1 4 に実装する際、半田バンプ 1 2 を接続電極 1 5 に接合するために加熱処理を行なうが、半導体

素子 1 1 に配設されたバンプ 1 2 は樹脂層 1 3 により保持されているため、半導体素子 1 1 と実装基板 1 4 との間に熱膨張差が発生しても確実に実装処理を行なうことができる。

5 更に、半導体装置 1 0 を実装基板 1 4 に実装した後に熱が印加されたような場合においても、半導体素子 1 1 と実装基板 1 4 との熱膨張差が発生しても、樹脂層 1 3 によりバンプ 1 2 は保持されているため、バンプ 1 2 と接続電極 1 5 との間で剥離が発生するようなことはない。よって、半導体装置 1 0 の実装における信頼性を向上させることができる。

10 続いて、上記構成とされた半導体装置 1 0 の製造方法（第 1 実施例に係る製造方法）について、図 1 乃至図 8 を用いて説明する。

半導体装置 1 0 は、大略すると半導体素子形成工程、バンプ形成工程、樹脂封止工程、突起電極露出工程、及び分離工程等を実施することにより形成される。この各工程の内、半導体素子形成工程は、
15 基板に対しエキシマレーザ技術等を用いて回路形成を行なう工程であり、またバンプ形成工程は転写法等を用いて回路形成された半導体素子 1 1 上にバンプ 1 2 を形成する構成である。

この半導体素子形成工程及びバンプ形成工程は、周知の技術を用いて実施されるものであり、本願発明の要部は樹脂封止工程以降にあるため、以下の説明では樹脂封止工程以降の各工程についてのみ説明するものとする。
20

図 1 乃至図 5 は樹脂封止工程を示している。

樹脂封止工程は、更に基板装着工程、樹脂層形成工程、及び離型工程に細分化される。樹脂封止工程が開始されると、先ず図 1 に示されるように、半導体素子形成工程及びバンプ形成工程を経ること
25 により多数の半導体素子 1 1 が形成された基板 1 6（ウエハー）を半導体装置製造用金型 2 0 に装着する。

ここで、本発明の第 1 実施例となる半導体装置製造用金型 2 0（以下、単に金型 2 0 という）の構造について説明する。

金型 20 は、大略すると上型 21 と下型 22 とにより構成されている。この上型 21 及び下型 22 には、共に図示しないヒーターが内设されており、後述する封止樹脂 35 を加熱溶融しうる構成とされている。

5 上型 21 は、図示しない昇降装置により図中矢印 Z1, Z2 方向に昇降動作する構成とされている。また、上型 21 の下面はキャビティ面 21a とされており、このキャビティ面 21a は平坦面とされている。従って、上型 21 の形状は極めて簡単な形状とされており、安価に上型 21 を製造することができる。

10 一方、下型 22 は、第 1 の下型半体 23 と第 2 の下型半体 24 とにより構成されている。第 1 の下型半体 23 は、前記した基板 16 の形状に対応した形状とされており、具体的には基板 16 の径寸法より若干大きな径寸法に設定されている。基板 16 は、この第 1 の下型半体 23 の上面に形成されたキャビティ面 25 に装着される。
15 本実施例では、この第 1 の下型半体 23 は固定された構成とされている。

また、第 2 の下型半体 24 は、第 1 の下型半体 23 を圍繞するよう略環状形状とされている。この第 2 の下型半体 24 は、図示しない昇降装置により、第 1 の下型半体 23 に対して図中矢印 Z1, Z2 方向に昇降動作する構成とされている。また、第 2 の下型半体 24 の内周壁はキャビティ面 26 とされており、このキャビティ面 26 の上部所定範囲には、離型性を向上させる面より傾斜部 27 が形成されている。

樹脂封止工程の開始直後の状態では、図 1 に示すように、第 2 の
25 下型半体 24 は第 1 の下型半体 23 に対して Z2 方向に上動した状態となっており、よって前記した基板 16 は第 1 及び第 2 の下型半体 23, 24 が協働して形成する凹部（キャビティ）内に装着される。この際、基板 16 はパンプ 12 が形成された面が上側となるよう装着され、よって装着状態において基板 16 に形成されたパンプ

1 2 は上型 2 1 と対向した状態となっている。

上記のように下型 2 2 に基板 1 6 を装着すると、続いて上型 2 1 の下部にフィルム 3 0 を歪みの無い状態で配設すると共に、基板 1 6 のパンプ 1 2 上に封止樹脂 3 5 を載置する。

5 フィルム 3 0 は、例えばポリイミド、塩化ビニール、P C、P e t、静分解性樹脂、合成紙等の紙、金属箔、若しくはこれらの複合材を用いることが可能であり、後述する樹脂成形時に印加される熱により劣化しない材料が選定されている。また本実施例で用いるフィルム 3 0 は、上記の耐熱性に加え、所定の弾性を有する材料が
10 選定されている。ここでいう所定の弾性とは、後述する封止時において、パンプ 1 2 の先端部がフィルム 3 0 内にめり込むことが可能な程度の弾性をいう。

一方、封止樹脂 3 5 は例えばポリイミド、エポキシ（P P S、P E E K、P E S 及び耐熱性液晶樹脂等の熱可塑性樹脂）等の樹脂で
15 あり、本実施例においてはこの樹脂を円柱形状に成形した構成のものを用いている。また、封止樹脂 3 5 の載置位置は、図 2（下型 2 2 の平面図である）に示されるように、基板 1 6 の略中央位置に選定されている。以上が、基板装着工程の処理である。

尚、上記した基板装着工程において、フィルム 3 0 を配設するタイ
20 ミングは、下型 2 2 に基板 1 6 を装着した後に限定されるものではなく、下型 2 2 に基板 1 6 を装着する前に予めフィルム 3 0 を配設しておく構成としてもよい。

上記のように基板装着工程が終了すると、続いて樹脂層形成工程が実施される。樹脂層形成工程が開始されると、金型 2 0 による加熱により封止樹脂 3 5 が熔融しうる温度まで昇温したことを確認した上で（尚、封止樹脂 3 5 の高さが十分小さい場合は確認の必要はない）、上型 2 1 が Z 1 方向に可動される。
25

上型 2 1 を Z 1 方向に可動することにより、先ず上型 2 1 は第 2 の下型半体 2 4 の上面と当接する。この際、前記のように上型 2 1

の下部にはフィルム 30 が配設されているため、上型 21 が第 2 の下型半体 24 と当接した時点で、図 3 に示されるように、フィルム 30 は上型 21 と第 2 の下型半体 24 との間にクランプされた状態となる。この時点で、金型 20 内には、前記した各キャビティ面 24 a, 25, 26 により囲繞されたキャビティ 28 が形成される。

また、封止樹脂 35 は Z1 方向に動く上型 21 によりフィルム 30 を介して圧縮付勢され、かつ封止樹脂 35 は溶融しうる温度まで昇温されているため、同図に示されるように、封止樹脂 35 は基板 16 上にある程度広がった状態となる。

上型 21 が第 2 の下型半体 24 と当接すると、その後は上型 21 及び第 2 の下型半体 24 はフィルム 30 をクランプした状態を維持しつつ一体的に Z1 方向に下動を行なう。即ち、上型 21 及び第 2 の下型半体 24 は、共に Z1 方向に可動する。

これに対し、下型 22 を構成する第 1 の下型半体 23 は固定された状態を維持するため、キャビティ 28 の容積は上型 21 及び第 2 の下型半体 24 の Z1 方向の動きに伴い減少し、よって封止樹脂 35 はキャビティ 28 内で圧縮されつつ樹脂成形されることとなる（この樹脂成形法を圧縮成形法という）。

具体的には、基板 16 の中央に載置された封止樹脂 35 は加熱により軟化しており、かつ上型 21 の下動により圧縮されるため、封止樹脂 35 は上型 21 により押し広げられて中央位置より外周に向け進行してゆく。これにより、基板 16 に配設されているバンプ 12 は、中央位置から順次外側に向けて封止樹脂 35 より封止されていく。

この際、上型 21 及び第 2 の下型半体 24 の可動速度が速いと圧縮成形による圧縮圧が高くなり、バンプ 12 に損傷が発生することが考えられ、また上型 21 及び第 2 の下型半体 24 の可動速度が遅いと、製造効率等の低下が発生する。従って、上型 21 及び第 2 の下型半体 24 の可動速度は、上記した相反する問題点が共に発生し

ない適正な可動速度に選定されている。

上記した上型 2 1 及び第 2 の下型半体 2 4 の下動は、クランプされたフィルム 3 0 が基板 1 6 に形成されたバンプ 1 2 に圧接される状態となるまで行なわれる。また、フィルム 3 0 がバンプ 1 2 に圧接された状態で、封止樹脂 3 5 は基板 1 6 に形成された全てのバンプ 1 2 及び基板 1 6 を封止するよう構成されている。図 4 は、樹脂層形成工程が終了した状態を示している。樹脂層形成工程が終了した状態では、フィルム 3 0 は基板 1 6 に向け圧接されているため、バンプ 1 2 の先端部はフィルム 3 0 にめり込んだ状態となる。また、封止樹脂 3 5 が基板 1 6 の全面に配設されることにより、バンプ 1 2 を封止する樹脂層 1 3 が形成される。

また、封止樹脂 3 5 の樹脂量は予め計量されており、図 4 に示される樹脂層形成工程が終了した時点で、樹脂層 1 3 の高さがバンプ 1 2 の高さと同等しくなるよう設定されている。このように、封止樹脂 3 5 の樹脂量を予め過不足のない適正量に計量しておくことにより、樹脂層形成工程において金型 2 0 から余剰な樹脂 3 5 が流出したり、逆に樹脂 3 5 が少なくバンプ 1 2 及び基板 1 6 を確実に封止できなくなる不都合を防止することができる。

樹脂層形成工程が終了すると、続いて離型工程が実施される。この離型工程では、先ず上型 2 1 を Z 2 方向に動かす。この際、樹脂層 1 3 が第 2 の下型半体 2 4 に形成された傾斜部 2 7 と当接した位置は固着した状態となっているため、基板 1 6 及び樹脂層 1 3 は下型 2 2 に保持された状態となっている。このため、上型 2 1 を Z 2 方向に動かした場合、上型 2 1 のみがフィルム 3 0 から離脱し上動することとなる。

続いて、第 2 の下型半体 2 4 を第 1 の下型半体 2 3 に対して Z 1 方向に若干量可動させる。図 5 の中心線より左側は、上型 2 1 が上動し、かつ第 2 の下型半体 2 4 が若干量 Z 1 方向に動かした状態を示している。このように、第 2 の下型半体 2 4 を第 1 の下型半体 2

3 に対して Z 1 方向に可動させることにより、前記した傾斜部 2 7 と樹脂層 1 3 とを離間させることができる。

5 このように傾斜部 2 7 と樹脂層 1 3 とが離間すると、続いて第 2 の下型半体 2 4 は Z 2 方向に可動を開始する。これにより、第 2 の下型半体 2 4 の上面はフィルム 3 0 と当接すると共に傾斜部 2 7 は樹脂層 1 3 の側壁と当接し、よって第 2 の下型半体 2 4 の上動に伴い基板 1 6 を Z 2 方向に向けて移動付勢する。

10 フィルム 3 0 は樹脂層 1 3 と固着した状態を維持しているため、フィルム 3 0 が可動付勢されることにより、樹脂層 1 3 が形成された基板 1 6 は第 1 の下型半体 2 3 から離脱する。これにより、図 5 の中心線より右側に示されるように、樹脂層 1 3 が形成された基板 1 6 は金型 2 0 から離型される。

15 尚、図 5 に示す例では第 1 の下型半体 2 3 と樹脂層 1 3 とが固着した部分が存在するが、この固着領域は狭いため固着力は弱く、よって第 2 の下型半体 2 4 が Z 2 方向に動かすことにより、樹脂層 1 3 が形成された基板 1 6 を第 1 の下型半体 2 3 から確実に離型させることができる。

20 上記のように本実施例に係る樹脂封止工程では、樹脂層 1 3 は樹脂層形成工程において金型 2 0 を用いて圧縮成形される。また、樹脂層 1 3 となる封止樹脂 3 5 は、従来（図 7 8 参照）のように半導体装置 1 と実装基板 5 との間の狭所に充填されるのではなく、基板 1 6 のバンプ 1 2 が配設された面上に載置されモールド成形される。

25 このため、樹脂層 1 3 を基板 1 6 のバンプ 1 2 が形成されている面全体にわたり確実に形成することができ、また略バンプ 1 2 の高さと同じ狭い部分に確実に樹脂層 1 3 を形成することが可能となる。これにより、基板 1 6 に形成されている全てのバンプ 1 2 は樹脂層 1 3 により確実に封止されるため、樹脂層 1 3 により全てのバンプ 1 2 を確実に保持することが可能となる。よって、図 9 を用いて説明した加熱時において、バンプ 1 2 と実装基板 1 4 との接合部

における破壊を確実に防止でき、半導体装置 10 の信頼性を向上させることができる。

また、前記したように、金型 20 を構成する下型 22 は、固定された第 1 の下型半体 23 と、この第 1 の下型半体 23 に対して昇降可能な構成とされた第 2 の下型半体 24 とにより構成されている。このため、樹脂層 13 を形成した後に第 1 の下型半体 23 に対し第 2 の下型半体 24 を昇降動作させることにより、金型 20 に離型機能を持たせることができ、樹脂層 13 が形成された基板 16 を容易に金型 20 から取り出すことができる。

上記した樹脂封止工程が終了すると、続いて突起電極露出工程が実施される。図 6 及び図 7 は突起電極露出工程を示している。樹脂封止工程が終了した時点では、図 6 に示されるように、フィルム 30 は樹脂層 13 と固着した状態となっている。また、フィルム 30 は弾性可能な材料により構成されているため、樹脂層 13 が形成された状態で、バンプ 12 の先端部はフィルム 30 にめり込んだ状態となっている。即ち、バンプ 12 の先端部は樹脂層 13 に覆われていない状態となっている（この状態を図 6（B）に拡大して示す）。

本実施例に係る突起電極露出工程では、図 7（A）に示されるように、樹脂層 13 に固着されたフィルム 30 を樹脂層 13 から剥離する処理を行なう。このようにフィルム 30 を樹脂層 13 から剥離することにより、図 7（B）に拡大して示すように、フィルム 30 にめり込んだ状態とされていたバンプ 12 の先端部は樹脂層 13 から露出することとなる。よって、この露出されたバンプ 12 の先端部を用いて実装処理を行なうことが可能となる。

このように、本実施例に係る突起電極露出工程は、単にフィルム 30 を樹脂層 13 から剥離するだけの簡単な処理である。このため、容易かつ効率よく突起電極露出処理を行なうことができる。

また、前記したようにフィルム 30 を金型 20 に装着する際、

フィルム 30 は歪みのないよう配設されており、かつ上型 21 のキャビティ面 24 a は平坦な形状とされている。更に、フィルム 30 は均一な品質を有しており、その全面において均一な弾性特性を有している。従って、樹脂封止工程においてバンプ 12 がフィルム 30 にめり込む際、そのめり込み量は均一となる。

これにより、突起電極露出工程でフィルム 30 を樹脂層 13 から剝離した際、樹脂層 13 から露出するバンプ 12 の露出量は均一となり、半導体装置 10 の品質の一定化、及び実装時における接続電極 15 との接合性の均一化を図ることができる。

尚、上記した説明では、突起電極露出工程でフィルム 30 を樹脂層 13 から剝離した際、樹脂層 13 から完全にバンプ 12 が露出する構成を示したが、フィルム 30 を剝離した状態でバンプ 13 の先端が極薄くではあるが樹脂膜（封止樹脂 35）により覆われた構成としてもよい、この構成とする事により、樹脂膜はデリケートな性質を有するバンプ 13 の上端部を保護するため、バンプ 13 が外気と接触することにより酸化が発生する等の劣化を防止することができる。

また、バンプ 13 を実装基板に実装する際は、この樹脂膜は不要となるため除去する必要がある。この樹脂膜を除去するタイミングは、実装基板に実装する前であればどのタイミングで行なってもよい。

上記した突起電極露出工程が終了すると、続いて分離工程が実施される。

図 8 は分離工程を示している。同図に示されるように、分離工程では基板 16 を半導体素子 11 毎にダイサー 29 を用いて樹脂層 13 と共に切断する。これにより、先に説明した図 9 に示される半導体装置 10 が製造される。

尚、ダイサー 29 を用いたダイシング処理は、半導体装置の製造工程において一般的に採用されているものであり、特に困難を伴う

ものではない。また、基板 16 には樹脂層 13 が形成されているが、ダイサー 29 は樹脂層 13 をも十分に切断することができる能力を有している。

5 続いて、図 10 を用いて本発明の第 2 実施例である半導体装置の製造方法及び本発明の第 2 実施例である半導体装置製造用金型 20 A（以下、単に金型 20 A という）について説明する。尚、図 10 において、先に図 1 乃至図 9 を用いて説明した第 1 実施例に係る構成と同一構成については、同一符号を附してその説明を省略する。

先ず、本実施例に係る金型 20 A について説明する。

10 本実施例に係る金型 20 A も大略すると上型 21 と下型 22 A とにより構成されている。上型 21 及び下型 22 A を構成する第 1 の下型半体 23 は第 1 実施例に示したものと同一構成とされている。しかるに本実施例では、第 2 の下型半体 24 A に余剰樹脂を除去する余剰樹脂除去機構 40 を設けたことを特徴とするものである。

15 余剰樹脂除去機構 40 は、大略すると開口部 41、ポット部 42、及び圧力制御ロッド 43 等により構成されている。開口部 41 は第 2 の下型半体 24 A に形成された傾斜部 27 の一部に形成された開口であり、この開口部 41 はポット部 42 と連通した構成とされている。

20 ポット部 42 はシリンダ構造を有しており、このポット部 42 の内部にはピストン構造とされた圧力制御ロッド 43 が摺動可能に装着されている。この圧力制御ロッド 43 は、図示しない駆動機構に接続されており、図中矢印 Z1、Z2 方向に第 2 の下型半体 24 A に対して昇降動作可能な構成とされている。

25 続いて、上記構成とされた余剰樹脂除去機構 40 を具備した金型 20 A を用いて実施される、本発明の第 2 実施例に係る半導体装置の製造方法について説明する。尚、第 2 実施例では半導体製造工程の内、樹脂封止工程に特徴を有しているため、この樹脂封止工程についてのみ説明するものとする。

本実施例に係る樹脂封止工程が開始されると、基板装着工程が実施される。基板装着工程では、図 10 (A) に示されるように基板 16 を金型 20 A に装着する。

5 同図に示されるように、樹脂封止工程の開始直後の状態では、第 2 の下型半体 24 A は第 1 の下型半体 23 に対して Z 2 方向に可動した状態となっており、また余剰樹脂除去機構 40 を構成する圧力制御ロッド 43 は Z 2 方向の定位置に移動した状態となっている。

上記のように下型 22 A に基板 16 を装着すると、続いて上型 21 の部分 24 a にフィルム 30 を配設すると共に、基板 16 又は基板 10 16 のバンプ 12 上に封止樹脂 35 を載置する。

上記の基板装着工程が終了すると、続いて樹脂層形成工程が実施される。樹脂層形成工程が開始されると上型 21 は Z 1 方向に可動され、これにより図 10 (B) に示されるように、上型 21 と第 2 の下型半体 24 A とは当接してフィルム 30 はクランプされた状態 15 となる。

この時点で、金型 20 A 内には各キャビティ面 24 a, 25, 26 により囲繞されたキャビティ 28 が形成されるが、前記した余剰樹脂除去機構 40 を構成する開口部 41 は、このキャビティ 28 に開口した状態となっている。

20 上型 21 が第 2 の下型半体 24 A と当接すると、その後は上型 21 及び第 2 の下型半体 24 A はフィルム 30 をクランプした状態を維持しつつ一体的に Z 1 方向に可動を行なう。これにより、樹脂 35 はキャビティ 28 内で圧縮されつつ樹脂成形される。

25 この際、バンプ 12 に対する損傷の発生を防止し、かつキャビティ 28 の全領域に適正に樹脂 35 を充填するためには、上型 21 及び第 2 の下型半体 24 A の Z 1 方向速度を適正な可動速度に選定する必要があることは前述した通りである。上型 21 及び第 2 の下型半体 24 A の Z 1 方向速度を適正化することは、換言すればキャビティ 28 内における樹脂 35 の圧縮圧力を適正化することと等価

である。

本実施例では、金型 20 A に余剰樹脂除去機構 40 を設けることにより、上型 21 及び第 2 の下型半体 24 A の Z1 方向速度に加え、圧力制御ロッド 43 を駆動することによっても樹脂 35 の圧縮圧力を制御しうる構成とされている。よって、圧力制御ロッド 43 が Z2 方向に作用する力を小さくすることによりキャビティ 28 内における封止樹脂 35 の圧力は低くなり、また圧力制御ロッド 43 が Z2 方向に作用する力を大きくすることによりキャビティ 28 内における封止樹脂 35 の圧力は高くなる。

例えば、封止樹脂 35 の樹脂量が形成しようとする樹脂層 13 の容量よりも多く、余剰樹脂によりキャビティ 28 内の圧力が上昇した場合には、適正な樹脂成形が行なえなくなるおそれがあるが、このような場合には、図 10 (C) に示されるように、余剰樹脂除去機構 40 の圧力制御ロッド 43 を Z1 方向に下動させることにより、余剰樹脂を開口部 41 を介してポット部 42 内に除去することができる。

よって、余剰樹脂除去機構 40 を設けることにより、樹脂層 13 の形成時に余剰樹脂の除去処理を同時に行うことができ、常に既定の圧縮力で樹脂成形することが可能となり、樹脂層 13 の形成を適正に行なうことができる。また、余剰樹脂が金型 20 A から漏洩することを防止することができると共に、封止樹脂 35 の計量精度は第 1 実施例に比べて低くてもかまわないため封止樹脂 35 の計量の容易化を図ることができる。

樹脂層形成工程が終了し樹脂層 13 が形成されると、続いて離型工程が実施される。この離型工程における金型 20 A の動作は、基本的には第 1 実施例と同様である。即ち、先ず上型 21 を Z2 方向に可動させると共に、第 2 の下型半体 24 A を第 1 の下型半体 23 に対して Z1 方向に若干量可動させる。

図 10 (D) の中心線より左側は、上型 21 が Z2 方向に可動し、

かつ第2の下型半体24Aが若干量Z1方向に可動した状態を示している。このように、第2の下型半体24Aを第1の下型半体23に対してZ1方向に可動させることにより、前記した傾斜部27と樹脂層13とを離間させることができる。

5 また、本実施例の場合には、余剰樹脂除去機構40を設けることにより、開口部41の形成位置に余剰樹脂を除去したことによりバリが発生しているおそれがあるが、このバリも第2の下型半体24AがZ1方向に可動することにより除去することができる。

10 このように傾斜部27と樹脂層13とが離間すると、続いて第2の下型半体24AはZ2方向に可動を開始し、これにより第2の下型半体24Aの上面はフィルム30に当接すると共に傾斜部27は再び樹脂層13と当接し、基板16は金型20Aから離間する方向に移動付勢される。これにより、図10(D)の中心線より右側に示されるように、樹脂層13が形成された基板16は金型20A
15 から離型される。

20 また本実施例に係る製造方法では、樹脂成形時においてキャビティ28内の圧力を既定圧力に制御することができるため、樹脂35内に空気が残留し樹脂層13に気泡(ボイド)が発生することを防止できる。いま、仮に樹脂層13に気泡が発生した場合を想定すると、加熱処理時にこの気泡が膨張して樹脂層13にクラック等の損傷が発生するおそれがある。

25 しかるに、上記のように余剰樹脂除去機構40を設けることにより、樹脂層13に気泡が発生することを防止できるため、加熱時に樹脂層13に損傷が発生するおそれではなく半導体装置10の信頼性を向上させることができる。

 続いて、本発明の第3及び第4実施例に係る半導体装置の製造方法について説明する。

 図11は本発明の第3実施例に係る半導体装置の製造方法を示しており、また図12は本発明の第4実施例に係る半導体装置の製造

方法を示している。尚、図 1 1 において図 1 乃至図 9 を用いて説明した第 1 実施例に係る構成と同一構成については同一符号を附してその説明を省略し、また図 1 2 において図 1 0 を用いて説明した第 2 実施例に係る構成と同一構成については同一符号を附してその説明を省略する。

第 3 及び第 4 実施例に係る製造方法は、フィルム 3 0 を用いずに樹脂層 1 3 を形成したことを特徴とするものである。このため、図 1 1 (A) 及び図 1 2 (A) に示されるように、前記した第 1 及び第 2 実施例と異なり基板装着工程においては、上型 2 1 の部分 2 4 a にフィルム 3 0 は配設されてない。

従って、基板装着工程に続き実施される樹脂層形成工程では、図 1 1 (B), (C) 及び図 1 2 (B), (C) に示されるように、上型 2 1 が直接封止樹脂 3 5 を押圧し圧縮成形処理を行なうこととなる。しかるに、上型 2 1 のキャビティ面 2 4 a は平坦面とされているため、良好な状態で樹脂層 1 3 の成形処理を行なうことができる。尚、剥離工程における処理は、前記した第 1 または第 2 実施例における処理と同一であるため、その説明は省略する。

上記のように、フィルム 3 0 を配設しない構成としても、樹脂層 1 3 を形成することができる。但し、第 3 及び第 4 実施例による製造方法では、フィルム 3 0 を設けていないため、樹脂層 1 3 が形成された状態でバンプ 1 2 は完全に樹脂層 1 3 に埋設された状態となる。

このため、樹脂封止工程を終了した後に実施される突起電極露出工程で、バンプ 1 2 の先端部のみを露出させるための処理が別個必要となる。尚、このバンプ 1 2 の先端部のみを露出させるための処理については、説明の便宜上後述するものとする。

続いて、本発明の第 5 実施例である半導体装置の製造方法を説明する。

図 1 3 及び図 1 4 は、本発明の第 5 実施例である半導体装置の製

造方法を示している。尚、図 1 3 及び図 1 4 において図 1 乃至図 9 を用いて説明した第 1 実施例に係る構成と同一構成については同一符号を附してその説明を省略する。

5 本実施例に係る製造方法では、基板装着工程で金型 2 0 に基板 1 6 を装着する前に、図 1 3 (A) に示されるように、第 1 の下型半体 2 3 に補強板 5 0 を装着しておくことを特徴とするものである。この補強板 5 0 は所定の機械的強度及び放熱性を有する材料が選定されており、具体的には例えばアルミニウム製の板材により構成されている。また、補強板 5 0 の径寸法は、基板 1 6 の径寸法より若干大きくなるよう設定されている。また、この補強板 5 0 の表面には、熱硬化性の接着剤（図示せず）が塗布されている。

10 上記構成とされた補強板 5 0 の金型 2 0 への装着は、単に第 1 の下型半体 2 3 上に補強板 5 0 を載置するだけの作業であるため、極めて容易に行なうことができ、補強板 5 0 を設けても樹脂封止工程が面倒となるようなことはない。

15 続いて、樹脂封止工程における補強板 5 0 の機能について説明する。

20 基板装着工程が終了し樹脂層形成工程が開始されると、前記したように上型 2 1 及び第 2 の下型半体 2 4 が Z 1 方向に可動し、封止樹脂 3 5 によるバンプ 1 2 の封止処理が開始される。この時、金型 2 0 は封止樹脂 3 5 が溶融しうる程度の温度まで昇温されている。また、前記した熱硬化性の接着剤は、比較的低い温度で熱硬化する材質に選定されている。従って、樹脂層形成工程が開始後、比較的短時間で補強板 5 0 は基板 1 6 に接着し一体化する。尚、補強板 5 0 は、予め基板 1 6 に接着しておく構成としてもよい。

25 ところで、図 1 3 (B), (C) に示されるように、本実施例においても樹脂層 1 3 の形成は、圧縮成形法を用いて行なわれる。この圧縮成形法により樹脂層 1 3 を形成する方法では、上型 2 1 により封止樹脂 3 5 及び溶融した樹脂 3 5 を押圧するため、基板 1 6 に

は大きな圧力が作用する。

また、樹脂層 13 を形成するためには封止樹脂 35 を溶融させる
5 必要があり、このため金型 20 にはヒーターが組み込んである。こ
のヒーターが発生する熱は金型 20 内に装着された基板 16 にも印
10 加される。従って、基板 16 は、上記した圧縮形成による圧力及び
ヒーターが発生する熱により変形する可能性がある。しかるに本
実施例では、基板装着工程において基板 16 を金型 20 に装着前に
補強板 50 を装着しておき、この補強板 50 を基板 16 に接合する
構成としているため、樹脂層形成工程において基板 16 は補強板 5
15 0 により補強された構成となっている。このため、圧縮形成による
圧力やヒーターによる熱が基板 16 に印加されても、基板 16 の変
形することを防止でき、よって製造される半導体装置の歩留りを向
上させることができる。

図 14 は、樹脂層 13 の形成が終了し、金型 20 から離型された
15 状態の基板 16 を示している。同図に示されるように、基板 16 を
金型 20 から離型した状態において、補強板 50 は基板 16 に接着
された状態を維持している。そして、樹脂層形成工程が終了した後
に実施される分離工程（図 8 参照）で、この補強板 50 も合わせて
20 ダイサー 29 により切断される。

これにより、個々の半導体装置にも補強板 50 は配設された構成
となる。また前記したように、補強板 50 は放熱性の良好な材料が
選定されているため、個々の半導体装置に分離された後において、
補強板 50 は放熱板として機能することとなる。このため、本実施
25 例に係る製造方法により製造される半導体装置の放熱特性を向上さ
せることができる。

図 15 乃至図 17 は、前記した各実施例の変形例を示している。
尚、各図において図 1 乃至図 9 を用いて説明した第 1 実施例に係る
構成と同一構成については同一符号を附してその説明を省略する。

前記した各実施例においては、封止樹脂として封止樹脂 35 を用い、

これを金型 20, 20A に装着された基板 16 上に載置して樹脂封止を行なう構成としていた。図 15 乃至図 17 の示す変形例は、封止樹脂の他の供給態様を示すものである。

5 図 15 に示す例では、封止樹脂としてシート状樹脂 51 を用いたことを特徴とするものである。このようにシート状樹脂 51 を用いることにより、確実に基板 16 の全体に樹脂層 13 を形成することができる。

10 また、基板 16 の中央に封止樹脂 35 を配置し場合には、溶融した樹脂が中央から端部に向け流れる必要があるため、成形時間を長く要してしまう。これに対しシート状樹脂 51 は、基板 16 の上部を覆うように配設されるため、溶融した樹脂は流れることなく直接下部に位置するバンプ 12 を封止することとなる。このため、樹脂封止処理に要する時間を短縮できるため、樹脂封止工程の時間短縮を図ることができる。

15 また、図 16 に示す例では、封止樹脂として液状樹脂 52 を用いたことを特徴とするものである。液状樹脂 52 は流動性が高いため、短時間で確実にバンプ 12 を封止することができる。

20 更に、図 17 に示す例では、樹脂封止工程の実施前に予め封止樹脂 35A をフィルム 30 に接着剤 53 を用いて配設しておくことを特徴とするものである。尚、封止樹脂 35 を溶融した上で、フィルム 30 にこの封止樹脂 35 を配設し、その後に固化させることによりフィルム 30 に封止樹脂 35 を配設した構成としてもよい。

25 このように、封止樹脂 35A を基板 16 上ではなくフィルム 30 に配設しておくことにより、基板装着工程において、フィルム 30 の装着作業と封止樹脂 35A の装填作業を一括的行なうことができ、基板装着作業の効率化を図ることができる。

続いて、本発明の第 6 実施例である半導体装置の製造方法について説明する。図 18 は、第 6 実施例である製造方法における樹脂封止工程を示している。尚、図 18 において、図 1 乃至図 9 を用い

て説明した第 1 実施例に係る構成と同一構成については同一符号を附してその説明を省略する。

先に、図 17 を用いて樹脂封止工程の実施前に予め封止樹脂 35 A をフィルム 30 に 1 個のみ配設しておく方法について説明した。

5 これに対し本実施例では、封止樹脂 35 A をフィルム 30 に所定の間隔をおいて多数連続的に配設したことを特徴とするものである。また、フィルム 30 は、図示しない搬送装置により図中矢印方向に搬送される構成とされている。

10 図 18 (A) において、金型 20 より左側に位置するのは、樹脂層 13 が形成された基板 16 であり、樹脂層 13 がフィルム 30 に固着することにより、基板 16 もフィルム 30 に装着された状態となっている。また、金型 20 の内部に位置する封止樹脂 35 A は、今回樹脂封止処理が行なわれるものである。更に、金型 20 より右側に位置する封止樹脂 35 A は、次回の樹脂封止処理において用い
15 られるものである。

図 18 (A) に示す状態は、基板装着工程が終了した状態を示しており、既に基板 16 は金型 20 に装着された状態となっている。また、本実施例では、基板 16 を装着する前に補強板 50 を装着する方法を例に挙げている。

20 基板装着工程が終了し樹脂封止工程が開始されると、図 18 (B) に示すように、上型 21 及び第 2 の下型半体 24 は Z1 方向に可動し、封止樹脂 35 A によりバンプ 12 を封止する処理が行なわれる。そして、更に上型 21 及び第 2 の下型半体 24 が Z1 方向に可動することにより、図 18 (C) に示されるように、基板 16 上
25 に樹脂層 13 が形成される。

樹脂封止工程が終了すると、先に図 5 を用いて説明したと同様の離型工程が実施され、樹脂層 13 が形成された基板 16 は金型 20 から離型される。この際、前記したように樹脂層 13 がフィルム 30 に固着することにより、基板 16 もフィルム 30 に装着された状

態となっている。

上記のように樹脂封止工程が終了すると、続いてフィルム 30 の搬送装置が起動し、フィルム 30 は次の封止樹脂 35 A が金型 20 に装着される位置まで搬送される。また、このフィルム 30 による搬送操作と共に、金型 20 に対し補強板 50 及び基板 16 (樹脂層 13 が形成されていないもの) が金型 20 に装着され (即ち、基板装着工程を実施し)、これにより再び図 18 (A) に示す状態となる。以降、上記した処理を繰り返し実施する。

上記のように、本実施例に係る方法によれば、封止樹脂 35 A を樹脂封止処理時に邪魔にならない程度の間隔で離間配設しておき、樹脂封止処理が終了した時点でフィルム 30 を移動させ、次に樹脂封止処理を行なう封止樹脂 35 A を金型 20 に自動装着することにより、連続的に樹脂封止工程を実施することが可能となり、よって半導体装置の製造効率を向上させることができる。

続いて、本発明の第 7 実施例である半導体装置の製造方法を説明する。

図 19 乃至図 21 は、第 7 実施例である半導体装置の製造方法を説明するための図である。尚、図 19 乃至図 21 において、図 1 乃至図 9 を用いて説明した第 1 実施例に係る構成と同一構成については同一符号を附してその説明を省略するものとする。

前記した第 1 実施例に係る製造方法では、フィルム 30 として弾性変形可能な材質のものを選定し、よって樹脂封止工程における圧縮成形時においてバンプ 12 の先端部をフィルム 30 にめり込ませることにより、突起電極露出工程でフィルム 30 を樹脂層 13 から剥離するだけでバンプ 12 の先端部を露出させる構成としていた。

しかるに、バンプ 12 の先端部が適宜量だけめり込むような弾性を有したフィルム 30 の選定は困難である。また、図 18 に示したようにフィルム 30 を搬送用のキャリアとしても用いた場合には、弾性変形可能なフィルム 30 では搬送時に伸縮してしまい、基板 1

6 及び封止樹脂 3 5 A の搬送処理を適正に行なえないおそれがある。

そこで、このような問題点を解決するためには、弾性変形を行なわないか、或いは弾性変形を殆ど行なわない（以下、まとめて「弾性変形しない」と記載する）フィルム 3 0 A を用いる必要が生じる。

5 本実施例では、フィルム 3 0 A として弾性変形しない材質が選定されている。しかるに、フィルム 3 0 A として弾性変形しない材質を用いても、樹脂封止工程で行なわれる処理は図 1 乃至図 5 で説明したと同様に実施することができる。

10 図 1 9 乃至図 2 1 は、本実施例における突起電極露出工程を示している。樹脂封止工程が終了した時点では、図 1 9 に示されるように、フィルム 3 0 A は樹脂層 1 3 と固着した状態となっている。しかるに、フィルム 3 0 A は弾性変形しない材料により構成されているため、樹脂層 1 3 が形成された状態でバンプ 1 2 はフィルム 3 0 にめり込んだ状態とはなっておらず、従ってバンプ 1 2 は樹脂層 1
15 3 にその全体が封止された状態となっている（この状態を図 1 9 （B）に拡大して示す）。

この状態において、図 2 0 （A）に示されるように樹脂層 1 3 に固着されたフィルム 3 0 A を樹脂層 1 3 から剥離する処理を行なう。しかるに、フィルム 3 0 A を樹脂層 1 3 から剥離しても、図 2 0
20 （B）に拡大して示すように、バンプ 1 2 はその全体が樹脂層 1 3 に封止された状態を維持する。

また、この図 2 0 （B）に示されるバンプ 1 2 の全体が樹脂層 1 3 に封止された状態は、先に図 1 1 及び図 1 2 を用いて説明したフィルム 3 0, 3 0 A を用いない樹脂封止工程を実施した場合にお
25 いても発生する。

このように、バンプ 1 2 の全体が樹脂層 1 3 に封止された状態では、これを分離処理し半導体装置を形成しても、実装基板 1 4 との電氣的接続を行なえない。よって、バンプ 1 2 の先端部を樹脂層 1 3 から露出させるための処理が必要となる。図 2 1 （A）は、バン

プ 1 2 の先端部を樹脂層 1 3 から露出させるための方法を示している。

5 本実施例では、図 2 1 (A) に示されるように、バンプ 1 2 の先端部を樹脂層 1 3 から露出させる手段としてレーザ照射装置 6 0 を用いている。レーザ照射装置 6 0 としては、例えば樹脂に対する加工性の良好な炭酸ガスレーザの使用が考えられる。

10 また、レーザ照射装置 6 0 による樹脂層 1 3 の切削深さは、レーザ照射装置 6 0 のエネルギーを適宜設定することにより調整することができる。よって、樹脂層 1 3 から露出させるバンプ 1 2 の先端量を精度よく設定することができる。

15 図 2 1 (A) に示されるように、レーザ照射装置 6 0 を用いてレーザ光を樹脂層 1 3 上で操作させることにより、全てのバンプ 1 2 の先端部を樹脂層 1 3 から露出させることができる。図 2 1 (B) は、レーザ加工処理が終了し、樹脂層 1 3 からバンプ 1 2 の先端部が露出した状態を示している。

20 このように、バンプ 1 2 の先端部を樹脂層 1 3 から露出させる処理を行なうことにより、フィルム 3 0 A として弾性変形しない材質のものを用いても、また図 1 1 及び図 1 2 を用いて説明したフィルム 3 0, 3 0 A を用いない樹脂封止工程を実施した場合であっても、実装基板 1 4 に対し適正に実装処理を行なうことができる半導体装置を製造することができる。

25 尚、バンプ 1 2 の先端部を樹脂層 1 3 から露出させる処理は、レーザ光照射に限定されるものではなく、その他にエキシマレーザ、エッチング、機械研磨、及びブラスト等の利用が考えられる。この場合、エキシマレーザを用いた場合には、容易かつ精度よく突起電極の先端部を露出させることができる。また、エッチング、機械研磨或いはブラストを用いた場合には、安価に突起電極の先端部を露出させることができる。

続いて、本発明に係る半導体装置製造用金型の他実施例について

図 2 2 乃至図 2 5 を用いて説明する。

図 2 2 は、本発明の第 3 実施例である半導体装置製造用金型 2 0 C（以下、金型 2 0 C という）を示している。尚、以下説明する図 2 2 乃至図 2 5 において、図 1 に示した第 1 実施例に係る金型 2 0
5 と同一構成については同一符号を附してその説明を省略する。

本実施例に係る半導体装置製造用金型 2 0 C は、第 1 の下型半体 2 3 C の基板 1 6 が載置される部位に、この基板 1 6 を第 1 の下型半体 2 3 C に固定或いは離型させる固定・離型機構 7 0 を設けたことを特徴とするものである。この固定・離型機構 7 0 は、大略すると多孔質部材 7 1、吸排気装置 7 3、び配管 7 4 等により構成され
10 ている。

多孔質部材 7 1 は、例えば多孔質セラミック或いは多孔質金属、多孔質樹脂等により構成されており、その内部を気体（例えば空気）が通過できる構成とされている。

また、多孔質部材 7 1 の下部には配管 7 3 が形成されており、この配管 7 3 は集合された上で給排気装置 7 2 に接続された構成とされている。給排気装置 7 2 は例えばコンプレッサ又は負圧発生装置であり、配管 7 3 に対して圧縮空気を供給する圧送モードと、配管 7 3 に対して吸引処理を行なう吸引モードとに切替え処理を行いう
15 る構成とされている。

従って、給排気装置 7 2 が圧送モードとなることにより、圧縮空気は配管 7 3 を介して多孔質部材 7 1 に供給され、多孔質部材 7 1 より外部に噴射される。この時、第 1 の下型半体 2 3 C に基板 1 6 が載置されている場合には、基板 1 6 は離脱方向に付勢されること
20 となる。この状態は、図 2 2 に中心線より右側に図示される状態であり、以下この状態を離型状態という。

一方、給排気装置 7 2 が吸引モードとなることにより、給排気装置 7 2 は配管 7 3 を介して吸引処理を行なう。よって、この吸引処理により発生する負圧は多孔質部材 7 1 に以下される。この時、第

1の下型半体23Cに基板16が載置されている場合には、基板16は多孔質部材71に向け吸引されることとなる。この状態は、図22に中心線より左側に図示される状態であり、以下この状態を固定状態という。

- 5 上記のように、金型20Cに固定・離型機構70を設けることにより、固定状態においては、基板16は第1の下型半体23Cに固定されるため、樹脂封止処理において基板16に反り等の変形が発生することを防止することができる。また、基板16が持つ固有の反りを矯正することもできる。更に、離型状態となっている時には、
- 10 基板16は第1の下型半体23Cから離脱付勢されるため、基板16の金型20Cからの離型性を向上させることができる。

図23は、本発明の第4実施例である半導体装置製造用金型20D（以下、金型20Dという）を示している。

- 前記した第1実施例に係る金型20では、第1の下型半体23が
- 15 固定されており、第2の下型半体24が第1の下型半体23に対して昇降動作する構成とされていた。これに対し、本実施例に係る金型20Dは、第2の下型半体24Dが固定されており、第1の下型半体23Dが第2の下型半体24Dに対して昇降動作する構成としたことを特徴とするものである。

- 20 本実施例のように、第1の下型半体23Dが第2の下型半体24Dに対して昇降動作する構成としても、離型工程において確実に樹脂層13が形成された基板16を金型20から離型させることができる。尚、図23において、中心線より左側に示されるのが第1の下型半体23Dが上動した状態であり、また中心線より右側に示されるのが第1の下型半体23Dが下動した状態である。
- 25

図24は、本発明の第5実施例である半導体装置製造用金型20E（以下、金型20Eという）を示している。

前記した第1実施例に係る金型20では、第2の下型半体24の内周側壁には傾斜部27を形成することにより離型性を向上させる

構成とされていた。これに対し、本実施例に係る金型 2 0 E は、
キャビティ 2 8 を形成した状態において、第 1 の下型半体 2 3 の上
部の面積よりも第 2 の下型半体 2 4 E で囲繞される面積が広くなる
部分を有する構成とすることにより、第 2 の下型半体 2 4 E が第 1
5 の下型半体 2 3 と接する部位に矩形状の段差部 7 4 が形成された構
成となっている。

上記のように、第 2 の下型半体 2 4 E に段差部 7 4 を形成しても
離型性を向上させることができ、また段差部 7 4 の形状が略矩形状
であるため段差部 7 4 の形成を容易に行なうことができる。

10 尚、図 2 4 において、中心線より左側に示される状態は、樹脂層
1 3 から離脱するために第 2 の下型半体 2 4 E が樹脂封止位置から
下動した状態であり、また中心線より右側に示されるのは、第 2 の
下型半体 2 4 E が上動して樹脂層 1 3 が形成された基板 1 6 が金型
2 0 E から離型した状態である。

15 図 2 5 は、本発明の第 6 実施例である半導体装置製造用金型 2 0
F（以下、金型 2 0 F という）を示している。

本実施例に係る金型 2 0 F は、上型 2 1 F，下型 2 2 F（第 1 の
下型半体 2 3 F，第 2 の下型半体 2 4 F）の樹脂層 1 3 との接触面
に、付着処理膜 7 5 を形成したことを特徴とするものである。この
20 付着処理膜 7 5 は、樹脂層 1 3 となる樹脂とは付着しない材料が選
定されているため、よって離型時において容易に樹脂層 1 3 が形成
された基板 1 6 を金型 2 0 F から離型させることができる。

図 7 6 及び図 7 7 は、第 6 実施例の変形例を示している。図 7 6
は、第 1 の下型半体 2 3 の上面の面積に対し基板 1 6 の面積が小さ
い場合、第 1 の下型半体 2 3 の上面にフィルム 3 0 D を配設したも
のである。これにより、封止樹脂 3 5 と第 1 の下型半体 2 3 とが直
25 接接触する面積を小さくすることができ、離型性を向上させること
ができる。

尚、本実施例において、先に図 2 2 を用いて説明したような吸引

処理を行なう場合には、予めフィルム 30D の必要箇所に小孔（真空用孔）を形成しておけばよい。

5 また、図 77 は、第 1 の下型半体 23 の上面の面積と基板 16 の面積とが略等しくされた構成を示している。前記した各実子例では、第 1 の下型半体 23 の上面の面積に対し基板 16 の面積が小さい構成であったため、樹脂封止処理が行なわれると、樹脂層 13 は基板 16 の側部位置（側面部）にも配設された構成となっていた。

10 これに対し、第 1 の下型半体 23 の上面の面積と基板 16 の面積を略等しくすることにより、樹脂層 13 は基板 16 の上面のみに形成される構成となる。このように、基板 16 の使用形態に応じ、樹脂層 13 を基板 16 の上面のみ、或いは上面部に加え側面部を含む範囲に選択的に配設することが可能となる。

15 尚、図 77 の構成では、離型性を向上させる機構としては、上型 21 に関してはフィルム 30 を用い、また下型 22 に関しては不着処理膜 75（図 25 参照）を用いた。

続いて、本発明の第 2 及び第 3 実施例である半導体装置について説明する。

20 図 26 は本発明の第 2 実施例である半導体装置 10A を示しており、また図 27 は本発明の第 3 実施例である半導体装置 10B を示している。尚、図 26 及び図 27 において図 9 に示した第 1 実施例に係る半導体装置 10 と対応する構成については同一符号を附して説明する。

25 第 2 実施例に係る半導体装置 10A は、ステージ部材 80 に複数の半導体素子 11 を搭載しモジュール化された構成とされている。また、樹脂層 13 は先端部を残しバンプ 12 を封止すると共に、各半導体素子 11 の側部までも封止した構成とされている。更に、ステージ部材 80 は放熱性の良好な材料（例えば、銅またはアルミニウム）により形成されている。

上記構成とされた半導体装置 10A は、ステージ部材 80 として

放熱性の良好な材料を用いているため、複数の半導体素子 11 を搭載しても高い放熱性を維持することができる。

5 また、第 3 実施例に係る半導体装置 10 B は、図 26 に示される半導体装置 10 A において、ステージ部材 80 の外周側部にダム部 81 を形成したことを特徴とするものである。このダム部 81 のステージ部材 80 の素子搭載面からの高さ H2 (図 27 中、矢印で示す) は、半導体素子 11 の素子搭載面からの高さ H1 (図中、矢印で示す) に対して高くなるよう構成されている。

10 更に、ダム部 81 のステージ部材 80 の素子搭載面からの高さ H2 は、半導体素子 11 の素子搭載面からバンプ 12 の先端部までの高さ H3 (図中、矢印で示す) に対して所定量低くなるよう構成されている。

15 上記構成とすることにより、ダム部 81 とステージ部材 80 とにより構成される凹部内に樹脂層 13 を形成するために樹脂を充填すると、ダム部 81 の上端まで樹脂を充填した時点でバンプ 12 の先端部を残しバンプ 12 を封止することができる。よって、バンプ 12 の先端部を露出させた状態の樹脂層 13 を容易に形成することができる。

20 また、上記した第 2 及び第 3 実施例に係る半導体装置 10 A, 10 B において、樹脂層 13 の上面に追加配線を形成することにより、複数の半導体素子 11 をこの追加配線により相互接続して機能化させることができる。

25 続いて、本発明の第 8 実施例について説明する。図 28 は、第 8 実施例に係る半導体装置の製造方法を説明するための図であり、樹脂封止工程が終了した状態の基板 16 を示している。また、図 28 (A) は基板 16 の全体図であり、図 28 (B) は基板 16 の部分拡大図である。尚、図 28 において、図 1 乃至図 9 を用いて説明した第 1 実施例に係る構成と同一構成については同一符号を附してその説明を省略するものとする。

前記した第 1 実施例に係る半導体装置の製造方法では、樹脂層 1 3 を一種類の封止樹脂 3 5 により形成した構成とされていた。ところで、この樹脂層 1 3 には種々の機能が要求されており、例えば基板 1 6 を保護する点からは樹脂層 1 3 は硬質樹脂の方が望ましく、
5 また実装時等において bumps 1 2 に印加される応力を緩和する点からは樹脂層 1 3 は軟質樹脂の方が望ましい。しかるに、これらの要求を一種類の樹脂で全て満足させることは、実際には不可能である。

そこで、本実施例では、樹脂封止工程で用いられる封止樹脂として、異なる特性を有する複数の封止樹脂を用い、よって複数（本実施例では 2 種）の樹脂層 1 3 A, 1 3 B を形成することを特徴とするものである。図 2 8 に示す例では、樹脂層 1 3 A と樹脂層 1 3 B を積み重ねて積層した構造を示している。
10

このように、複数の樹脂層 1 3 A, 1 3 B を形成するには、樹脂封止工程で先ず金型内に樹脂層 1 3 A となる封止樹脂を装填して樹脂層 1 3 A を形成し、次に金型内に樹脂層 1 3 B となる封止樹脂を装填して樹脂層 1 3 B を形成する。或いは、予め樹脂層 1 3 A となる封止樹脂の上部に樹脂層 1 3 B となる封止樹脂を積層した構造の封止樹脂を作成しておき、1 回の樹脂封止処理で樹脂層 1 3 A 及び樹脂層 1 3 B を一括的に形成する方法を用いてもよい。
15

本実施例のように複数の樹脂層 1 3 A, 1 3 B を基板 1 6 に積層することにより、例えば外側に位置する樹脂層 1 3 B として硬質樹脂を用い、また内側に位置する樹脂層 1 3 A として軟質樹脂を用いることが可能となる。この構成とした場合、基板 1 6 は硬質樹脂よりなる樹脂層 1 3 B により確実に保護される構成となり、また実装時等に bumps 1 2 に印加される応力は軟質樹脂よりなる樹脂層 1 3 A により吸収することができる。よって、本実施例に係る製造方法で製造される半導体装置の信頼性を向上させることができる。
20
25

続いて、本発明の第 9 実施例について説明する。

図 2 9 は、第 9 実施例に係る半導体装置の製造方法を説明するた

めの図である。尚、図 29 において、図 1 乃至図 9 を用いて説明した第 1 実施例に係る構成と同一構成については同一符号を附してその説明を省略するものとする。

5 本実施例においても、前記した第 8 実施例と同様に樹脂封止工程で用いられる封止樹脂として、異なる特性を有する複数（本実施例では 2 種）の封止樹脂を用いたことを特徴としている。しかるに、前記した第 8 実施例では互いに異なる樹脂層 13A, 13B を積層した構造であったが、本実施例では樹脂層 13B を基板 16 の外周位置に配設し、この樹脂層 13B に囲繞される部分に樹脂層 13A
10 を配設した構造としたことを特徴としている（図 29（C）参照）。以下、本実施例における半導体装置の製造方法について説明する。

図 29（A）は、本実施例に係る半導体装置の製造方法における樹脂封止工程を示している。本実施例に係る樹脂封止工程で用いる金型 20G は、第 1 実施例において図 1 を用いて説明した金型 20
15 の構造に対して上下が逆となった構造を有しているが、説明の便宜上、金型 20G の各構成は第 1 実施例で説明した金型 20 と対応した符号及び名称で示している。また、本実施例では、前記した第 5 実施例と同様に補強板 50 を有した構造となっている。

20 補強板 50 は第 1 の下型半体 23 に装着されており、また補強板 50 の下面（基板 16 と対向する面）には、樹脂層 13A となる封止樹脂 35A 及び樹脂層 13B となる封止樹脂 35B が予め配設されている。この樹脂層 13B となる封止樹脂 35B は補強板 50 の外周位置に配設されており、また樹脂層 13A となる封止樹脂 35A は封止樹脂 35B に囲繞されるようにその内部に配設されている。
25 更に、パンプ 12 が形成された基板 16 は、フィルム 30 を介して上型 21 上に載置されている。

上記のように基板 16 及び封止樹脂 35A, 35B が配設された補強板 50 が金型 20G 内に装着されると、第 1 の下型半体 23 は上型 21 に向け移動し、よって封止樹脂 35A, 35B の圧縮成形

が実施され、樹脂層 1 3 A, 1 3 B が形成される。この際、上記したように封止樹脂 3 5 B は補強板 5 0 の外周位置に配設され、また封止樹脂 3 5 A は封止樹脂 3 5 B に囲繞されるよう配設されているため、樹脂成形された状態において、樹脂層 1 3 B は基板 1 6 の外周位置に形成され、また樹脂層 1 3 A は封止樹脂 3 5 B に囲繞されるよう形成される。

上記の樹脂封止工程が終了すると、図 2 9 (B) に示されるように、突起電極露出工程が実施されてフィルム 3 0 が除去され、これにより図 2 9 (C) に示される半導体装置 1 0 C が形成される。

上記の製造方法によれば、例えば基板 1 6 (半導体素子) の外周位置に配設される樹脂層 1 3 B として硬質樹脂を選定し、この樹脂層 1 3 B に囲繞される樹脂層 1 3 A として軟質樹脂を選定することが可能となる。よって、本実施例により製造される半導体装置 1 0 C は、その外周側部が硬質樹脂よりなる樹脂層 1 3 B に囲繞された構成となるため、基板 1 6 は補強板 5 0 及びこの樹脂層 1 3 B により確実に保護された構造となる。よって、半導体装置 1 0 C の信頼性を向上させることができる。

また、樹脂層 1 3 B の内側に位置する樹脂層 1 3 A は、軟質樹脂により形成されているため、バンプ 1 2 に対し実装時等に応力が印加されても、この応力は軟質樹脂よりなる樹脂層 1 3 A において吸収されたため、バンプ 1 2 に印加される応力の緩和を図ることができる。よって、これによっても半導体装置 1 0 C の信頼性を向上させることができる。

続いて、本発明の第 1 0 及び第 1 1 実施例について説明する。

図 3 0 は第 1 0 実施例に係る半導体装置の製造方法を説明するための図であり、また図 3 1 は第 1 1 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 3 0 及び図 3 1 において、図 1 乃至図 9 を用いて説明した第 1 実施例、及び図 2 9 を用いて説明した第 9 実施例に係る構成と同一構成については同一符号を附して

その説明を省略するものとする。

図 3 0 に示す第 1 0 実施例に係る製造方法では、前記した第 9 実施例と同様に樹脂封止工程において予め封止樹脂 3 5 を補強板 5 0 に配設しておくことを特徴とするものである。また、図 3 1 に示す第 1 1 実施例に係る製造方法では、補強板 5 0 A に枠部 5 4 を一体的に設けると共に、この補強板 5 0 A に予め封止樹脂 3 5 を配設しておくことを特徴とするものである。

このように、樹脂封止工程において予め封止樹脂 3 5 を補強板 5 0, 5 0 A に配設しておくことにより、補強板 5 0, 5 0 A を金型 2 0 G の一部として用いることが可能となる。具体的には、補強板 5 0, 5 0 A を第 1 の下型半体 2 3 の一部として用いることができる。

これにより、封止樹脂 3 5 が直接第 1 の下型半体 2 3 (金型 2 0 G) に触れる面積を少なくすることができ、従来であれば必要とされた金型に付着した不要樹脂の除去作業を不要とすることができ、樹脂封止工程における作業の簡単化を図ることができる。

特に、第 1 1 実施例に係る製造方法では、補強板 5 0 A に枠部 5 4 を設けることにより、補強板 5 0 A の基板 1 6 と対向する位置には凹部 5 5 が形成され、この凹部 5 5 をキャビティとして用いることが可能となる。図 3 0 に示される平板状の補強板 5 0 を用いた構成では、封止樹脂 3 5 は第 2 の下型半体 2 4 に触れてしまい、この接触部分における不要樹脂の除去作業は必要となる。

しかるに、図 3 1 に示される第 1 1 実施例では封止樹脂 3 5 が金型 3 0 G に全く触れない構成とすることができ、よって金型 2 0 G に付着した不要樹脂の除去作業を全く不要とすることができ。

また、上記した第 1 0 及び第 1 1 実施例において、補強板 5 0, 5 0 A を放熱性の良好な材料により形成することにより、半導体装置 1 0 D, 1 0 E の放熱特性を向上させることができる。尚、図 3 0 (B) は第 1 0 実施例に係る製造方法により製造される半導体装

置 1 0 D を示しており、図 3 1 (B) は第 1 1 実施例に係る製造方法により製造される半導体装置 1 0 E を示している。

続いて、本発明の第 1 2 実施例について説明する。

5 図 3 2 及び図 3 3 は、第 1 2 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 3 2 及び図 3 3 において、図 1 乃至図 9 を用いて説明した第 1 実施例と同一構成については同一符号を附してその説明を省略するものとする。

10 本実施例に係る製造方法は、樹脂封止工程において、先ず前記した各実施例と同様にバンプ 1 2 が形成された基板 1 6 の表面に樹脂層 1 3 (第 1 の樹脂層) を形成した後、基板 1 6 の背面に第 2 の樹脂層 1 7 を形成することを特徴とするものである。以下、図 3 2 及び図 3 3 を用いて本実施例における具体的な樹脂封止処理について説明する。

15 図 3 2 (A) ~ 図 3 2 (B) は、基板 1 6 のバンプ 1 2 が形成され表面に第 1 の樹脂層 1 3 を圧縮成形する工程を示している。この図 3 2 (A) ~ 図 3 2 (B) に示した処理は、第 1 実施例において図 1 ~ 図 4 を用いて説明した処理と全く同一の処理である。このため、第 1 の樹脂層 1 3 の形成処理についての説明は省略するものとする。

20 図 3 2 (A) ~ 図 3 2 (B) の処理を実施することにより基板 1 6 の表面 (バンプ形成面) に第 1 の樹脂層 1 3 が形成されると、基板 1 6 を金型 2 0 から取出、上下を逆にして再び金型 2 0 に装着する。即ち、基板 1 6 のバンプ 1 2 が形成された面が第 1 の下型半体 2 3 と対向するよう、基板 1 6 を金型 2 0 に装着する。そして、図 3 3 (D) に示されるように、第 1 の下型半体 2 3 上に載置された基板 1 6 の上面に第 2 の封止樹脂 3 6 を載置する。

25 続いて、図 3 3 (E) に示されるように、上型 2 1 及び第 2 の下型半体 2 4 を下動させることにより、第 2 の封止樹脂 3 6 を圧縮成形する。これにより、図 3 3 (F) に示されるように、基板 1 6 の

背面側にも第 2 の樹脂層 1 7 が形成される。

図 3 3 (G) は、本実施例の製造方法により製造された半導体装置 1 0 E を示している。同図に示されるように、半導体装置 1 0 E は、 bumps 1 2 が形成された基板 1 6 (半導体素子) の表面に第 1 の樹脂層 1 3 が圧縮成形されると共に、基板 1 6 の背面には第 2 の樹脂層 1 7 が圧縮成形された構成となっている。

上記のように、樹脂封止工程で bumps 1 2 が配設された基板 1 6 の表面に第 1 の樹脂層 1 3 を形成した後に、この基板 1 6 の背面を覆うように第 2 の樹脂層 1 7 を形成したことにより、製造される半導体装置 1 0 E のバランスを良好とすることができる。

即ち、基板 1 6 (半導体素子) と封止樹脂は熱膨張率が異なるため、基板 1 6 の表面 (bumps 1 2 形成された面) のみに第 1 の樹脂層 1 3 を配設した構成では、基板 1 6 の表面と背面において熱膨張差が発生して基板 1 6 に反りが発生するおそれがある。

しかるに、本実施例の製造方法のように基板 1 6 の表面及び背面を共に樹脂層 1 3, 1 7 で覆うことにより、基板 1 6 の表面及び背面の状態を均一化することができ、半導体装置 1 0 E のバランスを良好とすることができる。これにより、熱印加時等において半導体装置 1 0 E に反りが発生することを防止することができる。

また、本実施例に係る製造方法では、基板 1 6 の表面に配設する第 1 の樹脂層 1 3 と、基板 1 6 の背面に配設する第 2 の樹脂層 1 7 とを異なる特性を有する樹脂に選定することも可能である。例えば、第 1 の樹脂層 1 3 として軟質の樹脂を選定することにより、bumps 1 2 に印加される応力を緩和することができる。

また、背面に配設される第 2 の樹脂層 1 7 として硬質の樹脂を選定することにより、外力が印加された場合に基板 1 6 を確実に保護することができる。更に、第 2 の樹脂層 1 7 として放熱特性の良好な樹脂を選定することにより、半導体装置 1 0 E の放熱特性を向上させることができる。

続いて、本発明の第 1 3 実施例について説明する。

図 3 4 は、第 1 3 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 3 4 において、図 1 乃至図 9 を用いて説明した第 1 実施例、及び図 3 2、図 3 3 を用いて説明した第 1 2 実施例と同一構成については同一符号を附してその説明を省略するものとする。

本実施例における製造方法においても、基板 1 6 の表面に第 1 の樹脂層 1 3 を形成すると共に、基板 1 6 の背面に第 2 の樹脂層 1 7 を形成する。しかるに、図 3 2 及び図 3 3 を用いて説明した第 1 2 実施例に係る製造方法では、先ず図 3 2 (A) ~ (C) の工程を実施することにより第 1 の樹脂層 1 3 を形成し、次に第 1 の樹脂層 1 3 が形成された基板 1 6 を金型 2 0 から取り出して上下を逆にし、その上で図 3 3 (D) ~ (F) の工程を実施することにより第 2 の樹脂装置 1 7 を形成していた。このため、第 1 2 実施例に係る製造方法では、2 回の圧縮成形処理を必要としてしまい、半導体装置 1 0 E の製造効率が良好であるとはいえなかった。

そこで、本実施例に係る製造方法では、1 回の圧縮成形で第 1 及び第 2 の樹脂層 1 3、1 7 を同時に形成しうるようにしたことを特徴とするものである。このため本実施例では、樹脂封止工程において基板 1 6 を金型 2 0 に装着する際、図 3 4 (A) に示されるように、先ず第 2 の封止樹脂 3 6 を金型 2 0 に装着した上で基板 1 6 を第 2 の封止樹脂 3 6 に載置されるよう装着し、更にその上部に第 1 の封止樹脂 3 5 を配設する構成とした。この際、第 2 の封止樹脂 3 6 は基板 1 6 の背面側と当接し、また第 1 の封止樹脂 3 5 は基板 1 6 のバンプ 1 2 が形成されている表面上に載置されるようにしている。

図 3 4 (B) は、圧縮成形を実施している状態を示している。同図に示されるように、基板 1 6 は第 1 の封止樹脂 3 5 と第 2 の封止樹脂 3 6 とに挟まれた状態であるため、基板 1 6 の表面及び背面に

同時に封止樹脂 35, 36 を圧縮成形することができる。また、図 34 (C) は圧縮成形が終了し、基板 16 の表面に第 1 の樹脂層 13 が、また基板 16 の背面に第 2 の樹脂層 17 が形成された状態を示している。

- 5 尚、図 34 (D) は、本実施例に係る製造方法により製造された半導体装置であり、その構成は第 12 実施例で製造された半導体装置 10E と同一構成である（本実施例に係る製造方法により製造された半導体装置も符号 10E で示す）。上記のように、本実施例による製造方法では第 12 実施例の製造方法のように基板 16 を上下逆にする作業は不要となり、第 1 の樹脂層 13 と第 2 の樹脂層 17 を 1 回の圧縮成形処理により一括的に形成することができるため、半導体装置 10E の製造効率を向上させることができる。

続いて、本発明の第 14 実施例について説明する。

- 15 図 35 は、第 14 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 35 において、図 1 乃至図 9 を用いて説明した第 1 実施例と同一構成については同一符号を附してその説明を省略するものとする。

- 20 前記した各実施例においては、突起電極として球状バンプを例に挙げて説明したが、本実施例では突起電極としてストレートバンプ 18 を用いたことを特徴とするものである。このストレートバンプ 18 は円柱形状を有しており、例えばメッキ法を用いて形成される。このように、ストレートバンプ 18 は円柱形状を有しているため、その先端部の面積は球形状とされたバンプ 12 に比べて広がっている。

- 25 本実施例のように突起電極の構造をストレートバンプ 18 としても、樹脂封止工程及び突起電極露出工程は、前記した各実施例と同様の処理により行なうことができる。図 35 (A), (B) は、樹脂封止工程において、ストレートバンプ 18 が形成された基板 16 を金型 20（図示せず）に装着した状態を示している。尚、図 35

(B)は、図35(A)の部分拡大図である。この装着状態において、ストレートバンプ18の先端部にはフィルム30Aが装着される。

5 このフィルム30Aは、図19に示したものと同一構成であり、容易に弾性変形しない構成とされている。この状態の基板16に対して樹脂封止処理が実施されることにより、フィルム30Aと基板16の表面との間には樹脂層13が圧縮成形される。

10 樹脂封止工程が終了すると、図35(C)に示されるように樹脂層13に固着されたフィルム30Aを樹脂層13(梨地で示す)から剝離する処理を行なう。しかるに、フィルム30Aを樹脂層13から剝離しても、図35(D)に拡大して示すように、ストレートバンプ18はその先端部を除き樹脂層13に埋設された状態を維持する。

15 ところで、図19乃至図21を用いて先に説明した第7実施例では、バンプ12が球状形状とされていたため、その全体が樹脂層13に封止された状態では、樹脂層13から露出する面積が小さく、よって図21に示されるようなバンプ12を樹脂層13から露出させる処理が行なわれていた。

20 これに対し、本実施例では円柱形状を有したストレートバンプ18を用いているため、樹脂層13から露出した先端部の面積は広くなっている。よって、図35(D)に示されるように、単にフィルム30Aを樹脂層13から剝離した状態のままでも、十分に電気的な接続を行なうことができる。よって、球状のバンプ12を用いた場合には必要となるバンプ12を樹脂層13から露出させる処理を
25 不要とすることができ、半導体装置の製造工程の簡単化を図ることができる。

尚、本実施例において更に電気的な接続性を向上させる必要がある場合には、ストレートバンプ18を樹脂層13から露出させる処理を実施してもよい。また、以下の説明において単にバンプ12と

いう場合には球状形状のバンプ 1 2 とストレートバンプ 1 8 を総称するものとし、個別に説明する必要がある場合には球状バンプ 1 2、ストレートバンプ 1 8 と分けて称することとする。

続いて、本発明の第 1 5 実施例について説明する。

5 図 3 6 は、第 1 5 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 3 6 において、図 1 乃至図 9 を用いて説明した第 1 実施例、及び図 3 5 を用いて説明した第 1 4 実施例と同一構成については同一符号を附してその説明を省略するものとする。

本実施例に係る製造方法では、突起電極露出工程を実施することによりバンプ 1 2 の少なくとも先端部を樹脂層 1 3 から露出させた後に、このバンプ 1 2（本実施例ではストレートバンプ 1 8 を用いている）の先端部にもう一つのバンプである外部接続用突起電極 9 0（以下、外部接続用バンプという）を形成することを特徴とする。

この外部接続用バンプ 9 0 は、外部接続用突起電極形成工程を実施することにより形成される。この外部接続用突起電極形成工程は、15 一般に実施されているバンプ形成技術を適用することが可能であり、転写法、メッキ法、或いはディンプルプレート法等を適用することができる。そして、突起電極露出工程を実施した後にこの外部接続用突起電極形成工程を実施することにより、ストレートバンプ 1 8 20 の先端部には外部接続用バンプ 9 0 が形成される。

本実施例のように、突起電極露出工程を実施した後に外部接続用突起電極形成工程を実施し、ストレートバンプ 1 8 の先端部に外部接続用バンプ 9 0 を形成したことにより、半導体装置を実装基板に実装する際の実装性を向上させることができる。

25 即ち、バンプ 1 2 は基板 1 6（半導体素子）に形成された電極上に形成されるものであるため、必然的にその形状は小さくなる。よって、この小さなバンプ 1 2 を実装基板に電氣的に接続する外部接続端子として用いた場合には、実装基板とバンプ 1 2 とが確実に接続されないおそれがある。

しかるに、本実施例で設ける外部接続用バンプ 9 0 は、基板 1 6 に形成されているバンプ 1 2 と別体であるため、基板 1 6 及びバンプ 1 2 に影響されず自由に設計することが可能であり（但し、バンプ 1 2 と電氣的に接続させる必要はある）、実装基板の構成に適応
5 させることができる。よって、バンプ 1 2 の先端部に外部接続用バンプ 9 0 を配設することにより、外部接続用バンプ 9 0 が設けられた半導体装置と実装基板との実装性を向上させることができる。

続いて、本発明の第 1 6 実施例について説明する。

図 3 7 は、第 1 6 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 3 7 において、図 1 乃至図 9 を用いて説明した第 1 実施例、及び図 3 6 を用いて説明した第 1 5 実施例と同一構成については同一符号を附してその説明を省略するものとする。
10

本実施例では、外部接続用バンプ 9 0 を形成する外部接続用突起電極形成工程において、バンプ 1 2 と外部接続用突起電極とを応力緩和機能を有する接合材 9 1（以下、応力緩和接合材という）を用いて接合させることを特徴とするものである。また本実施例では、外部接続用突起電極としてポール電極 9 2 を用いていることも特徴としている。
15

応力緩和接合材 9 1 は、例えば実装時に印加される温度よりも高い融点を有したはんだを適用することができる。また、ポール電極 9 2 としては、例えばパラジウムのワイヤを用いることができる。バンプ 1 2 とポール電極 9 2 は応力緩和接合材 9 1 により接合される。また、はんだは比較的軟質な金属であるため、バンプ 1 2 とポール電極 9 2 との接合位置においては、応力緩和接合材 9 1 を構成するはんだが変形することにより、ポール電極 9 2 に印加された
20 応力を吸収することができる。
25

本実施例によれば、バンプ 1 2 とポール電極 9 2 は応力緩和機能を有する応力緩和接合材 9 1 により接合されるため、ポール電極 9 2 に外力が印加され応力が発生しても、この応力は応力緩和接合材

9 1 により応力緩和され、バンプ 1 2 に伝達されることを防止することができる。これにより、外部応力により基板 1 6（半導体素子）にダメージが発生することを防止でき、よって製造される半導体装置の信頼性を向上させることができる。

5 また、外部接続用外部接続用突起電極としてポール電極 9 2 を用いることにより、球状の電極に比べて外部接続端子（実装基板側、或いは試験装置側の外部接続端子）との接続状態を良好とすることができる。これは、球状の電極では接続面積が小さくなるのに対し、ポール電極 9 2 では接続面積を広くできるためである。

10 また、球状の電極はその形成が難しく高さ（直径）にバラツキが生じやすいが、ワイヤ状のポール電極 9 2 では同一長さのものを精度良く得ることができ、よってバラツキの発生を防止することができる。更に、ポール電極 9 2 は弾性的に座屈変形可能であるため、ポール電極 9 2 自体にも応力緩和機能を有している。よって、外力
15 入力時における応力の緩和をより確実にこなうことができる。

 続いて、本発明の第 1 7 実施例について説明する。

 図 3 8 は、第 1 7 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 3 8 において、図 1 乃至図 9 を用いて説明した第 1 実施例と同一構成については同一符号を附してその説明を
20 省略するものとする。

 前記した第 1 実施例では、バンプ 1 2 を樹脂層 1 3 から露出させるためにフィルム 3 0 として弾性可能な材質を選定し、フィルム 3 0 をバンプ 1 2 に配設した時点でバンプ 1 2 の先端部がフィルム 3 0 にめり込むようにし、よって図 7 に示すようにフィルム 3 0 を剥離した時点でバンプ 1 2 の先端部が樹脂層 1 3 から露出するようにした。しかるに、この第 1 実施例の方法では、樹脂層 1 3 から露出するバンプ 1 2 の先端部の面積は小さくなり、実装基板との電氣的
25 接続性が低下するおそれがある。

 一方、前記した第 7 実施例では、フィルム 3 0 A として硬質な材

質を選定し、フィルム 30 A を剥離した時点ではバンプ 12 の先端部は樹脂層 13 から露出しない状態とし、バンプ 12 の先端部を樹脂層 13 から露出させるには、図 21 に示すようにレーザ照射装置 60 等を用いて露出させる方法を用いた。しかるに、第 7 実施例の方法では、バンプ 12 を樹脂層 13 から露出させるために大掛かりな設備が必要となってしまう。

そこで本実施例では、図 38 (A) に示すように、樹脂封止工程においてフィルム 30 B として硬質材料のものを選定すると共に、このフィルム 30 B のバンプ 12 と対向する位置に凸部 19 が形成されたものを用いたことを特徴とする。以下、この凸部 19 が形成されたフィルム 30 B を用いた樹脂封止工程について説明する。尚、図 38 において、金型の図示は省略している。

図 38 (B) は、基板 16、封止樹脂 35、及びフィルム 30 B を金型に装着した状態を示している。この状態において、フィルム 30 B に形成された凸部 19 は、基板 16 に形成されたバンプ 12 と対向するよう位置決めされている。また、フィルム 30 B は硬質の樹脂材料により形成されており、凸部 19 は比較的軟質な樹脂材料により形成されている。即ち、本実施例においては、フィルム 30 B と凸部 19 とは別材料により構成されている（尚、同一材料による一体化された構成としてもよい）。

図 38 (C) は、封止樹脂 35 に対して圧縮成形処理が行なわれている状態を示している。この圧縮成形処理時において、フィルム 30 B に形成された凸部 19 はバンプ 12 に押圧された状態となっている。従って、凸部 19 がバンプ 12 を押圧している領域については、バンプ 12 に封止樹脂 35 が付着することはない。かつ、凸部 19 は軟質樹脂により構成されているため、凸部 19 が可撓変形することによりバンプ 12 と凸部 19 との接触面積は広がっている。

図 38 (D) は突起電極露出工程を示しており、基板 16 から

フィルム 30B が取り除かれた状態を示している。前記したように、凸部 19 がバンプ 12 を押圧している領域においてはバンプ 12 に封止樹脂 35 が付着しないため、フィルム 30B が取り除かれた状態において、この領域は樹脂層 13 から露出した状態となる。かつ、
5 本実施例においてバンプ 12 が樹脂層 13 から露出する面積は、前記した第 1 実施例の方法に比べて広がっている。

よって、本実施例による製造方法によれば、大掛かりな設備を用いることなく、容易かつ確実にバンプ 12 を樹脂層 13 から露出させることができる。また、樹脂層 13 から露出されるバンプ 12 の
10 面積は広いため、例えば図 38 (E) に示すように、バンプ 12 の先端部に外部接続用バンプ 90 を設ける場合においても、確実にバンプ 12 と外部接続用バンプ 90 とを接合することができる。

続いて、本発明の第 18 実施例について説明する。

図 39 及び図 40 は、第 18 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 39 及び図 40 において、図 1
15 乃至図 9 を用いて説明した第 1 実施例と同一構成については同一符号を附してその説明を省略するものとする。

本実施例では、基板 16 に形成されるバンプ 12A の形成方法及びその構造に特徴を有するものである。このバンプ 12A は、基板
20 16 の表面に設けられた接続電極 98 上に形成される。バンプ 12A を形成するには、先ず接続電極 98 の上部にコア部 99 (梨地で示す) を形成する。このコア部 99 は、弾性を有する樹脂 (例えば、ポリイミド等) により形成されている。

コア部 99 を接続電極 98 上に形成する具体的方法としては、先
25 ず基板 16 の全面にコア部 99 となる樹脂 (感光性のポリイミド) を所定の厚さとなるようスピンコートし、続いてホトリソグラフィ技術を用いて接続電極 98 以外の位置の樹脂を除去する。これにより、接続電極 98 上にコア部 99 が形成される。

続いて、このコア部 99 の表面全体を覆うように導電膜 100 が

形成される。この導電膜 1 0 0 はメッキ法或いはスパッタリング法等の薄膜形成技術を用いて形成され、その基板側端部は接続電極 9 8 と電氣的に接続される。導電膜 1 0 0 の材質としては、ある程度の弾性を有すると共に電氣的抵抗の低い金属が選定されている。以上
5 上の処理を実施することにより、バンプ 1 2 A は形成される。尚、
図中 1 0 2 は絶縁膜である。

上記の説明から明らかなように、バンプ 1 2 A はコア部 9 9 の表面に導電膜 1 0 0 が形成された構成とされている。前記のようにコア部 9 9 は弾性を有しており、かつ導電膜 1 0 0 もある程度の弾性を有した材料により形成されているため、例えば実装時等において
10 バンプ 1 2 A に外力が作用し応力が発生しても、この応力はコア部 9 9 及び導電膜 1 0 0 が弾性変形することにより吸収される。よって、この応力が基板 1 6 に印加されることを防止でき、基板 1 6 にダメージが発生することを抑制することができる。

ここで、バンプ 1 2 A の樹脂層 1 3 に対する高さについて説明する。図 3 9 (A) は、バンプ 1 2 A の先端部が樹脂層 1 3 よりも突出した構成を示している。この構成では、バンプ 1 2 A は樹脂層 1 3 より広く露出しているため、外部接続用バンプ 9 0 を設けた場合には、バンプ 1 2 A と外部接続用バンプ 9 0 との接合面積は広くなり、
15 確実にバンプ 1 2 A と外部接続用バンプ 9 0 とを接合することができる。

また、図 3 9 (B) は、バンプ 1 2 A の先端部と樹脂層 1 3 の表面とが同一面とされた構成を示している。この構成を有した半導体装置は、L C C (Leadless Chip Carrier) 構造の半導体装置として
20 用いることが可能となり、実装密度の向上を図ることができる。

また、図 3 9 (C) は、バンプ 1 2 A の先端部が樹脂層 1 3 の表面よりも低い位置にある構成を示している。従って、樹脂層 1 3 にはバンプ 1 2 A を露出するための凹部 1 0 1 が形成されている。この構成では、外部接続用バンプ 9 0 を設けた場合には、凹部 1 0 1

が外部接続用バンプ 9 0 の位置決めを行なう機能を奏するため、図 3 9 (A) に示した構成に比べてバンプ 1 2 A と外部接続用バンプ 9 0 との位置決め処理を容易に行なうことができる。

5 一方、本実施例においては、図 4 0 に示されるように、基板 1 6 (半導体素子) に設けられた電極パッド 9 7 とバンプ 1 2 A が形成される接続電極 9 8 とが離間した構成となっており、電極パッド 9 7 と接続電極 9 8 は引出し配線 9 6 により接続された構成となっている。

10 図 3 9 に示されるように、バンプ 1 2 A の先端部に外部接続用バンプ 9 0 を設ける構成においては、実装性の向上を図る面から一般に外部接続用バンプ 9 0 はバンプ 1 2 A より大きく設定される。従って、バンプ 1 2 A の隣接するピッチ間距離が小さい場合には、隣接配置される外部接続用バンプ 9 0 同士が接触するおそれがある。

15 そこで図 4 0 に示す例では、電極パッド 9 7 と接続電極 9 8 とを引出し配線 9 6 を用いて接続することにより、バンプ 1 2 A が形成される接続電極 9 8 のピッチを大きくしている。これにより、隣接する外部接続用バンプ 9 0 間で干渉が発生することを回避することができる。

続いて、本発明の第 1 9 実施例について説明する。

20 図 4 1 は、第 1 9 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 4 1 において、図 1 乃至図 9 を用いて説明した第 1 実施例と同一構成については同一符号を附してその説明を省略するものとする。

25 本実施例に係る製造方法では、図 4 1 (A) に示されるように、樹脂封止工程を実施する前に、後に実施される分離工程において基板 1 6 が切断される位置 (図中、破線 X で示す。以下、切断位置という) に比較的幅広の切断位置溝 1 0 5 を形成しておく。この切断位置溝 1 0 5 の幅寸法は、少なくとも後述するダイサー 2 9 の幅寸法より大きく設定されている。

また、続いて実施される樹脂封止工程においては、樹脂層 1 3 を形成すると共に、この切断位置溝 1 0 5 内にも封止樹脂 3 5 を充填して切断位置樹脂層 1 0 6 を形成する。そして、樹脂封止工程の終了後に実施される分離工程において、図 4 1 (B) に示されるように、切断位置樹脂層 1 0 6 が充填された切断位置溝 1 0 5 内の切断位置 X で基板 1 6 をダイサー 2 9 を用いて切断する。これにより、図 4 1 (C) に示されるように、基板 1 6 は切断される。

上記した本実施例により製造方法によれば、分離工程において基板 1 6 及び樹脂層 1 3 にクラックが発生することを防止することができる。以下、この理由について説明する。

いま、仮に切断位置溝 1 0 5 を形成しない構成を想定すると、分離工程では表面に比較的薄い膜状の樹脂層 1 3 が形成された基板 1 6 を切断することとなる。ダイサー 2 9 を用いた切断処理は、非常に大きな応力が基板 1 6 に印加される。このため、この切断方法では薄い樹脂層 1 3 が基板 1 6 から剥離したり、また樹脂層 1 3 及び基板 1 6 にクラックが発生するおそれがある。

これに対して本実施例の製造方法では、切断位置 X に幅広の切断位置溝 1 0 5 を形成することにより、分離工程では切断位置樹脂層 1 0 6 が形成された切断位置溝 1 0 5 内において切断処理が行なわれることとなる。この際、切断位置樹脂層 1 0 6 の厚さは、他の部分に形成された樹脂層 1 3 の厚さに比べて厚くなっており、その機械的強度は強くなっている。かつ、切断位置樹脂層 1 0 6 は基板 1 6 に比べて可撓性を有しているため、発生する応力を吸収する機能を奏する。

よって、切断処理により発生する応力は切断位置樹脂層 1 0 6 に吸収され弱められた状態で基板 1 6 に印加されるため、樹脂層 1 3 及び基板 1 6 にクラックが発生することを防止することができ、半導体装置の製造歩留りを高めることができる。

また、図 4 1 (C) に示されるように、分離工程が終了した時点

で、基板 1 6 の側面には切断位置樹脂層 1 0 6 が露出され構成となる。よって、基板 1 6 の側部は切断位置樹脂層 1 0 6 により保護された構成となり、外部環境の影響を基板 1 6 が直接受けることを抑制することができる。

- 5 更に、半導体装置の搬送処理にはハンドリング装置が用いられるが、このハンドリング装置が切断位置樹脂層 1 0 6 が露出した部分を把持するよう構成することも可能となり、よってハンドリング装置により基板 1 6 が傷つけられることを防止することもできる。

続いて、本発明の第 2 0 実施例について説明する。

- 10 図 4 2 は、第 2 0 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 4 2 において、図 1 乃至図 9 を用いて説明した第 1 実施例、及び図 4 1 を用いて説明した第 1 9 実施例と同一構成については同一符号を附してその説明を省略するものとする。

- 15 前記した第 1 9 実施例に係る製造方法では、切断位置 X に切断位置溝 1 0 5 を形成した構成としたが、本実施例に係る製造方法では、図 4 2 (A) に示されるように、基板 1 6 が切断される切断位置 X を挟んで一对の応力緩和溝 1 1 0 a, 1 1 0 b を形成したことを特徴とするものである。従って、分離工程においては、一对の応力緩和溝 1 1 0 a, 1 1 0 b の間位置で基板 1 6 は切断されることとなる。
- 20

- 25 また、応力緩和溝 1 1 0 a, 1 1 0 b を形成することにより、樹脂封止工程においては、図 4 2 (B) に示されるように、応力緩和溝 1 1 0 a, 1 1 0 b の内部には応力緩和樹脂層 1 1 1 a, 1 1 1 b が形成される。この応力緩和樹脂層 1 1 1 a, 1 1 1 b は、他の部分に形成される樹脂層 1 3 の厚さに比べて厚くなっており、その機械的強度は強くなっている。かつ、応力緩和樹脂層 1 1 1 a, 1 1 1 b は基板 1 6 に比べて可撓性を有しているため、発生する応力を吸収する機能を奏する。

上記構成において、分離工程において一对の応力緩和溝 1 1 0 a,

1 1 0 b の間位置で基板 1 6 を切断すると、応力緩和溝 1 1 0 a ,
1 1 0 b の間に位置する基板 1 6 (以下、この部分を基板切断部 1
6 a という)には大なる応力が印加される。従って、基板切断部 1
6 a 及びその上部に形成された樹脂層 1 3 にはクラックが発生する
5 可能性がある。しかるに、この基板切断部 1 6 a の形成位置にはバン
プ 1 2 及び電子回路等の重要な構成要素は形成されていないため、
クラックが発生しても問題となることはない。

一方、基板切断部 1 6 a を切断することにより発生する応力は、
側方に向け伝達されるが、基板切断部 1 6 a の両側部には応力緩和
10 樹脂層 1 1 1 a , 1 1 1 b が充填された応力緩和溝 1 1 0 a , 1 1
0 b が形成されているため、切断時に発生する応力は応力緩和溝 1
1 0 a , 1 1 0 b において吸収される。

よって、基板切断部 1 6 a で発生する応力が応力緩和溝 1 1 0 a ,
1 1 0 b の形成位置より外側(基板 1 6 の電子回路が形成されてい
15 る側)に影響を及ぼすことはなく、バンプ 1 2 及び電子回路等が形
成されている領域にクラックが発生することを防止することができる。
尚、図 4 2 (C) は分離工程が終了した状態を示している。

続いて、本発明の第 2 1 実施例について説明する。

図 4 3 は、第 2 1 実施例に係る半導体装置の製造方法を説明する
20 ための図である。尚、図 4 3 において、図 1 乃至図 9 を用いて説明
した第 1 実施例、及び図 4 1 を用いて説明した第 1 9 実施例と同一
構成については同一符号を附してその説明を省略するものとする。

本実施例に係る製造方法では、樹脂封止工程を実施する前に、第
1 の分離工程を実施することにより基板 1 6 を個々の半導体素子 1
25 1 2 に分離する。この個々の半導体素子 1 1 2 には、夫々バンプ 1
2 及び電子回路(図示せず)が形成されている。

この第 1 の分離工程が終了すると、続いて樹脂封止工程が実施さ
れる。この樹脂封止工程では、図 4 3 (A) に示されるように、第
1 の分離工程において分離された半導体素子 1 1 2 をベース材とな

るフィルム部材 1 1 3 に整列させて搭載する。この際、半導体素子 1 1 2 は接着剤を用いてフィルム部材 1 1 3 に搭載される。また、図 4 3 (A) に示されるように、隣接する半導体素子 1 1 2 の間には間隙部 1 1 4 が形成されるよう整列される。

- 5 上記のようにフィルム部材 1 1 3 上に半導体素子 1 1 2 が搭載されると、樹脂の圧縮成形処理が行なわれ、各半導体素子 1 1 2 の表面には樹脂層 1 3 が形成されると共に、間隙部 1 1 4 には切断位置樹脂層 1 0 6 が形成される。続いて、バンプ 1 2 の少なくとも先端部を樹脂層 1 3 より露出させる突起電極露出工程が実施される。図 10 4 3 (B) は、以上の各処理が終了した状態を示している。

- 以上の処理が終了すると、続いて第 2 の分離工程が実施される。この第 2 の分離工程では、隣接する半導体素子 1 1 2 の間位置、即ち切断位置樹脂層 1 0 6 が形成されている位置で切断処理が行なわれ、フィルム部材 1 1 3 と共に切断位置樹脂層 1 0 6 は切断される。15 これにより、図 4 3 (C) に示されるように、樹脂層 1 3 が形成された半導体素子 1 1 2 は分離され、続いて図 4 3 (D) に示されるようにフィルム部材 1 1 3 が除去される。

- 上記した本実施例の製造方法では、第 1 の分離工程において予め基板 1 6 を切断することにより個々の半導体素子 1 1 2 に分離するため、樹脂封止工程において半導体素子 1 1 2 をフィルム部材 1 1 3 に搭載する際、異なる種類の半導体素子 1 1 2 をベース材に搭載20 することが可能となる。

- よって、同一樹脂層 1 3 内に複数の半導体素子を配設する場合、異なる種類及び特性の半導体素子 1 1 2 を組み合わせて配設することが可能となり、設計の自由度を向上させることができる。尚、本25 実施例においても、図 4 1 を用いて説明した第 1 9 実施例の効果を得ることができることは勿論である。

 続いて、本発明の第 2 2 実施例について説明する。

 図 4 4 は、第 2 2 実施例に係る半導体装置の製造方法を説明する

ための図である。尚、図 4 4 において、図 4 3 を用いて説明した第 2 1 実施例と同一構成については同一符号を附してその説明を省略するものとする。

5 本実施例に係る製造方法は、図 4 3 を用いて説明した第 2 1 実施例と略同一であるが、第 2 1 実施例では樹脂封止工程においてベース材としてフィルム部材 1 1 3 を用いたのに対し、本実施例では放熱板 1 1 5 をベース材として用いた点で差異を有するものである。

10 従って、樹脂封止工程においては、半導体素子 1 1 2 はこの放熱板 1 1 5 上に搭載され、また第 2 の分離工程では放熱板 1 1 5 は切断位置樹脂層 1 0 6 と共に切断される。しかるに、第 2 1 実施例では第 2 の分離工程の終了後にフィルム部材 1 1 3 を除去するが、本実施例においては第 2 の分離工程が終了した後に放熱板 1 1 5 を除去する処理は行なわない構成とした。これにより、製造される半導体装置には放熱板 1 1 5 が残存する構成となり、よって半導体装置
15 の放熱特性を向上させることができる。

続いて、本発明の第 2 3 実施例について説明する。

20 図 4 5 及び図 4 6 は、第 2 3 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 4 5 及び図 4 6 において、図 1 乃至図 9 を用いて説明した第 1 実施例と同一構成については同一符号を附してその説明を省略するものとする。

本実施例に係る製造方法では、少なくとも樹脂封止工程の実施後で、かつ分離工程を実施する前に、図 4 6 に示されるように、樹脂層 1 3 に位置決め溝 1 2 0 を形成することを特徴とするものである。

25 このように、樹脂層 1 3 に位置決め溝 1 2 0 を形成することにより、例えば製造された半導体装置 1 0 F に対し試験処理を行なう際、この位置決め溝 1 2 0 を基準として試験装置に装着することができる。また、分離工程を実施する前に位置決め溝 1 2 0 を形成することにより、複数の半導体装置 1 0 F に対して一括的に位置決め溝 1 2 0 を形成することができ、位置決め溝 1 2 0 の形成効率を向上さ

せることができる。

この位置決め溝 120 を形成するには、例えば図 45 に示されるように、ダイサー 29 を用いて樹脂層 13 にハーフスクライプを行なうことにより形成することができる。このように、ハーフスクライプを行なうことにより位置決め溝 120 を形成することにより、分離工程で一般的に使用するスクライビング技術を用いて位置決め溝 120 を形成できるため、容易かつ精度よく位置決め溝を形成することができる。

続いて、本発明の第 24 実施例について説明する。

図 47 は、第 24 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 47 において、図 1 乃至図 9 を用いて説明した第 1 実施例と同一構成については同一符号を附してその説明を省略するものとする。

本実施例に係る製造方法では、少なくとも樹脂封止工程の実施後で、かつ分離工程を実施する前に、図 47 に示されるように、基板 16 の背面に位置決め溝 121 を形成することを特徴とするものである。尚、図 47 (B) は図 47 (A) の部分拡大図である。

このように、基板 16 の背面に位置決め溝 121 を形成することにより、第 23 実施例と同様に位置決め溝 121 を基準として半導体装置の位置決めを行なうことができる。特に、半導体装置を実装する時における位置決めは、 bumps 12 が実装基板側に向いているため、樹脂層 13 に位置決め溝 120 を形成しても、これを上部から認識することはできない。

しかるに、本実施例のように基板 16 の背面に位置決め溝 121 を形成しておくことにより、半導体装置の実装時においても位置決め溝 121 を認識することができ、精度の高い実装処理を行なうことが可能となる。尚、位置決め溝 121 の形成は、第 23 実施例と同様にダイサー 29 を用いて基板 16 の背面にハーフスクライプを行なうことにより形成することができる。

続いて、本発明の第 2 5 実施例及び第 2 6 実施例について説明する。

図 4 8 は第 2 5 実施例に係る半導体装置の製造方法を説明するための図であり、また図 4 9 は第 2 6 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 4 8 及び図 4 9 において、
5 図 1 乃至図 9 を用いて説明した第 1 実施例と同一構成については同一符号を附してその説明を省略するものとする。

第 2 5 実施例に係る製造方法は、前記した第 2 3 及び第 2 4 実施例と同様に、位置決め溝 1 2 2 を形成する点に特徴を有する。図 4
10 8 (C) は、本実施例により樹脂層 1 3 に形成された位置決め溝 1 2 2 を示している。

位置決め溝 1 2 2 を形成するには、先ず図 4 8 (A) に示されるように、脂封止工程でフィルム 3 0 C としてバンプ 1 2 と干渉しない位置に凸部 3 1 が形成されたものを用いる。図 4 8 (B) は、樹脂封止工程において、凸部 3 1 を有するフィルム 3 0 C が基板 1 6
15 と対向配置された状態を示している。同図に示されるように、凸部 3 1 はバンプ 1 2 と対向しない位置に位置している。従って、樹脂封止工程の終了後、この凸部 3 1 により樹脂層 1 3 には位置決め溝 1 2 2 が形成される。

一方、第 2 6 実施例に係る製造方法は、樹脂層 1 3 に位置決め突起 1 2 3 を形成する点に特徴を有する。図 4 9 (C) は、本実施例により樹脂層 1 3 に形成された位置決め突起 1 2 3 を示している。

位置決め突起 1 2 3 を形成するには、先ず図 4 9 (A) に示されるように、脂封止工程でフィルム 3 0 C としてバンプ 1 2 と干渉しない位置に凹部 3 2 が形成されたものを用いる。図 4 9 (B) は、樹脂封止工程において、凹部 3 2 を有するフィルム 3 0 C が基板 1
25 6 と対向配置された状態を示している。同図に示されるように、凹部 3 2 はバンプ 1 2 と対向しない位置に位置している。従って、樹脂封止工程の終了後、この凹部 3 2 により樹脂層 1 3 には位置決め

突起 1 2 3 が形成される。

上記した第 2 5 実施例及び第 2 6 実施例によれば、樹脂封止工程でバンプ 1 2 と干渉しない位置に凸部 3 1 または凹部 3 2 が形成されたフィルム 3 0 C を用いることにより、樹脂層 1 3 に位置決めの基準となる位置決め溝 1 2 2 或いは位置決め突起 1 2 3 を形成することができる。よって、例えば半導体装置に対し試験或いは実装処理を行なう際、この位置決め溝 1 2 2 或いは位置決め突起 1 2 3 基準として位置決め処理を行なうことが可能となり、位置決め処理の簡単化を図ることができる。

続いて、本発明の第 2 7 実施例について説明する。

図 5 0 は、第 2 7 実施例に係る半導体装置の製造方法を説明するための図である。尚、図 5 0 において、図 1 乃至図 9 を用いて説明した第 1 実施例と同一構成については同一符号を附してその説明を省略するものとする。

本実施例に係る製造方法では、複数配設されるバンプ 1 2 の内、位置決めの基準となるバンプ 1 2 (以下、このバンプ 1 2 を位置決め用バンプ 1 2 B という) を設定しておき、樹脂封止工程の終了後、この位置決め用バンプ 1 2 B の形成位置における樹脂層 1 3 を加工することにより、通常のパンプ 1 2 と位置決め用バンプ 1 2 B とを識別しうるようにしたことを特徴とするものである。尚、位置決め用バンプ 1 2 B 自体の構成は、通常のパンプ 1 2 と同一構成である。

図 5 0 (A) は、樹脂封止工程及び突起電極露出工程が終了した状態の基板 1 6 を示している。この状態では、樹脂層 1 3 は基板 1 6 上に均一の膜厚で形成されており、よってバンプ 1 2 と位置決め用バンプ 1 2 B とを識別することはできない。

そこで本実施例では、図 5 0 (B) に示されるように、位置決め用バンプ 1 2 B の近傍位置における樹脂層 1 3 の膜厚を薄くする加工を行なった。これにより、通常のパンプ 1 2 と位置決め用バンプ 1 2 B とを識別することが可能となる。また、位置決め用バンプ 1

2 Bを識別化するための樹脂加工は、例えば前記した突起電極露出工程で用いるエキシマレーザ、エッチング、機械研磨或いはブラスト等を利用することができ、よって樹脂加工を行なうことにより半導体装置の製造設備が大きく変更されるようなことはない。

5 ここで、バンプ 1 2 と位置決め用バンプ 1 2 B とを識別する方法について説明する。図 5 0 (C) は位置決め用バンプ 1 2 B を拡大して示す図であり、また図 5 0 (D) は位置決め用バンプ 1 2 B を上部から見た図である。一方、図 5 1 (A) は、通常のパンプ 1 2 を拡大して示す図であり、また図 5 1 (B) は通常のパンプ 1 2 を
10 上部から見た図である。

前記したように、位置決め用バンプ 1 2 B は通常のパンプ 1 2 と同一構成であるため、各バンプ 1 2, 1 2 B の構成のみでは識別を行なうことはできない。しかるに、各バンプ 1 2, 1 2 B は球状或いはラグビーボール状の形状を有しているため、樹脂層 1 3 に埋設
15 されている深さによって上部から見た径寸法が変化する。

即ち、通常のパンプ 1 2 は樹脂層 1 3 に深く埋設され露出している面積が小さいため、図 5 1 (B) に示されるように上部から見た径寸法 L 2 は小さくなる。これに対し、位置決め用バンプ 1 2 B は上記した樹脂加工を行なうことにより樹脂層 1 3 から大きく露出さ
20 れており、従って図 5 0 (D) に示されるように上部から見た径寸法 L 1 は大きくなっている ($L 1 > L 2$)。

よって、上部から見た各バンプ 1 2, 1 2 B の径寸法を検出することにより、通常のパンプ 1 2 と位置決め用バンプ 1 2 B とを識別することができる。これにより、位置決め用バンプ 1 2 B を基準として半導体装置の位置決め処理を行なうことが可能となる。
25

続いて、上記した各実施例により製造される半導体装置の実装方法について説明する。

図 5 2 は第 1 実施例である実装方法を示している。図 5 2 (A) は、前記した第 1 実施例に係る製造方法により製造された半導体装

置 1 0 の実装方法を示しており、はんだペースト等の接合材 1 2 5 を用いて bumps 1 2 を実装基板 1 4 に接合する構造としている。また、図 5 2 (B) は、前記した第 1 4 実施例に係る製造方法により製造された半導体装置 1 0 G の実装方法を示しており、はんだペースト等の接合材 1 2 5 を用いてストレート bumps 1 8 を実装基板 1 4 に接合する構造としている。更に、図 5 2 (C) は、前記した第 1 5 実施例に係る製造方法により製造された半導体装置 1 0 H の実装方法を示しており、bumps 1 2 の先端部に配設された外部接続用 bumps 9 0 により実装基板 1 4 に接合する構造としている。

図 5 3 は第 2 実施例である実装方法を示している。同図に示される実装方法は、半導体装置 1 0 を実装基板 1 4 に実装した後、アンダーフィルレジン 1 2 6 を配設したことを特徴とするものである。

図 5 3 (A) は半導体装置 1 0 に形成された bumps 1 2 を直接実装基板 1 4 に接合した後にアンダーフィルレジン 1 2 6 を配設した構成であり、また図 5 3 (B) は bumps 1 2 を接合材 1 2 5 を介して実装基板 1 4 に接合した後にアンダーフィルレジン 1 2 6 を配設した構成である。

前記したように、前記した各実施例により製造される半導体装置 1 0, 1 0 A ~ 1 0 H は、基板 1 6 の表面に樹脂層 1 3, 1 3 A, 1 3 B が形成されているため、基板 1 6 の保護はこの樹脂層 1 3, 1 3 A, 1 3 B により確実に行なわれている。

しかるに、bumps 1 2, 1 8, 9 0 が実装基板 1 4 と接合される部位において、各 bumps 1 2, 1 8, 9 0 は露出しており酸化するおそれがある。また、実装基板 1 4 と基板 1 6 の熱膨張率に大きな差異がある場合には、各 bumps 1 2, 1 8, 9 0 と実装基板 1 4 との接合位置に大きな応力が印加されるおそれがある。よって、上記した接合位置に発生する酸化防止及び応力緩和のために、アンダーフィルレジン 1 2 6 を配設する構成としてもよい。

図 5 4 は第 3 実施例である実装方法を示している（外部接続用 bumps

ンプ 90 を有した半導体装置 10 H を例に挙げている)。本実施例に係る実装方法では、実装時に放熱フィン 127, 128 を半導体装置 10 H に配設したことを特徴とするものである。

5 図 54 (A) は、1 個の半導体装置 10 H に対し放熱フィン 127 を設けた構成であり、また図 54 (B) は複数 (図では 2 個) の半導体装置 10 H に対し放熱フィン 128 を設けた構成である。尚、半導体装置 10 H の実装基板 14 への実装手順は、放熱フィン 127, 128 に半導体装置 10 H を固定した上で実装基板 14 に実装しても、また半導体装置 10 H を実装基板 14 に実装した後に放熱
10 フィン 127, 128 を固定することとしてもよい。

図 55 は第 4 実施例である実装方法を示している。本実施例では複数の半導体装置 10 をインターポーザ基板 130 を用いて実装基板 14 に実装する方法を採用している。半導体装置 10 はバンプ 12 によりインターポーザ基板 130 に接合されており、また各イン
15 ターポーザ基板 130 は基板接合用バンプ 129 により夫々電氣的に接続された構成とされている。このため、インターポーザ基板 130 は、その上面及び下面に夫々接続電極 130 a, 130 b が形成されており、この各接続電極 130 a, 130 b は内部配線 130 c により接続された構成とされている。

20 本実施例の実装方法によれば、半導体装置 10 を複数個積層状態で配設することができるため、実装基板 14 の単位面積における半導体装置 10 の実装密度を向上させることができる。特に、本実施例の構成は、半導体装置 10 がメモリである場合に有効である。

25 図 56 は第 5 実施例である実装方法を示している。本実施例では、先に図 26 を用いて説明した第 2 実施例に係る半導体装置 10 A をインターポーザ基板 131 に搭載した上で、このインターポーザ基板 131 を実装基板 14 に実装する方法を示している。本実施例で用いているインターポーザ基板 131 は多層配線基板であり、その上面に半導体装置 10 A が接続される上部電極が形成されると共に、

下面には実装基板 1 4 と接合するための実装用バンプ 1 3 6 が配設されている。

5 また、図 5 7 は第 6 実施例である実装方法を示している。本実施例では、第 2 実施例に係る半導体装置 1 0 A を第 1 のインターポーザ基板 1 3 1 に搭載し、これを更に他の電子部品 1 3 5 と共に第 2 のインターポーザ基板 1 3 2 に搭載した上で、この第 2 のインターポーザ基板 1 3 2 を実装基板 1 4 に実装する方法を示している。第 2 のインターポーザ基板 1 3 2 も多層配線基板であり、その上面に第 1 のインターポーザ基板 1 3 1 及び電子部品 1 3 5 が接続される上部電極が形成されると共に、下面には実装基板 1 4 と接合するための実装用バンプ 1 3 7 が配設されている。

15 更に、図 5 8 は第 7 実施例である実装方法を示している。図 5 7 に示した第 6 実施例である実装方法では、第 2 のインターポーザ基板 1 3 2 の上面のみに半導体装置 1 0 A が搭載された第 1 のインターポーザ基板 1 3 1 及び電子部品 1 3 5 を配設し、下面には実装用バンプ 1 3 7 を配設した構成とされていた。

これに対し、本実施例では第 2 のインターポーザ基板 1 3 3 の上面及び下面の双方に半導体装置 1 0 A が搭載された第 1 のインターポーザ基板 1 3 1 及び電子部品 1 3 5 を配設したものである。尚、外部との電氣的な接続は、第 2 のインターポーザ基板 1 3 3 の側端部（図中、左端部）に形成されたカードエッジコネクタ 1 3 8 により行なう構成とされている。

25 図 5 5 乃至図 5 8 を用いて説明した各実装方法では、半導体装置 1 0, 1 0 A と実装基板 1 4 （或いはカードエッジコネクタ 1 3 8 が接続されるコネクタ）との間にインターポーザ基板 1 3 1 ～1 3 3 が介在する構成となる。このインターポーザ基板 1 3 1 ～1 3 3 は多層配線基板であるため、基板内における配線の引回しを容易かつ自由度を持って行なうことができ、半導体装置 1 0, 1 0 A のバンプ 1 2 （外部接続用バンプ 9 0）と実装基板 1 4 （或いはコネク

タ) 側の電極との整合性を容易に図ることができる。

続いて、本発明の第 28 実施例である半導体装置の製造方法、及び本発明の第 4 実施例である半導体装置について説明する。

5 5 先ず、図 63 を用いて本発明の第 4 実施例である半導体装置 10 J について説明する。尚、図 63 において、図 9 を用いて説明した第 1 実施例に係る半導体装置 10 と同一構成については同一符号を附してその説明を省略するものとする。 本実施例に係る半導体装置 10 J は、大略すると基板 16 (半導体素子)、樹脂層 13、及び外部接続電極 140 等により構成されている。基板 16 は半導体素子として機能するものであり、その表面には電子回路と共に外部端子と電氣的に接続される外部接続電極 140 が形成されている。また、樹脂層 13 は基板 16 の表面を覆うように形成されており、よって外部接続電極 140 も樹脂層 13 に封止された構成となっている。

15 15 しかるに、本実施例に係る半導体装置 10 J は、この外部接続電極 140 が基板 16 と樹脂層 13 との界面において外部接続電極 140 が側方に向け露出した構成とされていることを特徴としている。即ち、半導体装置 10 J は bumps を有しておらず、bumps の代わりに半導体装置 10 J の側部において露出した外部接続電極 140 により実装基板等と電氣的に接続される構成とされている。

20 20 このように、本実施例に係る半導体装置 10 J は bumps を形成することなく外部接続電極 140 を用いて半導体装置 10 J を実装することが可能となるため、半導体装置 10 J の構成及び製造工程の簡単化を図ることができ、コスト低減及び製造効率の向上を図ることができる。また、外部接続電極 140 は半導体装置 10 J の側部に露出した構成であるため、後に詳述するように半導体装置 10 J を実装基板 14 に対し立設した状態で実装することが可能となる。

25 続いて、本発明の第 28 実施例である半導体装置の製造方法について説明する。第 28 実施例に係る製造方法は、図 63 に示した半

導体装置 10 J を製造する方法である。

5 本実施例に係る半導体装置の製造方法では、バンプ形成工程は実施せず、半導体素子形成工程を実施した後に直ちに樹脂封止工程が実施される。半導体素子形成工程においては、基板 16 の表面に所定の電子回路が形成されると共に、先に図 40 を用いて説明したように引出し配線 96 及び接続電極 98 等が形成される。そして、この半導体素子形成工程において、接続電極 98 の上部に外部接続電極 140 が形成される。

10 図 59 は、半導体素子形成工程が終了した状態の基板 16 を示している。同図に示されるように、本実施例では外部接続電極 140 の形成位置は、1 個の半導体素子に相当する矩形領域（図中、実線で囲まれた領域）の一辺にまとめて配設されている。

上記の基板形成工程が終了すると、続いて樹脂封止工程が実施される。この樹脂封止工程において、基板 16 は金型に装着されて樹脂層 13 の圧縮成形が行なわれる。尚、樹脂封止工程は前記した第 15 1 実施例と同じ処理を行なうため、その説明は省略する。

樹脂封止工程が終了することにより、基板 16 の全面に樹脂層 13 が形成される。よって、基板形成工程において形成された引出し配線 96 及び接続電極 98 等も樹脂層 13 に封止された構成となる。20 このように樹脂封止工程が終了すると、本実施例ではバンプが形成されていないため、突起電極露出工程を行なうことなく分離工程が実施される。

本実施例では、この分離工程において外部接続電極 140 が形成された位置で基板 16 を切断することを特徴とするものである。図 25 59 において、破線で示す位置が基板 16 の切断位置である。この切断位置で基板 16 を樹脂層 13 と共に切断することにより、外部接続電極 140 はその一部が切断され、よって外部接続電極 140 が基板 16 と樹脂層 13 との界面において外部接続電極 140 が側方に向け露出した構成の半導体装置 10 J が製造される。

上記したように、本実施例に係る製造方法によれば、前記した各実施例で必要とされたバンプ形成工程及び突起電極露出工程が不要となり、また単に樹脂層 1 3 が形成された基板 1 6 を外部接続電極 1 4 0 が形成された位置で切断するのみでこの外部接続電極 1 4 0 を樹脂層 1 3 から外部に露出させることができ、容易に半導体装置 1 0 J を製造することができる。

続いて、本発明の第 2 9 実施例である半導体装置の製造方法について図 6 0 乃至図 6 2 を用いて説明する。第 2 9 実施例に係る製造方法も、図 6 3 に示した半導体装置 1 0 J を製造する方法である。尚、図 6 0 乃至図 6 2 において、図 5 9 で示した構成と同一構成については同一符号を付してその説明を省略する。

前記したように、図 5 9 を用いて説明した第 2 8 実施例に係る製造方法では、容易に半導体装置 1 0 J を製造することができる。しかるに、第 2 8 実施例に係る製造方法では、分離工程において図 5 9 に破線で示す位置と、実線で示す位置との 2 箇所において切断処理を行わなければならない、また図中矢印 W で示す部分は不要部分となっていた（この不要部分は捨てられていた）。よって、第 2 8 実施例に係る製造方法では、分離工程における切断効率が悪く、また基板 1 6 の有効利用という面においても不利であった。

これに対し、本実施例では先に説明した第 2 8 実施例に比べ分離工程の簡略化及び基板 1 6 の有効利用を図ったものである。以下、本実施例に係る製造方法について説明する。

図 6 0 は、本実施例において半導体素子形成工程が終了した状態の基板 1 6 を示している。図 6 0 (A) は基板 1 6 の全体を示す図であり、また図 6 0 (B) は基板 1 6 に形成された複数の半導体素子の内、図 6 0 (A) に符号 1 1 a, 1 1 b で示す半導体素子を拡大して示している。

図 6 0 (B) に示されるように、本実施例においても外部接続電極 1 4 0 の形成位置は、矩形状とされた半導体素子 1 1 a, 1 1 b

の一辺にまとめて配設されているが、本実施例では外部接続電極 140 が隣接する半導体素子 11a, 11b 間で共有化されていることを特徴としている。

5 上記の基板形成工程が終了すると、続いて樹脂封止工程が実施され、図 61 に示されるように基板 16 の表面に樹脂層 13 が形成される。よって、基板形成工程において形成された引出し配線 96 及び接続電極 98 等も樹脂層 13 に封止された構成となる。

10 樹脂封止工程が終了すると、続いて分離工程が実施され、外部接続電極 140 が形成された位置で基板 16 を切断する。図 61 (B) において、破線で示す位置が基板 16 の切断位置である。

この切断位置で基板 16 を樹脂層 13 と共に切断することにより外部接続電極 140 はその略中央位置で切断され、図 62 に示されるように、外部接続電極 140 が基板 16 と樹脂層 13 との界面において外部接続電極 140 が側方に向け露出した構成の半導体装置 15 10J が製造される。

この際、前記したように本実施例においては、隣接する半導体素子 11a, 11b 間で外部接続電極 140 が共有化されている。このため、1 回の切断処理を行なうことにより隣接する 2 個の半導体素子 11a, 11b において夫々外部接続電極 140 を外部に露出 20 することができる。

よって、半導体装置 10J の製造効率を高めることができ、また本実施例の製造方法によれば図 59 に矢印 W で示した不要部分が発生することはない、基板 16 の効率的な利用を図ることができる。

25 続いて、本発明の第 8 乃至第 11 実施例である半導体装置の実装方法について説明する。尚、第 8 乃至第 11 実施例に係る半導体装置の実装方法は、図 63 に示した半導体装置 10J を実装基板 14 に実装する方法である。

図 64 は、本発明の第 8 実施例である半導体装置 10J の実装方法を示している。本実施例に係る実装方法は、単一の半導体装置 1

0 Jを実装基板 1 4 に実装するものである。

前記したように、半導体装置 1 0 Jはその側部に外部接続電極 1 4 0 が露出した構成である。このため、この外部接続電極 1 4 0 が露出した側面 1 4 1 を実装基板 1 4 と対向するよう実装することにより、半導体装置 1 0 Jを実装基板 1 4 に対し立設した状態で実装することが可能となる。

図 6 4 (A) に示す例では、はんだペースト等の接合材 1 4 2 を用いて外部接続電極 1 4 0 と実装基板 1 4 とを接合し、これにより半導体装置 1 0 Jを実装基板 1 4 に対し立設した状態で実装したものである。また、図 6 4 (B) に示す例では、外部接続電極 1 4 0 に予め外部接続用バンプ 1 4 3 を配設しておき、この外部接続用バンプ 1 4 3 を実装基板 1 4 に接合することにより、半導体装置 1 0 Jを実装基板 1 4 に対し立設した状態で実装したものである。

上記のように、半導体装置 1 0 Jを実装基板 1 4 に対し立設状態で実装することにより、半導体装置 1 0 Jを寝せた状態で実装基板 1 4 に実装する構成に比べ半導体装置 1 0 Jの実装面積を小さくすることができ、よって半導体装置 1 0 Jの実装密度を向上させることができる。

図 6 5 及び図 6 6 は、本発明の第 9 及び第 1 0 実施例である半導体装置 1 0 Jの実装方法を示している。各実施例に係る実装方法は、複数（本実施例では 4 個）の半導体装置 1 0 Jを実装基板 1 4 に実装するものである。

図 6 5 に示される第 9 実施例では、半導体装置 1 0 Jを複数個立設させると共にこれを並列状態に実装し、かつ隣接する半導体装置 1 0 Jを接着剤 1 4 4 により接合することを特徴とするものである。この隣接する半導体装置 1 0 J間の接着は、本実施例においては実装基板 1 4 に接合する前に行なう構成としているが、半導体装置 1 0 Jを実装基板 1 4 に接合する際に合わせて半導体装置 1 0 J間の接着処理を行なう構成としてもよい。

また、半導体装置 10 J と実装基板 14 との接合は、図 6 4 (B) と同様に、外部接続電極 140 に予め外部接続用バンプ 143 を配設しておき、この外部接続用バンプ 143 を実装基板 14 に接合することにより実装する方法を用いている。しかるに、半導体装置 10 J と実装基板 14 の接合は、図 6 4 (A) に示した接合材 142 を用いる方法を採用してもよい。

一方、図 6 6 に示される第 10 実施例では、半導体装置 10 J を複数個立設させると共にこれを並列状態に実装し、かつ隣接する半導体装置 10 J を支持部材 145 を用いて立設状態に支持することを特徴とするものである。また、本実施例における半導体装置 10 J と実装基板 14 との接合は、第 9 実施例に係る実装方法と同様に、外部接続用バンプ 143 を用いる方法を採用している。

支持部材 145 は放熱性の良好な金属により構成されており、隣接する半導体装置 10 J を隔離する隔壁 146 が形成されている。各半導体装置 10 J は一対の隔壁 146 間に接着剤を用いて接着され、これにより半導体装置 10 J は支持部材 145 に固定される。

尚、半導体装置 10 J を支持部材 145 に固定する手段は接着に限定されるものではなく、例えば接着剤を用いることなく一対の隔壁 146 が半導体装置 10 J を挟持することにより固定する構成としてもよい。

上記した第 9 及び第 10 実施例に係る半導体装置 10 J の実装方法によれば、複数の半導体装置 10 J をユニット化して扱うことが可能となる。よって実装時において複数の半導体装置 10 J を一括的にユニット単位で実装基板 14 に実装処理を行なうことが可能となり、これにより半導体装置 10 J の実装効率を向上させることができる。

図 6 7 は、本発明の第 11 実施例である半導体装置 10 J の実装方法を示している。本実施例に係る実装方法では、複数（本実施例では 4 個）の半導体装置 10 J をインターポーザ基板 147 を介し

て実装基板 1 4 に実装することを特徴とするものである。

5 本実施例では、先に図 6 5 を用いて説明した第 9 実施例に係る実装方法を適用した複数の半導体装置 1 0 J をインターポーザ基板 1 4 7 に搭載した上で、このインターポーザ基板 1 4 7 を実装基板 1 4 に実装する方法を示している。本実施例で用いているインター
10 ポーザ基板 1 4 7 は多層配線基板であり、その上面に各半導体装置 1 0 J が接続される上部電極 1 4 8 が形成されると共に、下面に形成された下部電極 1 4 9 は実装基板 1 4 と接合するための実装用バンプ 1 3 6 が配設されている。また、上部電極 1 4 8 と下部電極 1 4 9 は、インターポーザ基板 1 4 7 の内部に形成された内部配線 1 5 0 により接続されている。

本実施例に係る実装方法によれば、半導体装置 1 0 J と実装基板 1 4 との間にインターポーザ基板 1 4 7 が介在する構成となるため、
15 半導体装置 1 0 J を実装基板 1 4 に実装する自由度を向上させることができる。

続いて、前記してきた各半導体装置 1 0, 1 0 A ~ 1 0 J と異なる他の半導体装置 1 6 0 の構成及びその製造方法について説明する。図 6 8 及び図 6 9 は半導体装置 1 6 0 の製造方法を説明するための図であり、また図 7 0 は半導体装置 1 6 0 の構成を示す図である。
20

図 7 0 に示されるように、半導体装置 1 6 0 は大略すると、複数の半導体素子 1 6 1, インターポーザ基板 1 6 2, 外部接続用バンプ 1 6 3, 及び樹脂層 1 6 4 等により構成されている。

25 複数の半導体素子 1 6 1 は、電子部品 1 6 5 と共にインターポーザ基板 1 6 2 の上面に搭載されている。インターポーザ基板 1 6 2 の上面には上部電極 1 6 6 が形成されており、この上部電極 1 6 6 と半導体素子 1 6 1 とはワイヤ 1 6 8 を用いて接続されている。

また、インターポーザ基板 1 6 2 の下面には下部電極 1 6 7 が形成されており、この下部電極 1 6 7 には外部接続用バンプ 1 6 3 が

接続されている。このインターポーザ基板 1 6 2 にはスルーホール 1 6 9 が形成されており、このスルーホール 1 6 9 により上部電極 1 6 6 と下部電極 1 6 7 は電氣的に接続されている。これにより、半導体素子 1 6 1 と外部接続用バンプ 1 6 3 は電氣的に接続された構成となる。更に、樹脂層 1 6 4 は上記した圧縮成形技術を用いて形成されており、インターポーザ基板 1 6 2 の上面を覆うように形成されている。

このように、半導体素子 1 6 1 をワイヤ 1 6 8 を用いて外部（インターポーザ基板 1 6 2）に電氣的に接続する構成の半導体装置 1 6 0 においても、圧縮成形技術を用いて樹脂層 1 6 4 を形成することは可能である。

一方、上記構成とされた半導体装置 1 6 0 を製造するには、図 6 8 に示すように、先ずインターポーザ基板 1 6 2 の上面に半導体素子 1 6 1 を接着剤を用いて搭載する。この時必要があれば、付設する電子部品 1 6 5 も合わせて搭載する。続いて、インターポーザ基板 1 6 2 の上面に形成されている上部電極 1 6 6 と半導体素子 1 6 1 の上部に形成されているパッドとの間にワイヤボンディングを実施してワイヤ 1 6 8 を配設する。次に、インターポーザ基板 1 6 2 の下面に形成された下部電極 1 6 7 に、例えば転写法等を用いて外部接続用バンプ 1 6 3 を配設する。

上記のようにインターポーザ基板 1 6 2 に半導体素子 1 6 1，外部接続用バンプ 1 6 3，及びワイヤ 1 6 8 が配設されると、このインターポーザ基板 1 6 2 は樹脂封止用の金型に装着され、圧縮成形法を用いてインターポーザ基板 1 6 2 の表面に樹脂層 1 6 4 が形成される。図 6 9 は、表面に樹脂層 1 6 4 が形成されたインターポーザ基板 1 6 2 を示している。続いて、このインターポーザ基板 1 6 2 を図 6 9 に破線で示される所定切断位置で切断することにより、図 7 0 に示される半導体装置 1 6 0 が形成される。

また、図 7 1 乃至図 7 5 も前記してきた各半導体装置 1 0， 1

0 A～1 0 Jと異なる他の半導体装置 1 7 0, 1 7 0 Aの構成及びその製造方法を説明するための図である。図 7 1は半導体装置 1 7 0の構成を説明するための図であり、図 7 2及び図 7 3は半導体装置 1 7 0の製造方法を説明するための図である。また、図 7 4は半導体装置 1 7 0 Aの構成を説明するための図であり、図 7 5は半導体装置 1 7 0 Aの製造方法を説明するための図である。

半導体装置 1 7 0は、大略すると半導体素子 1 7 1, 樹脂パッケージ 1 7 2, 及び金属膜 1 7 3とからなる極めて簡単な構成とされている。半導体素子 1 7 1は、その上面に複数の電極パッド 1 7 4が形成されている。また、樹脂パッケージ 1 7 2は、例えばエポキシ樹脂を前記した圧縮成形技術を用いて成形した構成とされている。この樹脂パッケージ 1 7 2の実装面 1 7 5には、樹脂突起 1 7 7が一体的に形成されている。

また、金属膜 1 7 3は、樹脂パッケージ 1 7 2に形成された樹脂突起 1 7 7を覆うように形成されている。この金属膜 1 7 3と前記した電極パッド 1 7 4との間にはワイヤ 1 7 8が配設されており、このワイヤ 1 7 8により金属膜 1 7 3と半導体素子 1 7 1は電氣的に接続した構成となっている。

上記構成とされた半導体装置 1 7 0は、従来の S S O Pのようなインナーリードやアウターリードが不要となり、インナーリードからアウターリードへの引き回しのための面積や、アウターリード自身の面積が不要となり、半導体装置 1 7 0の小型化を図ることができる。

また、従来の B G Aのような半田ボールを形成するために搭載基板を用いる必要がなくなるため、半導体装置 1 7 0のコスト低減を図ることができる。更に、樹脂突起 1 7 7及び金属膜 1 7 3は、協働して B G Aタイプの半導体装置の半田バンプと同等の機能を奏するため、実装性を向上することができる。

次に、半導体装置 1 7 0の製造方法について図 7 2及び図 7 3を

用いて説明する。半導体装置 17 を製造するには、図 7 2 に示されるリードフレーム 180 を用意する。このリードフレーム 180 は、例えば銅 (Cu) により形成されており、前記した樹脂突起 177 の形成位置に対応する位置に、樹脂突起 177 の形状に対応した凹部 181 が形成されている。更に、この凹部 181 の表面には、金属膜 173 が形成されている。

上記構成とされたリードフレーム 180 には、先ず半導体素子 171 が搭載される。半導体素子 171 がリードフレーム 180 に搭載される、続いてリードフレーム 180 はワイヤボンディング装置に装着され、半導体素子 171 に形成された電極パッド 174 と、リードフレーム 180 に形成されている金属膜 173 との間にワイヤ 178 が配設される。これにより、半導体素子 171 と金属膜 173 は電氣的に接続された構成となる。図 7 2 は、以上の説明した処理が終了した状態を示している。

上記したワイヤ 178 の配設処理が終了すると、続いてリードフレーム 180 上に半導体素子 171 を封止するよう樹脂パッケージ 172 を形成する。本実施例では、樹脂パッケージ 172 を圧縮成形により形成している。図 7 3 は、樹脂パッケージ 172 が形成されたリードフレーム 180 を示している。

上記した樹脂パッケージ 172 の形成処理が終了すると、図 7 3 に破線で示す位置で切断処理が行なわれると共に、樹脂パッケージ 172 をリードフレーム 180 から分離され半導体装置 170 を形成する分離工程が実施される。この分離工程は、リードフレーム 180 をエッチング液に浸漬させて溶解することにより行なわれる。この分離工程で用いられるエッチング液は、リードフレーム 180 のみを溶解し、金属膜 173 は溶解しない性質を有するエッチング液を選定している。

従って、リードフレーム 180 が完全に溶解されることにより、樹脂パッケージ 172 はリードフレーム 180 から分離される。こ

の際、金属膜 173 は樹脂突起 177 に配設された状態となるため、図 71 に示す半導体装置 170 が形成される。このように、リードフレーム 180 を溶解することにより樹脂パッケージ 172 をリードフレーム 180 から分離する方法を用いることにより、リードフレーム 180 からの樹脂パッケージ 172 の分離処理を確実にすることができ、歩留りを向上することができる。

一方、図 74 に示される半導体装置 170A は、一つの樹脂パッケージ 172 内に複数の半導体素子 171 を配設した構成としたものである。このように、一つの樹脂パッケージ 172 内に複数の半導体素子 171 を配設することにより、半導体装置 170A の多機能化を図ることができる。尚、この半導体装置 170A の製造方法は、図 72 及び図 73 を用いて説明した製造方法と略同一であり、図 75 (B) で示す切断箇所が異なる程度の差異である。このため、半導体装置 170A の製造方法に関する詳細説明は省略するものとする。

図 78 乃至図 80 は本発明の第 30 実施例である半導体装置及びその製造方法を示している。先ず、図 78 を用いて本発明の第 30 実施例である半導体装置 210 について説明する。尚、以下説明する各実施例においては、T-BGA (Tape-Ball Grid Array) 構造の半導体装置を例に挙げて本発明を説明するが、他の BGA 構造の半導体装置においても本発明を適用することができる。

半導体装置 210 は、大略すると半導体素子 211、配線基板 212、枠体 213、突起電極 214、及び封止樹脂 215 等により構成されている。

半導体素子 211 はいわゆるベアチップであり、その下面には複数のバンプ電極 216 が形成されている。この半導体素子 211 は、フリップチップボンディングされることにより配線基板 212 に電氣的にまた機械的に接続されている。

配線基板 212 は、ベースフィルム 217 (可撓性基材)、リー

ド 2 1 8 及び絶縁膜 2 1 9 (ソルダーレジスト) 等により構成されている。ベースフィルム 2 1 7 は例えばポリイミド等の可撓性を有した絶縁性フィルムであり、このベースフィルム 2 1 7 には例えば銅箔等の導電性金属膜により所定パターンのリード 2 1 8 が形成されている。

また、ベースフィルム 2 1 7 はリード 2 1 8 及び絶縁膜 2 1 9 に比べてその厚さが大であり、また機械的強度も高く設定されている。よって、リード 2 1 8 及び絶縁膜 2 1 9 はベースフィルム 2 1 7 に保持された構成とされている。また、上記のようにベースフィルム 2 1 7 は可撓性を有しており、かつリード 2 1 8 及び絶縁膜 2 1 9 は膜厚が薄いため、配線基板 2 1 2 は折り曲げ可能な構成とされている。更に、このベースフィルム 2 1 7 の略中央位置には、半導体素子 2 1 1 を装着するための装着孔 2 1 7 a が形成されている。

一方、リード 2 1 8 は半導体素子 2 1 1 に配設されたバンプ電極 2 1 6 の数に対応して複数個形成されており、インナーリード部 2 2 0 及びアウターリード部 2 2 1 を一体的に形成した構成とされている。インナーリード部 2 2 0 はリード 2 1 8 の内側に位置する部分であり、半導体素子 2 1 1 のバンプ電極 2 1 6 が接合される部位である。また、アウターリード部 2 2 1 はインナーリード部 2 2 0 に対し外周に位置する部分であり、突起電極 2 1 4 が接続される部位である。

また、絶縁膜 2 1 9 はポリイミド等の絶縁性の樹脂膜であり、突起電極 2 1 4 の形成位置には接続孔 2 1 9 a が形成されている。この接続孔を介してリード 2 1 8 と突起電極 2 1 4 とは電氣的に接続される構成とされている。この絶縁膜 2 1 9 によりリード 2 1 8 は保護される構成となっている。

一方、枠体 2 1 3 は例えば銅或いはアルミニウム等の金属材料により形成されている。この枠体 2 1 3 の中央部には、前記したベースフィルム 2 1 7 に形成された装着孔 2 1 7 a と対向するよう構成

されたキャビティ 2 2 3 が形成されている。本実施例においては、キャビティ 2 2 3 は枠体 2 1 3 を上下に貫通した穴として構成されている。また、この枠体 2 1 3 は平面視した状態で矩形状とされており、従ってキャビティ 2 2 3 が形成されることにより枠体 2 1 3

5 是矩形状を有した構造となる。

前記した配線基板 2 1 2 は上記構成とされた枠体 2 1 3 の下面に接着剤 2 2 2 により接合され、これにより可撓性を有した配線基板 2 1 2 は枠体 2 1 3 に固定された構成となる。また、配線基板 2 1 2 が枠体 2 1 3 に配設された状態において、前記したリード 2 1 8

10 のインナーリード部 2 2 0 はキャビティ 2 2 3 内に延出するよう構成されている。半導体素子 2 1 1 は、このキャビティ 2 2 3 内に延出したインナーリード部 2 2 0 にフリップチップ接合され、従って半導体素子 2 1 1 はキャビティ 2 2 3 内に位置した構成となる。

また、リード 2 1 8 のアウターリード部 2 2 1 は枠体 2 1 3 の下

15 面側に位置するよう配設されており、このアウターリード部 2 2 1 には突起電極 2 1 4 が配設される。本実施例では、突起電極 2 1 4 として半田バンプを用いており、この突起電極 2 1 4 は半田ボールを絶縁膜 2 1 9 に形成された接続孔 2 1 9 a を介してアウターリード部 2 2 1 に接合することにより形成される。

この際、上記したように突起電極 2 1 4 が配設されるアウター

20 リード部 2 2 1 は枠体 2 1 3 の下面側に位置しており、可撓性を有する配線基板 2 1 2 を用いてもアウターリード部 2 2 1 は枠体 2 1 3 により可撓変形が規制されている。よって、可撓性を有する配線基板 2 1 2 を用いても、配設される突起電極 2 1 4 の位置にバラツキが発生するようなことはなく、実装性を向上させることができる。

25

また、半導体素子 2 1 1 が装着されたキャビティ 2 2 3 内には封止樹脂 2 1 5 が配設されている。この封止樹脂 2 1 5 は、後述するように圧縮成形法を用いて形成される。キャビティ 2 2 3 内に封止樹脂 2 1 5 を配設することにより、半導体素子 2 1 1、バンプ電極

216, 及びリード218のインナーリード部220は樹脂封止された構成となるため、半導体素子211及びリード218のインナーリード部220を確実に保護することができる。

5 続いて、上記構成とされた半導体装置210の製造方法（第30実施例に係る製造方法）について、図79を用いて説明する。

半導体装置210は、大略すると半導体素子211を形成する半導体素子形成工程、配線基板212を形成する配線基板形成工程、突起電極214を形成する突起電極形成工程、半導体素子211を配線基板212に搭載する素子搭載工程、封止樹脂215により半導体素子211等を樹脂封止する樹脂封止工程、各種信頼性試験を行なう試験工程等の種々の工程を実施することにより製造される。

この各工程の内、半導体素子形成工程、配線基板形成工程、突起電極形成工程、素子搭載工程、及び試験工程は、周知の技術を用いて実施されるものであり、本願発明の要部は樹脂封止工程以降にあるため、以下の説明では樹脂封止工程のみについて説明するものとする。

図79は樹脂封止工程の第30実施例を示している。

樹脂封止工程が開始されると、先ず図79に示されるように、半導体素子形成工程、配線基板形成工程、及び素子搭載工程等を経ることにより半導体素子211が搭載された配線基板212を半導体装置製造用金型224（以下、単に金型という）に装着する。

ここで、金型224の構造について説明する。金型224は、大略すると上型225と下型226とにより構成されている。この上型225及び下型226には、共に図示しないヒーターが内設されており、後述する成形前状態の封止樹脂（成形前の封止樹脂を特に符号227を附して示す）を加熱溶融しうる構成とされている。

上型225は、図示しない昇降装置により図中矢印Z1, Z2方向に昇降動作する構成とされている。また、上型225の下面はキャビティ面225aとされており、このキャビティ面225aは

平坦面とされている。従って、上型 2 2 5 の形状は極めて簡単な形状とされており、安価に上型 2 2 5 を製造することができる。

5 一方、下型 2 2 6 は第 1 の下型半体 2 2 8 と第 2 の下型半体 2 2 9 とによりなり、第 1 の下型半体 2 2 8 は第 2 の下型半体 2 2 9 の内部に配設された構成とされている。この第 1 及び第 2 の下型半体 2 2 8, 2 2 9 は、夫々図示しない昇降機構により矢印 Z 1, Z 2 方向に独立して移動可能な構成とされている。

10 また、本実施例では、第 1 の下型半体 2 2 8 の上面に形成されたキャビティ面 2 3 0 に樹脂フィルム 2 3 1 が配設され、この樹脂フィルム 2 3 1 の上部に封止樹脂 2 2 7 が載置されて樹脂封止処理が行なわれる。ここで用いる樹脂フィルム 2 3 1 は、例えばポリイミド、塩化ビニール、P C, P e t, 静分解性樹脂を用いることが可能であり、後述する樹脂成形時に印加される熱により劣化しない材料が選定されている。

15 樹脂封止工程では、先ず半導体素子 2 1 1 が搭載された配線基板 2 1 2 を金型 2 2 4 に装着する。具体的には、上型 2 2 5 と第 2 の下型半体 2 2 9 とを離間させ、両者の間に配線基板 2 1 2 を装着する。続いて、上型 2 2 5 と第 2 の下型半体 2 2 9 とが近接するよう移動させて、上型 2 2 5 と第 2 の下型半体 2 2 9 とにより配線基板 20 2 1 2 を挟持する。図 7 9 は、上型 2 2 5 と第 2 の下型半体 2 2 9 との間に配線基板 2 1 2 を挟持させることにより、配線基板 2 1 2 が金型 2 2 4 に装着された状態を示している。

25 また、第 1 の下型半体 2 2 8 上に載置された封止樹脂 2 2 7 は、例えばポリイミド、エポキシ (P P S, P E E K, P E S 及び耐熱性液晶樹脂等の熱可塑性樹脂) 等の樹脂であり、本実施例においてはこの樹脂を円柱形状に成形した構成のものを用いている。また、封止樹脂 2 2 7 の載置位置は、配線基板 2 1 2 に搭載された半導体素子 2 1 1 と対向するように、第 1 の下型半体 2 2 8 の略中央位置に選定されている。

上記のように配線基板 2 1 2 が金型 2 2 4 に装着されると、続いて封止樹脂 2 2 7 のの圧縮形成処理が実施される。圧縮形成処理が開始されると、金型 2 2 4 による加熱により封止樹脂 2 2 7 が溶融しうる温度まで昇温したことを確認した上で、第 1 の下型半体 2 2 8 が Z 2 方向に上動される。

第 1 の下型半体 2 2 8 を Z 2 方向に上動することにより過熱され溶融した封止樹脂 2 2 7 も上動し、やがて封止樹脂 2 2 7 は配線基板 2 1 2 に至る。そして、更に第 1 の下型半体 2 2 8 が上動することにより封止樹脂 2 2 7 は圧縮され、インナーリード部 2 2 0 と半導体素子 2 1 1 との離間部分等よりキャビティ 2 2 3 内に封止樹脂 2 2 7 は進入する。

この際、上記のように封止樹脂 2 2 7 は第 1 の下型半体 2 2 8 に押圧されることにより圧縮されており、この圧縮率をもって封止樹脂 2 2 7 はキャビティ 2 2 3 内に進行する。上記樹脂封止処理を行なうことにより、図 7 8 に示されるように、キャビティ 2 2 3 内及び半導体素子 2 1 1 の上部に封止樹脂 2 1 5 が形成され、これにより半導体素子 2 1 1, バンプ電極 2 1 6, 及びインナーリード部 2 2 0 は封止樹脂 2 1 5 により保護された状態となる。

上記のように、本実施例の樹脂封止工程では、封止樹脂 2 2 7 は金型 2 2 4 内で圧縮されつつ樹脂成形されることとなる（この樹脂成形法を圧縮成形法という）。このように封止樹脂 2 2 7 を圧縮成型法を用いて成形することにより、半導体素子 2 1 1 と配線基板 2 1 2 との間に形成される狭い隙間部分にも確実に樹脂を充填することができる。

また、圧縮成型法では成形圧力が低くてよいため、樹脂成形時に配線基板 2 2 4 に変形が生じたり、また半導体素子 2 1 1 と配線基板 2 1 2 との電氣的接続部位（即ち、バンプ電極 2 1 6 とインナーリード部 2 2 0 との接続位置）に負荷が印加されることを防止できる。これにより、樹脂封止工程において、半導体素子 2 1 1 と配線

基板 2 1 2 との接続が切断されることを防止することができ、信頼性の高い樹脂封止処理を行なうことができる。

5 尚、上記樹脂封止工程を実施する際、第 1 の下型半体 2 2 8 の可動速度が速いと圧縮成形による成形圧力が急激に増大し、バンプ電極 2 1 6 とインナーリード部 2 2 0 との接続位置等に損傷が発生するおそれがある。また、第 1 の下型半体 2 2 8 の可動速度が遅いと、成形圧力が低くなることにより封止樹脂 2 2 7 が装填されない箇所が発生したり、また樹脂封止に時間がかかるために製造効率が低下することが考えられる。そこで、第 1 の下型半体 2 2 8 の移動速度は、上記した相反する問題点が共に発生しない適正な速度に選定されている。

15 上記のように封止樹脂 2 1 5 が形成されると、続いて配線基板 2 1 2 を金型 2 2 4 から取り外す処理が実施される。配線基板 2 1 2 を金型 2 2 4 から取り外すには、先ず第 1 の下型半体 2 2 8 を Z 1 方向に下動させる。この際、第 1 の下型半体 2 2 8 のキャビティ面 2 3 0 には離型性の良好な樹脂フィルム 2 3 1 が配設されているため、第 1 の下型半体 2 2 8 は封止樹脂 2 1 5 から容易に離間する。

20 上記のように第 1 の下型半体 2 2 8 が封止樹脂 2 1 5 から離間すると、続いて上型 2 2 5 と第 2 の下型半体 2 2 9 は互いに離間する方向に移動し、これにより配線基板 2 1 2 を金型 2 2 4 から取り外すことが可能となる。尚、第 1 の下型半体 2 2 8 を移動させるタイミングと、第 2 の下型半体 2 2 9 及び上型 2 2 5 を移動させるタイミングは、同じタイミングとしても特に問題が発生するようなことはない。

25 上記のように配線基板 2 1 2 が金型 2 2 4 から取り外されると、続いて配線基板 2 1 2 に突起電極 2 1 4 が形成される。この突起電極 2 1 4 の形成方法は種々あるが、本実施例では半田ボールを予め製造しておき、この半田ボールを配線基板 2 1 2 に形成されている接続孔 2 1 9 a に転写した上で過熱処理しリード 2 1 8 に接合させ

る転写法が用いられている。上記した一連の製造方法を経ることにより、図 7 8 に示される半導体装置が製造される。

5 一方、図 8 0 は図 7 8 に示した半導体装置 2 1 0 を製造する際に実施される樹脂封止工程の第 3 1 実施例を示している。図 8 0 において、図 7 9 に示した構成と同一構成については同一符号を附してその説明を省略する。

10 図 7 8 に示した樹脂封止工程では、離型性を向上させるための樹脂フィルム 3 1 は、第 1 の下型半体 2 8 のキャビティ面 2 3 0 のみに配設された構成とされていた。しかるに、図 7 9 に示されるように、上型 2 2 5 のキャビティ面 2 2 5 a も封止樹脂 2 1 5 と接触する部位を有している。

このため、本実施例に係る樹脂封止工程では、上型 2 2 5 のキャビティ面 2 2 5 a にも離型性の良好な樹脂フィルム 2 3 2 を配設したことを特徴とするものである。この樹脂フィルム 2 3 2 の材質は、
15 前記した樹脂フィルム 2 3 1 の材質と同じものでよい。また、樹脂フィルム 2 3 2 を配設するには、配線基板 2 1 2 を金型 2 2 4 に装着する前に、予め樹脂フィルム 2 3 2 を上型 2 2 5 のキャビティ面 2 2 5 a に配設しておき、その上で配線基板 2 1 2 を上型 2 2 5 と第 2 の下型半体 2 2 9 により挟持させる。

20 このように、樹脂フィルム 2 3 2 を配設するのに特に処理が増えるようなことはなく、かつ封止樹脂 2 1 5 が形成され配線基板 2 1 2 を金型 2 2 4 から離型する際には、封止樹脂 2 1 5 を上型 2 2 5 のキャビティ面 2 2 5 a から容易に離間させることができる。

25 続いて、本発明の第 3 1 実施例である半導体装置について説明する。

図 8 1 は本発明の第 3 1 実施例である半導体装置 2 1 0 A を示している。尚、図 8 1 において図 7 8 に示した第 3 0 実施例に係る半導体装置 1 0 と同一構成については同一符号を附してその説明を省略する。

本実施例に係る半導体装置 2 1 0 A は、封止樹脂 2 1 5 の実装側面（図中下面）に放熱板 2 3 3 を設けたことを特徴とするものである。この放熱板 2 3 3 は、例えばアルミニウム等の放熱特性の良好な金属により形成されている。このように、半導体素子 2 1 1 を封止する封止樹脂 2 1 5 に放熱板 2 3 3 を配設することにより、半導体素子 2 1 1 で発生した熱は放熱板 2 3 3 を介して効率よく放熱される。よって、半導体素子 2 1 1 の温度上昇を抑制することができ、半導体装置 2 1 0 A の作動時における信頼性を向上することができる。

また、本実施例に係る半導体装置 2 1 0 A は、前記した第 3 0 実施例に係る半導体装置 2 1 0 に対し、配線基板 2 1 2 の配設向きが上下逆となっている。即ち、最下層にベースフィルム 2 1 7 が配設され、その上にリード 2 1 8、絶縁膜 2 1 9 が順次積層された構成とされている。

従って、絶縁膜 2 1 9 が接着剤 2 2 2 により枠体 2 1 3 に接合されており、また突起電極 2 1 4 が配設される接続孔 2 1 7 b はベースフィルム 2 1 7 に形成されている。このように、配線基板 2 1 2 の配設向きは、接続孔 2 1 7 b、2 1 9 a の形成位置を適宜選定することにより、ベースフィルム 2 1 7 を上側としても、逆に絶縁膜 2 1 9 を上側としても構わない。

図 8 2 及び図 8 3 は、図 8 1 に示した半導体装置 2 1 0 A の製造工程の内、樹脂封止工程を説明するための図である。尚、図 8 2 及び図 8 3 において、図 7 9 及び図 8 0 に示した構成と同一構成については同一符号を附してその説明を省略する。

図 8 2 に示す樹脂封止工程では、図 7 9 に示した樹脂フィルム 2 3 1 に代えて、放熱板 2 3 3 を第 1 の下型半体 2 2 8 のキャビティ面 2 3 0 上に配設したことを特徴とするものである。従って、封止樹脂 2 2 7 は放熱板 2 3 3 の上部に載置されている。また、放熱板 2 3 3 の大きさはキャビティ面 2 3 0 の大きさに比べて若干小さく

設定されているため、放熱板 2 3 3 を配設することにより第 1 の下型半体 2 2 8 の移動が阻害されるようなことはない。

5 上記のように放熱板 2 3 3 が配設された金型 2 2 4 を用いた封止樹脂 2 2 7 の圧縮成形処理は、基本的には図 7 9 を用いて説明した圧縮成形処理と同様である。但し、封止樹脂 2 2 7 は第 1 の下型半体 2 2 8 の上動に伴い上動する放熱板 2 3 3 に押圧されて圧縮成形される。

10 この際、放熱板 2 3 3 と封止樹脂 2 2 7 の離型性は良好ではなく、かつ放熱板 2 3 3 は単に金属製の第 1 の下型半体 2 2 8 に載置されただけであるため、封止樹脂 2 1 5 の成形後に第 1 の下型半体 2 2 8 を下動させると、放熱板 2 3 3 は封止樹脂 2 1 5 に付着した状態となる。即ち、樹脂封止工程を実施することにより、放熱板 2 3 3 を封止樹脂 2 1 5 に配設する処理を同時に行なうことができ、よって放熱板 2 3 3 を有した半導体装置 2 1 0 A を容易に製造することができる。

15 図 8 3 に示す樹脂封止工程では、放熱板 2 3 3 を第 1 の下型半体 2 2 8 のキャビティ面 2 3 0 上に配設すると共に、図 8 0 に示したと同様に上型 2 2 5 のキャビティ面 2 2 5 a に離型性の良好な樹脂フィルム 2 3 2 を配設したことを特徴とするものである。

20 よって、本実施例の樹脂封止工程によっても放熱板 2 3 3 を有した半導体装置 2 1 0 A を容易に製造することができ、かつ封止樹脂 2 1 5 を上型 2 2 5 のキャビティ面 2 2 5 a から容易に離間させることができる。

25 続いて、本発明の第 3 2 実施例である半導体装置について説明する。

図 8 4 は本発明の第 3 2 実施例である半導体装置 2 1 0 B を示している。尚、図 8 4 において図 7 8 に示した第 3 0 実施例に係る半導体装置 2 1 0 と同一構成については同一符号を附してその説明を省略する。

本実施例に係る半導体装置 2 1 0 B は、第 3 1 実施例に係る半導体装置 2 1 0 A と同様に封止樹脂 2 1 5 の実装側面（図中下面）に第 1 の放熱板 2 3 3 を設けると共に、枠体 2 1 3 の上面側に第 2 の放熱板 2 3 4 を設けたことを特徴とするものである。この第 2 の放熱板 2 3 4 も第 1 の放熱板 2 3 3 と同様に、例えばアルミニウム等の放熱特性の良好な金属により形成されている。

このように、半導体素子 2 1 1 を挟んでその上部及び下部に夫々放熱板 2 3 3, 2 3 4 を配設することにより、半導体素子 2 1 1 で発生した熱をより効率的に放熱することができ、半導体装置 2 1 0 B の信頼性を向上することができる。また、第 2 の放熱板 2 3 4 が配設される枠体 2 1 3 の材料を放熱性の良好な材質に選定しておくことにより、更に半導体装置 2 1 0 B の放熱特性を向上させることができる。

一方、本実施例に係る半導体装置 2 1 0 B では、半導体素子 2 1 1 と配線基板 2 1 2 とを電氣的に接続する手段としてワイヤ 2 3 5 を用いている。このため、半導体素子 2 1 1 と配線基板 2 1 2 とを接続する方法としては、先ず第 2 の放熱板 2 3 4 を枠体 2 1 3 の上面に例えば接着剤（図示せず）を用いて接合し、枠体 2 1 3 に形成されたキャビティ 2 2 3 に第 2 の放熱板 2 3 4 による底部が形成された構成とする。

続いて、このキャビティ 2 2 3 内の第 2 の放熱板 2 3 4 に接着剤 2 3 6 を用いて半導体素子 2 1 1 を接着すると共に、枠体 2 1 3 の図中下面に配線基板 2 1 2 を接着する。そして、枠体 2 1 3 に第 2 の放熱板 2 3 4 及び配線基板 2 1 2 が配設された上で、配線基板 2 1 2 のリード 2 1 8 と半導体素子 2 1 1 との間にワイヤボンディング法を用いてワイヤ 2 3 5 を配設する。

そして、このワイヤボンディング処理が終了すると、前記した実施例と同様に圧縮成形法により封止樹脂 2 1 5 を形成する。この圧縮成形の際、前記したように、半導体素子 2 1 1 及び枠体 2 1 3 の

上部に放熱板 2 3 4 が配設されているため、封止樹脂 2 1 5 が直接上型 2 2 5 と接触することではなく、よって離型性を向上させることができる。

5 尚、前記した実施例における放熱板 2 3 4 は、半導体素子 2 1 1 がさほど発熱しないもの場合には、必ずしも放熱性の高い材質を選定する必要はなく、放熱性の低い材質を用いてもよい。

続いて、本発明の第 3 3 実施例である半導体装置について説明する。

10 図 8 5 は本発明の第 3 3 実施例である半導体装置 2 1 0 C を示している。尚、図 8 5 において図 8 4 に示した第 3 2 実施例に係る半導体装置 2 1 0 B と同一構成については同一符号を附してその説明を省略する。

15 本実施例に係る半導体装置 2 1 0 C に設けられた枠体 2 1 3 A は、図 8 4 を用いて説明した半導体装置 2 1 0 B における第 2 の放熱板 2 3 4 と枠体 2 1 3 とを一体化した構成とされている。従って、枠体 2 1 3 A に形成されるキャビティ 2 2 3 A は、底部 2 3 7 を有した有底形状とされている。

20 また、半導体素子 2 1 1 はこの底部 2 3 7 に接着剤 2 3 6 を用いて固定され、また配線基板 2 1 2 は枠体 2 1 3 A の図中下面に配設される。従って、本実施例の構成でも半導体素子 2 1 1 と配線基板 2 1 2 とのワイヤボンディングが可能となる。

25 上記した本実施例に係る半導体装置 2 1 0 C の構成では、第 3 2 実施例に係る半導体装置 2 1 0 B に比べて部品点数及び製造工程が削減されるため、半導体装置 2 1 0 C のコスト低減を図ることができる。尚、本実施例の構成の半導体装置 2 1 0 C においても、封止樹脂 2 1 5 の形成方法として圧縮成形法を用いることができる。

続いて、本発明の第 3 4 実施例である半導体装置について説明する。

図 8 6 は本発明の第 3 3 実施例である半導体装置 1 0 D を示して

いる。尚、図 8 6 において図 7 に示した第 3 2 実施例に係る半導体装置 2 1 0 B と同一構成については同一符号を附してその説明を省略する。

5 本実施例に係る半導体装置 2 1 0 D は、半導体素子 2 1 1 を配線基板 2 1 2 A の上部に搭載する構成とすることにより、突起電極 2 1 4 を半導体素子 2 1 1 の配設位置の真下位置にも形成したことを特徴とするものである。このため、本実施例に係る配線基板 2 1 2 A は、上記した各実施例に係る半導体装置 2 1 0 ～ 2 1 0 C と異なり、装着孔 2 1 7 a は形成されていない。

10 本実施例のように配線基板 2 1 2 A の上部に半導体素子 2 1 1 を搭載し、半導体素子 2 1 1 の真下位置にも突起電極 2 1 4 を形成することにより、突起電極 2 1 4 の配設位置に自由度を持たせることができ、また半導体素子 2 1 0 D の小型化を図ることができる。尚、本実施例の構成の半導体装置 2 1 0 D においても、封止樹脂 2 1 5
15 の形成方法として圧縮成形法を用いることができる。

続いて、図 8 7 を用いて樹脂封止工程の他実施例について説明する。尚、図 8 7 において、先に図 7 9 を用いて説明した金型 2 2 4 と同一構成については、同一符号を附してその説明を省略する。

20 本実施例に用いる金型 2 2 4 A も大略すると上型 2 2 5 と下型 2 2 6 A とにより構成されている。但し、本実施例で用いる金型 2 2 4 A は、複数（本実施例では 2 個）の封止樹脂 2 1 5 を一括的に形成することが可能な、いわゆる多連処理可能な構成の金型である。

25 上型 2 2 5 は図 7 9 に示した金型 2 2 4 に設けられていたものと略同一構成とされている。しかるに、上記のように本実施例に係る金型 2 2 4 A は多連処理可能な構成であるため、その形状は大きく形成されている。また、下型 2 2 6 A は第 1 及び第 2 の下型半体 2 2 8, 2 2 9 A とにより構成されており、第 2 の下型半体 2 2 9 の内部には 2 個の第 1 の下型半体 2 2 8 が配設された構成とされてい

る。

また本実施例では、第 2 の下型半体 2 2 9 A の中央位置に余剰樹脂を除去する余剰樹脂除去機構 2 4 0 が設けられている。この余剰樹脂除去機構 2 4 0 は、大略すると開口部 2 4 1, ポット部 2 4 2, 及び圧力制御ロッド 2 4 3 等により構成されている。開口部 2 4 1 は第 2 の下型半体 2 2 9 A に形成された壁部 2 3 8 の上部に形成された開口であり、この開口部 2 4 1 はポット部 2 4 2 と連通した構成とされている。

ポット部 2 4 2 はシリンダ構造を有しており、このポット部 2 4 2 の内部にはピストン構造とされた圧力制御ロッド 2 4 3 が摺動可能に装着されている。この圧力制御ロッド 2 4 3 は、図示しない駆動機構に接続されており、図中矢印 Z 1, Z 2 方向に第 2 の下型半体 2 2 9 A に対して昇降動作可能な構成とされている。

続いて、上記構成とされた余剰樹脂除去機構 2 4 0 を具備した金型 2 2 4 A を用いた樹脂封止工程について説明する。

本実施例に係る樹脂封止工程が開始されると、先ず基板装着工程が実施される。基板装着工程では、配線基板 2 1 2 を金型 2 2 4 A に装着する。樹脂封止工程の開始直後の状態では、下型 2 2 6 A は上型 2 2 5 に対して Z 1 方向に下動した状態となっており、また余剰樹脂除去機構 2 4 0 を構成する圧力制御ロッド 2 4 3 は上動限に移動した状態となっている。

この状態の金型 2 2 4 A に対し、先ず各第 1 の下型半体 2 2 8 の上部に樹脂フィルム 2 3 1 を配設した上で封止樹脂 2 2 7 を載置する。続いて、第 2 の下型半体 2 2 9 A の上部に配線基板 2 1 2 を搭載した上で、上型 2 2 5 及び下型 2 2 6 A を互いが近接するよう移動させ、配線基板 2 1 2 を上型 2 2 5 と下型 2 2 6 A との間にクランプする。図 8 7 は、配線基板 2 1 2 を上型 2 2 5 と下型 2 2 6 A との間にクランプした状態を示している。この時点で、金型 2 2 4 A 内の第 1 の下型半体 2 2 8 の上部にはキャビティ部 2 3 9 (空間

部)が形成されるが、前記した余剰樹脂除去機構240を構成するポット部242は開口部241を介してキャビティ部239に連通した構成となっている。

5 上記のように、線基板212がを上型225と下型226Aとの間にクランプされると、各第1の下型半体228はZ2方向に上動を開始する。これにより、封止樹脂227はキャビティ部239内で圧縮されつつ樹脂成形される。この際、半導体素子211を確実に樹脂封止するためには、第1の下型半体228の移動速度を適正な速度に設定する必要がある。第1の下型半体228の移動速度を適正化することは、換言すればキャビティ部239内における封止樹脂227の圧縮圧力を適正化することと等価である。

15 本実施例では、金型224Aに余剰樹脂除去機構240を設けることにより、第1の下型半体228の移動速度に加え、圧力制御ロッド243を上下駆動することによっても封止樹脂227の圧縮圧力を制御しうる構成とされている。具体的には、圧力制御ロッド243を下動させることによりキャビティ部239内における封止樹脂227の圧力は低くなり、また圧力制御ロッド243を上動させることによりキャビティ部239内における封止樹脂227の圧力は高くなる。

20 例えば、封止樹脂227の樹脂量が形成しようとする封止樹脂215の容積よりも多く、余剰樹脂によりキャビティ部239内の圧力が上昇した場合には、適正な樹脂成形が行なえなくなるおそれがある。よって、このような場合には余剰樹脂除去機構240の圧力制御ロッド243をZ1方向に下動させることにより、余剰樹脂を開口部241を介してポット部242内に除去する。これにより、余剰樹脂が発生したとしても、キャビティ部239内の圧力を低下させることができる。

25 このように、余剰樹脂除去機構240を設けることにより、封止樹脂227の成形時に余剰樹脂の除去処理を同時に行うことができ、

常に適正な圧縮力で樹脂成形することが可能となり、封止樹脂 2 1 5 の成形処理を良好に行なうことができる。また、余剰樹脂が金型 2 2 4 A から漏洩することを防止することができると共に、封止樹脂 2 2 7 の計量精度は前記した各実施例に比べて低くてもかまわないため封止樹脂 2 2 7 の計量の容易化を図ることができる。

尚、封止樹脂 2 1 5 が形成されると、続いて離型工程が実施され封止樹脂 2 1 5 が形成された配線基板 2 1 2 は金型 2 2 4 A から離型される。

上記したように、本実施例に係る樹脂封止工程によれば、樹脂成形時においてキャビティ部 2 3 9 内の圧力を最適な圧力に制御することができるため、封止樹脂 2 1 5 内に空気が残留し気泡（ボイド）が発生することを防止できる。

いま、仮に封止樹脂 2 1 5 に気泡が発生した場合を想定すると、樹脂封止工程の後に加熱処理が行われた場合、この気泡が膨張して封止樹脂 2 1 5 にクラック等の損傷が発生するおそれがある。しかるに、上記のように余剰樹脂除去機構 2 4 0 を設けることにより、封止樹脂 2 1 5 に気泡が発生することを防止できるため、加熱時に封止樹脂 2 1 5 に損傷が発生するおそれではなく、よって半導体装置の信頼性を高めることができる。

続いて、本発明の第 3 5 実施例乃至第 4 7 実施例に係る半導体装置及びその製造方法について説明する。尚、図 8 8 乃至図 1 0 2 において、図 7 8 及び図 7 9 に示した第 3 0 実施例に係る半導体装置 2 1 0 の構成と対応する構成については同一符号を附してその説明を省略するものとする。

図 8 8 は本発明の第 3 5 実施例である半導体装置 2 1 0 E を示しており、図 8 9 及び図 9 0 は半導体装置 2 1 0 の製造方法を示している。第 3 5 実施例に係る半導体装置 2 1 0 E は、配線基板 2 4 5 に半導体素子 2 1 1 の側方に長く延出した延出部 2 4 6 を形成し（図 8 9（A）参照）、この延出部 2 4 6 を枠体 2 1 3 に沿って折

り曲げることにより枠体 2 1 3 の上面側に引き出すと共に、枠体 2 1 3 の上面に位置する延出部 2 4 6 に突起電極 2 1 4 を形成したことを特徴とするものである。

5 本実施例で用いる配線基板 2 4 5 は、第 3 0 実施例に係る半導体装置 2 1 0 に用いた配線基板 2 1 2 と同様に、ベースフィルム 2 1 7、リード 2 1 8 及び絶縁膜 2 1 9 とにより構成されている。しかるに、本実施例に係る配線基板 2 4 5 は、ベースフィルム 2 1 7 の材質が第 3 0 実施例に用いられているベースフィルムの材質に比べてより可撓変形しやすい材質が選定されている。

10 また、配線基板 2 4 5 の枠体 2 1 3 の下面と対向する部分は、第 3 0 実施例と同様に接着剤 2 2 2 を用いて枠体 2 1 3 に固定され、延出部 2 4 6 は第 2 の接着剤 2 4 7 により枠体 2 1 3 の上面に固定される。従って、延出部 2 4 6 を枠体 2 1 3 の上面に延出した構成としても、延出部 2 4 6 が枠体 2 1 3 から剥がれるようなことはない。

15 上記構成とされた半導体装置 2 1 0 E によれば、突起電極 2 1 4 は枠体 2 1 3 の上面側に配設される構成となり、また枠体 2 1 3 の上面は放熱板 2 3 3 等の他の構成物は配設されないため、突起電極 2 1 4 の形成位置を自由度をもって設定することができる。更に、突起電極 2 1 4 が枠体 2 1 3 の仮面側に配設される第 3 0 実施例の半導体装置 2 1 0 に比べて、装置形状の小型化を図ることができる。

20 続いて、上記構成とされた半導体装置 2 1 0 E の製造方法について説明する。半導体装置 2 1 0 を製造するには、先ず図 8 9 (A) 及び図 1 0 3 に示されるような配線基板 2 4 5 を作成する。この配線基板 2 4 5 は、半導体素子 2 1 1 が搭載される矩形状の基部 2 5 1 の外周四辺に延出部 2 4 6 が形成された構成とされている。

25 また、基部 2 5 1 の中央位置には半導体素子 2 1 1 が装着される装着孔 2 4 8 (図 1 0 3 に示される) が形成されており、この装着孔 2 4 8 の外周縁位置から延出部 2 4 6 の突起電極 2 1 4 が配設さ

れる位置に形成されたランド部 2 4 9 までの間にはリード 2 1 8 が形成されている。更に、延出部 2 4 6 の形状は、折り曲げた際に隣接する延出部 2 4 6 同士が係合しないよう台形形状とされている。

5 尚、リード 2 1 8 は絶縁膜 2 1 9 により保護されているが（図 9 0（E）参照）、ランド部 2 4 9 の形成位置、即ち突起電極 2 1 4 の形成位置は絶縁膜 2 1 9 は除去され、リード 2 1 8 が露出した構成となっている。また、図 1 0 3 は、図 8 9（A）に示す配線基板 2 4 5 を拡大して示す図である。

10 上記構成とされた配線基板 2 4 5 の上面側には、半導体素子 2 1 1 がフリップチップ接合されると共に、枠体 2 1 3 が接着剤 2 2 2 を用いて接合される。この際、本実施例で用いる枠体 2 1 3 は、前記したように延出部 2 4 6 がその外周に配設されるため、第 3 0 実施例で用いた枠体 2 1 3 に比べて小さな形状とされている。尚、図 8 9（A）は、半導体素子 2 1 1 が搭載された状態の配線基板 2 4 5 を示している。

15 続いて、図 8 9（A），（B）に示されるように、半導体素子 2 1 1 及び枠体 2 1 3 が配設された配線基板 2 4 5 を金型 2 2 4 に装着する。本実施例で用いている金型 2 2 4 B は、上型 2 2 5 A に半導体素子 2 1 1 及び枠体 2 1 3 を収納するキャビティ 2 5 0 が形成されている。

20 配線基板 2 4 5 が金型 2 2 4 B に装着されると、図 8 9（C）に示されるように、放熱板 2 3 3 を介してその上部に封止樹脂 2 2 7 が載置された第 1 の下型半体 2 2 8 は上動し、封止樹脂 2 2 7 は圧縮成形される。これにより、図 8 9（D）に示されるように、半導体素子 2 1 1 及び配線基板 2 4 5 の下面所定範囲は封止樹脂 2 1 5 により封止された構成となる。また、同時に放熱板は封止樹脂 2 1 5 に接合された構成となる。

25 上記のように配線基板 2 4 5 に封止樹脂 2 1 5 が形成されと、配線基板 2 4 5 は金型 2 2 4 B から離型される。図 9 0（E）は、金

型 2 2 4 B から離型された配線基板 2 4 5 を示している。同図に示されるように、配線基板 2 2 4 は、半導体素子 2 1 1 が搭載された基部 2 5 1 より側方に長く延出した延出部 2 4 6 が形成された構成となっている。この離型直後の状態では、基部 2 5 1 及び延出部 2 4 6 は面一状態となっている。本実施例では、この延出部 2 4 6 の上面には第 2 の接着剤 2 4 7 が塗布される。

上記のように、配線基板 2 4 5 に形成された延出部 2 4 6 の状面に第 2 の接着剤 2 4 7 が塗布されると、続いて延出部 2 4 6 を折曲する折曲工程が実施される。折曲工程では、図 9 0 (F) に示されるように、延出部 2 4 6 を同図中矢印で示す方向に折曲処理を行い、この折曲された延出部 2 4 6 を第 2 の接着剤 2 4 7 により枠体 2 1 3 の上面に接着する。

図 9 0 (G) は、折曲工程が終了した状態の配線基板 2 4 5 を示している。同図に示されるように、延出部 2 4 6 を折曲形成して枠体 2 1 3 の上面に引き出す構成とすることにより、突起電極 2 1 4 の形成位置であるランド部 2 4 9 の形成位置は、枠体 2 1 3 の上部に位置することとなる。

続いて、突起電極形成工程が実施され、前記した枠体 2 1 3 の上部に位置するランド部 2 4 9 に、例えば転写法を用いて突起電極 2 1 4 が形成され、図 8 8 に示す半導体装置 2 1 0 E が形成される。上記したように、本実施例に係る半導体装置 2 1 0 E の製造方法も第 3 0 実施例で説明した製造方法と同様に圧縮成形を用いて封止樹脂 2 1 5 の形成を行うことができるため、信頼性の高い半導体装置 2 1 0 E を製造することができる。また、延出部 2 4 6 を枠体 2 1 3 の上面に引き出す処理も、単に延出部 2 4 6 を折曲形成するだけで行えるため、容易に行うことができる。

続いて、本発明の第 3 6 実施例に係る半導体装置及びその製造方法について説明する。図 9 1 は本発明の第 3 6 実施例である半導体装置 2 1 0 F 及びその製造方法を説明するための図である。尚、図

91において、図88乃至図90に示した構成と同一構成については同一符号を付してその説明を省略する。

図91(D)は、本発明の第36実施例である半導体装置210Fを示している。本実施例に係る半導体装置210Fは、前記した
5 第35実施例に係る半導体装置210Eと同一構成とされている。
しかるに、その製造方法において、図91(A), (B)に示されるように、第2の接着剤247を配線基板245ではなく、枠体213に塗布しておく点で相違する。このように、第2の接着剤247の塗布位置は、第35実施例で示したように配線基板245に行っても、また本実施例のように枠体213に塗布してもかまわない。

続いて、本発明の第37実施例に係る半導体装置及びその製造方法について説明する。図92は本発明の第37実施例である半導体装置210G及びその製造方法を説明するための図である。尚、図
15 92において、図88乃至図90に示した構成と同一構成については同一符号を付してその説明を省略する。

図92(D)は、本発明の第37実施例である半導体装置210Eを示している。本実施例に係る半導体装置210Gは、前記した第35及び第36実施例に係る半導体装置210E, 210Fに対し、配線基板245の配置が上下逆の構成となっている点で相違した構成とされている。
20

即ち、図92(A)に示されるように、配線基板245は、下層側からベースフィルム217, リード218, 絶縁膜219が順次積層された構成となっている。従って、折曲形成を行い延出部246が枠体213の上部に位置した際、突起電極214をリード218と接続するための接続孔217bは、ベースフィルム217に形成されている。
25

本実施例のように、第35及び第36実施例に係る半導体装置210E, 210Fに対して配線基板245が上下逆に配設された構

成としても、第 3 5 及び第 3 6 実施例に係る半導体装置 2 1 0 E,
2 1 0 F と同様の効果を有する半導体装置 2 1 0 G を実現すること
ができる。また、本実施例の構成では、絶縁膜 2 1 9 は必ずしも形
成する必要はなく、枠体 2 1 3 及び各接着剤 2 2 2, 2 4 7 の材質
5 を電氣的に絶縁性を有する材質とすることにより、絶縁膜 2 1 9 を
不要とすることができる。この場合、配線基板 2 4 5 のコスト低減
を図ることができる。

続いて、本発明の第 3 8 実施例に係る半導体装置及びその製造方
法について説明する。図 9 3 は本発明の第 3 8 実施例である半導体
10 装置 2 1 0 H 及びその製造方法を説明するための図である。尚、図
9 3 において、図 8 8 乃至図 9 0 に示した構成と同一構成について
は同一符号を付してその説明を省略する。

図 9 3 (D) は、本発明の第 3 8 実施例である半導体装置 2 1 0
H を示している。本実施例に係る半導体装置 2 1 0 H は、前記した
15 第 3 5 乃至第 3 7 実施例に係る半導体装置 2 1 0 E, 2 1 0 F, 2
1 0 G では延出部 2 4 6 を枠体 2 1 3 の上面側に折曲していたのに
対し、延出部 2 4 6 を放熱板 2 3 3 側に折曲したことを特徴とする
ものである。図 9 3 (A) に示されるように、本実施例で用いる配
線基板 2 4 5 は、上層側からベースフィルム 2 1 7, リード 2 1 8,
20 絶縁膜 2 1 9 が順次積層された構成となっている。従って、延出部
2 4 6 を放熱板 2 3 3 側に折曲形成した場合、ベースフィルム 2 1
7 が半導体装置 2 1 0 H の下面に露出し、絶縁膜 2 1 9 が放熱板 2
3 3 と対向した状態となる。このため、ベースフィルム 2 1 7 には
突起電極 2 1 4 とリード 2 1 8 とを接続するための接続孔 2 1 7 b
25 が形成されている。また、延出部 2 4 6 を放熱板 2 3 3 に固定する
ために、絶縁膜 2 1 9 には第 2 の接着剤 2 4 7 が塗布されている。

上記のように接続孔 2 1 7 b 及び第 2 の接着剤 2 4 7 が配設され
た配線基板 2 4 5 は、延出部 2 4 6 が図 9 3 (B) に矢印で示すよ
うに放熱板 2 3 3 側に折り曲げられる。これにより、延出部 2 4 6

は第 2 の接着剤 2 4 7 により放熱板 2 3 3 に固定されると共に、接続孔 2 1 7 b は下方に開口した状態となる。続いて、接続孔 2 1 7 b に転写法等を用いてリード 2 1 8 と電氣的に接続した状態の突起電極 2 1 4 を形成する。これにより、図 9 3 (D) に示される半導体装置 2 1 0 H が製造される。

上記製造方法により製造される半導体装置 2 1 0 H は、延出部 2 4 6 が放熱板 2 3 3 の下部に位置する構成となるため、半導体素子 2 1 1 が外部に露出した構成となる。このため、半導体素子 2 1 1 で発生する熱を効率よく放熱することが可能となり、半導体装置 2 1 0 H の放熱特性を向上させることができる。

尚、本実施例に係る半導体装置 2 1 0 H においても、延出部 2 4 6 が折曲され、この折曲部分に突起電極 2 1 4 が形成されるため、半導体装置 2 1 0 H の小型化を図ることができる。

続いて、本発明の第 3 9 実施例に係る半導体装置及びその製造方法について説明する。図 9 4 は本発明の第 3 9 実施例である半導体装置 2 1 0 I 及びその製造方法を説明するための図である。尚、図 9 4 において、図 8 8 乃至図 9 0 に示した構成と同一構成については同一符号を付してその説明を省略する。

図 9 4 (D) は、本発明の第 3 9 実施例である半導体装置 2 1 0 I を示している。本実施例に係る半導体装置 2 1 0 I は、前記した第 3 8 実施例に係る半導体装置 2 1 0 H と同一構成とされている。しかるに、その製造方法において、図 9 4 (A), (B) に示されるように、第 2 の接着剤 2 4 7 を配線基板 2 4 5 ではなく、放熱板 2 3 3 に塗布しておく点で相違する。このように、第 2 の接着剤 2 4 7 の塗布位置は、第 3 8 実施例で示したように配線基板 2 4 5 に行っても、また本実施例のように放熱板 2 3 3 に塗布してもかまわない。

続いて、本発明の第 4 0 実施例に係る半導体装置及びその製造方法について説明する。図 9 5 は本発明の第 4 0 実施例である半導体

装置 2 1 0 J 及びその製造方法を説明するための図である。尚、図 9 5 において、図 8 8 乃至図 9 0 及び図 9 4 に示した構成と同一構成については同一符号を付してその説明を省略する。

5 図 9 5 (D) は、本発明の第 4 0 実施例である半導体装置 2 1 0 J を示している。本実施例に係る半導体装置 2 1 0 J は、先に図 9 4 を用いて説明した半導体装置 2 1 0 I に放熱フィン 2 5 2 を配設した構造を有することを特徴とするものである。この放熱フィン 2 5 2 は、例えば接着剤等を用いて半導体素子 2 1 1 及び枠体 2 1 3 の上面に固定された構成とされている。

10 上記のように、本実施例に係る半導体装置 2 1 0 J は図 9 4 に示した半導体装置 2 1 0 I と同様な配線基板構造を有しているため、本実施例においても延出部 2 4 6 は半導体素子 2 1 1 の下部に配設された放熱板 2 3 3 側に折曲された構成とされている。このように、延出部 2 4 6 を放熱板 2 3 3 側に折曲することにより、半導体素子 15 2 1 1 の上面は露出した状態となっている。

従って、半導体素子 2 1 1 の露出部分に放熱フィン 2 5 2 を配設することにより、図 9 4 に示した半導体素子 2 1 1 の上面を露出させた構成に比べ、半導体素子 2 1 1 で発生した熱をより効率良く放熱することができる。

20 また、半導体素子 2 1 1 の上面が放熱フィン 2 5 2 により覆われるため、放熱フィン 2 5 2 は半導体素子 2 1 1 を保護する保護部材としても機能する。よって、放熱フィン 2 5 2 を設けることにより、半導体装置 2 1 0 J の信頼性を向上させることができる。

25 続いて、本発明の第 4 1 実施例に係る半導体装置及びその製造方法について説明する。図 9 6 は本発明の第 4 1 実施例である半導体装置 2 1 0 K 及びその製造方法を説明するための図である。尚、図 9 6 において、図 8 4 及び図 8 8 乃至図 9 0 に示した構成と同一構成については同一符号を付してその説明を省略する。

図 9 6 (D) は、本発明の第 4 1 実施例である半導体装置 2 1 0

Kを示している。本実施例に係る半導体装置 2 1 0 K は、先に図 8
4 を用いて説明した第 3 2 実施例に係る半導体装置 2 1 0 B と類似
した構造を有しており、具体的には、枠体 2 1 3 の上面側に第 2 の
放熱板 2 3 4 を設けたことを特徴とするものである。この第 2 の放
熱板 2 3 4 も第 1 の放熱板 2 3 3 と同様に、例えばアルミニウム等
の放熱特性の良好な金属により形成されている。

このように、半導体素子 2 1 1 を挟んでその上部及び下部に夫々
放熱板 2 3 3, 2 3 4 を配設することにより、半導体素子 2 1 1 で
発生した熱をより効率的に放熱することができ、半導体装置 2 1 0
K の信頼性を向上することができる。

続いて、半導体装置 2 1 0 K の製造方法について説明する。本実
施例に係る半導体装置 2 1 0 K では、半導体素子 2 1 1 と配線基板
2 4 5 とを電氣的に接続する手段としてワイヤ 3 5 を用いている。
このため、半導体素子 2 1 1 と配線基板 2 4 5 とをワイヤ接続する
ために、先ず第 2 の放熱板 2 3 4 を枠体 2 1 3 の上面に例えば接着
剤（図示せず）を用いて接合して一体化し、枠体 2 1 3 に形成され
たキャビティ 2 2 3 に第 2 の放熱板 2 3 4 による底部が形成された
構成とする。

続いて、このキャビティ 2 2 3 内の第 2 の放熱板 2 3 4 に接着剤
2 3 6 を用いて半導体素子 2 1 1 を接着すると共に、枠体 2 1 3 の
図中下面に配線基板 2 4 5 を接着する。そして、枠体 2 1 3 に第 2
の放熱板 2 3 4 及び配線基板 2 4 5 が配設された上で、配線基板 2
4 5 のリード 2 1 8 と半導体素子 2 1 1 との間にワイヤボンディン
グ法を用いてワイヤ 2 3 5 を配設する。

そして、このワイヤボンディング処理が終了すると、前記した実
施例と同様に圧縮成形法により封止樹脂 2 1 5 を形成する。この圧
縮成形の際、前記したように、半導体素子 2 1 1 及び枠体 2 1 3 の
上部に放熱板 2 3 4 が配設されているため、封止樹脂 2 1 5 が直接
上型 2 2 5 と接触することではなく、よって離型性を向上させること

ができる。図 9 6 (A) は、上記のようにして放熱板 2 3 4, ワイヤ 2 3 5, 及び封止樹脂 2 1 5 が配設された配線基板 2 4 5 を示している。尚、本実施例では放熱板 2 3 4 を用いた構成としたが、放熱板 2 3 4 に代えて放熱特性の低い板材を用いることも可能である。

5 続いて、図 9 6 (B), (C) に示されるように、配線基板 2 4 5 に形成された延出部 2 4 6 を上記した放熱板 2 3 4 側に折曲し、第 2 の接着材 2 4 7 を用いて放熱板 2 3 4 に固定する。その上で、突起電極 2 1 4 を延出部 2 4 6 に露出した状態のランド部 2 4 9 に転写法等を用いて設けることにより、図 9 6 (D) に示す半導体装置 2 1 0 K が製造される。

10 続いて、本発明の第 4 2 及び第 4 3 実施例に係る半導体装置及びその製造方法について説明する。図 9 7 は本発明の第 4 2 実施例である半導体装置 2 1 0 L 及びその製造方法を説明するための図であり、また図 9 8 は本発明の第 4 3 実施例である半導体装置 2 1 0 M 及びその製造方法を説明するための図である。尚、図 9 7 及び図 9 8 において、図 8 8 乃至図 9 0、及び図 9 6 に示した構成と同一構成については同一符号を付してその説明を省略する。

15 図 9 7 (D) は、本発明の第 4 2 実施例である半導体装置 2 1 0 L を示している。本実施例に係る半導体装置 2 1 0 L は、前記した第 4 1 実施例である半導体装置 2 1 0 K と同様に、枠体 2 1 3 の上面側に第 2 の放熱板 2 3 4 を設けた構成とされている。しかるに、本実施例に係る半導体装置 2 1 0 L は、第 4 1 実施例である半導体装置 2 1 0 K に対し、配線基板 2 4 5 の配置が上下逆の構成となっている。

20 25 即ち、図 9 7 (A) に示されるように、配線基板 2 4 5 は、下層側からベースフィルム 2 1 7, リード 2 1 8, 絶縁膜 2 1 9 が順次積層された構成となっている。このように、第 4 1 実施例である半導体装置 2 1 0 K に対して配線基板 2 4 5 が上下逆に配置された構成としても、第 4 1 実施例である半導体装置 2 1 0 K と同様の効果

を有する半導体装置 2 1 0 G を実現することができる。

尚、本実施例の構成では、延出部 2 4 6 は第 2 の放熱板 2 3 4 側
5 に向けて上側に折曲される構成とされている。また、本実施例の構成では、絶縁膜 2 1 9 は必ずしも形成する必要はなく、枠体 2 1 3
及び各接着剤 2 2 2, 2 4 7 の材質を電氣的に絶縁性を有する材質
とすることにより、絶縁膜 2 1 9 を不要とすることができる。

図 9 8 (D) は、本発明の第 4 3 実施例である半導体装置 2 1 0
M を示している。本実施例に係る半導体装置 2 1 0 M も、前記した
10 第 4 1 実施例である半導体装置 2 1 0 K と同様に、枠体 2 1 3 の上
面側に第 2 の放熱板 2 3 4 を設けた構成とされている。しかるに、
本実施例に係る半導体装置 2 1 0 K では、前記した第 4 1 及び第 4
2 実施例に係る半導体装置 2 1 0 K, 2 1 0 L では延出部 2 4 6 を
第 2 の放熱板 2 3 4 側に折曲していたのに対し、延出部 2 4 6 を放
熱板 2 3 3 側に折曲したことを特徴とするものである。尚、延出部
15 2 4 6 を折曲し放熱板 2 3 3 に接着する方法は、先に図 9 3 を用い
て説明した第 3 8 実施例に係る半導体装置 2 1 0 H と同じであるた
め、その説明は省略する。

本実施例に係る半導体装置 2 1 0 M によれば、延出部 2 4 6 が放
熱板 2 3 3 の下部に位置する構成となるため、第 2 の放熱板 2 3 4
20 が外部に露出した構成となる。このため、半導体素子 2 1 1 で発生
する熱を第 2 の放熱板 2 3 4 を介して効率よく放熱することが可能
となり、よって半導体装置 2 1 0 M の放熱特性を向上させることが
できる。更に、本実施例に係る半導体装置 2 1 0 M においても、延
出部 2 4 6 が折曲され、この折曲部分に突起電極 2 1 4 が形成され
25 るため、半導体装置 2 1 0 M の小型化を図ることができる。

続いて、本発明の第 4 4 実施例に係る半導体装置及びその製造方
法について説明する。図 9 9 は本発明の第 4 4 実施例である半導体
装置 2 1 0 N 及びその製造方法を説明するための図である。尚、図
9 9 において、図 3 7 及び図 8 8 乃至図 9 0 に示した構成と同一構

成については同一符号を付してその説明を省略する。

図 9 9 (D) は、本発明の第 4 4 実施例である半導体装置 2 1 0 N を示している。本実施例に係る半導体装置 2 1 0 N に配設される
5 枠体 2 1 3 A は、図 9 6 を用いて説明した半導体装置 2 1 0 K における第 2 の放熱板 2 3 4 と枠体 2 1 3 とを一体化した構成とされている。従って、枠体 2 1 3 A に形成されるキャビティ 2 2 3 A は、底部 2 3 7 を有した有底形状とされている。

半導体素子 2 1 1 は底部 2 3 7 に接着剤 2 3 6 を用いて固定され、
また配線基板 2 4 5 は枠体 2 1 3 A の図中下面に配設される。従っ
10 て、本実施例の構成でも半導体素子 2 1 1 と配線基板 2 4 5 とのワイヤボンディングが可能となる。また、本実施例に係る半導体装置 2 1 0 N の構成では、第 4 1 実施例に係る半導体装置 2 1 0 K に比べて部品点数及び製造工程が削減されるため、半導体装置 2 1 0 N のコスト低減を図ることができる。

15 続いて、半導体装置 2 1 0 N の製造方法について説明する。本実施例に係る半導体装置 2 1 0 N においても、半導体素子 2 1 1 と配線基板 2 4 5 とを電氣的に接続する手段としてワイヤ 2 3 5 を用いている。このため、先ず枠体 2 1 3 A に形成されている底部 2 3 7
20 に接着剤 2 3 6 を用いて半導体素子 2 1 1 を接着すると共に枠体 2 1 3 A の図中下面に配線基板 2 4 5 を接着し、その上で配線基板 2 4 5 のリード 2 1 8 と半導体素子 2 1 1 との間にワイヤボンディング法を用いてワイヤ 2 3 5 を配設する。

このワイヤボンディング処理が終了すると、前記した各実施例と同様に圧縮成形法により封止樹脂 2 1 5 を形成する。この圧縮成形
25 の際、枠体 2 1 3 A は底部 2 3 7 が形成されることにより面一の状態となっており、封止樹脂 2 1 5 が直接上型 2 2 5 と接触することはなく、よって離型性を向上させることができる。図 9 9 (A) は、上記のようにして放熱板 2 3 4、ワイヤ 2 3 5、及び封止樹脂 2 1 5 が配設された配線基板 2 4 5 を示している。

続いて、図 9 6 (B), (C) に示されるように、配線基板 2 4 5 に形成された延出部 2 4 6 を枠体 2 1 3 A の上面側に折曲し、第 2 の接着材 2 4 7 を用いて放熱板 2 3 4 に固定する。その上で、突起電極 2 1 4 を延出部 2 4 6 に露出した状態のランド部 2 4 9 に転写法等を用いて設けることにより、図 9 9 (D) に示す半導体装置 2 1 0 N が製造される。

続いて、本発明の第 4 5 及び第 4 6 実施例に係る半導体装置及びその製造方法について説明する。図 1 0 0 は本発明の第 4 5 実施例である半導体装置 2 1 0 P 及びその製造方法を説明するための図であり、また図 1 0 1 は本発明の第 4 6 実施例である半導体装置 2 1 0 Q 及びその製造方法を説明するための図である。尚、図 1 0 0 及び図 1 0 1 において、図 8 8 乃至図 9 0、及び図 9 9 に示した構成と同一構成については同一符号を付してその説明を省略する。

図 1 0 0 (D) は、本発明の第 4 5 実施例である半導体装置 2 1 0 P を示している。本実施例に係る半導体装置 2 1 0 P は、前記した第 4 4 実施例である半導体装置 2 1 0 N と同様に、枠体 2 1 3 A に底部 2 3 7 が一体的に形成された構成とされている。しかるに、本実施例に係る半導体装置 2 1 0 P は、第 4 4 実施例である半導体装置 2 1 0 N に対し、配線基板 2 4 5 の配置が上下逆の構成となっている。

即ち、図 1 0 0 (A) に示されるように、配線基板 2 4 5 は、下層側からベースフィルム 2 1 7, リード 2 1 8, 絶縁膜 2 1 9 が順次積層された構成となっている。このように、第 4 4 実施例である半導体装置 2 1 0 N に対して配線基板 2 4 5 が上下逆に配置された構成としても、第 4 4 実施例である半導体装置 2 1 0 N と同様の効果を有する半導体装置 2 1 0 P を実現することができる。

尚、本実施例の構成では、延出部 2 4 6 は枠体 2 1 3 A の上面側に向けて上側に折曲される構成とされている。また、本実施例の構成では、絶縁膜 2 1 9 は必ずしも形成する必要はなく、枠体 2 1 3

A及び各接着剤 2 2 2, 2 4 7 の材質を電氣的に絶縁性を有する材質とすることにより、絶縁膜 2 1 9 を不要とすることができる。

5 図 1 0 1 (D) は、本発明の第 4 6 実施例である半導体装置 2 1 0 Q を示している。本実施例に係る半導体装置 2 1 0 Q も、前記した第 4 4 実施例である半導体装置 2 1 0 N と同様に、枠体 2 1 3 A に底部 2 3 7 が一体的に形成された構成とされている。しかるに、本実施例に係る半導体装置 2 1 0 Q では、前記した第 4 4 及び第 4 5 実施例に係る半導体装置 2 1 0 N, 2 1 0 P では延出部 2 4 6 を枠体 2 1 3 A の上面側に折曲していたのに対し、延出部 2 4 6 を放熱板 2 3 3 側に折曲したことを特徴とするものである。尚、延出部 10 2 4 6 を折曲し放熱板 2 3 3 に接着する方法は、先に図 9 3 を用いて説明した第 3 8 実施例に係る半導体装置 2 1 0 H と同じであるため、その説明は省略する。

本実施例に係る半導体装置 2 1 0 Q によれば、延出部 2 4 6 が放熱板 2 3 3 の下部に位置し、この位置に突起電極 2 1 4 が形成されるため、半導体装置 2 1 0 Q の小型化を図ることができる。また、枠体 2 1 3 A の上部には何も構成物が配設されないため、枠体 2 1 3 A の材質を放熱性の良好なものに選定することにより、半導体素子 2 1 1 で発生する熱を第 2 の放熱板 2 3 4 を介して効率よく放熱 15 することが可能となり、よって半導体装置 2 1 0 M の放熱特性を向上させることができる。

続いて、本発明の第 4 7 実施例に係る半導体装置及びその製造方法について説明する。図 1 0 2 は本発明の第 4 7 実施例である半導体装置 2 1 0 R 及びその製造方法を説明するための図である。尚、 25 図 1 0 2 において図 8 8 乃至図 9 0、及び図 9 9 に示した構成と同一構成については同一符号を付してその説明を省略する。

図 1 0 2 (F) は、本発明の第 4 7 実施例である半導体装置 2 1 0 R を示している。本実施例に係る半導体装置 2 1 0 R に配設される枠体 2 1 3 A は、図 9 9 を用いて説明した半導体装置 2 1 0 N と

同一構成を有している。即ち、枠体 2 1 3 A は一体的に形成された底部 2 3 7 を有した構成とされている。

しかるに、本実施例で用いられている配線基板 2 4 5 A は、図 8 9 (A) 及び図 1 0 3 に示した配線基板 2 4 5 と異なり、基部 2 5 1 A に半導体素子 2 1 1 を装着するための装着孔 2 4 8 は形成されてい
5 ない。ここで、本実施例に係る半導体装置 2 1 0 R に用いる配線基板 2 4 5 A を図 1 0 6 に拡大して示す。

同図に示されるように、後に突起電極 2 1 4 が配設されるランド部 2 4 9 は配線基板 2 4 5 A の基部 2 5 1 A に形成されており、基部 2 5 1 A の外周四辺に延出形成された各延出部の外側縁部には半
10 導体素子 2 1 1 とワイヤボンディングされる接続電極 2 5 3 が形成されている。この接続電極 2 5 3 とランド部 2 4 9 とは、延出部 2 4 6 及び基部 2 5 1 に形成されたリード 2 1 8 により電氣的に接続されている。

上記構成とされた配線基板 2 4 5 A は、図 1 0 2 (A) に示されるように、基部 2 5 1 A が枠体 2 1 3 A の底部 2 3 7 上に位置決めされ、接着剤 (図示せず) 等を用いてこの側部 2 3 7 に固定される。この状態において、延出部 2 4 6 は枠体 2 1 3 A の外周より外側に延出した状態となっている。また、枠体 2 1 3 A に形成されたキャ
15 ビティ 2 2 3 A の内部には半導体素子 2 1 1 が接着剤 2 3 6 により搭載されており、更に枠体 2 1 3 A の下面には、延出部 2 4 6 を枠体 2 1 3 A に固定するための接着剤 2 4 7 A が塗布されている。

上記のように配線基板 2 4 5 A の基部 2 5 1 A が枠体 2 1 3 A の底部 2 3 7 に固定されると、本実施例では前記した各実施例と異なり樹脂封止工程を実施することなく、先ず延出部 2 4 6 を折曲形成する折曲工程を実施する。具体的には、図 1 0 2 (B) に矢印で示
20 すように延出部 2 4 6 を折り曲げ、延出部 2 4 6 を接着剤 2 4 7 A により枠体 2 1 3 A に固定する。

上記の折曲工程を行なうことにより、図 1 0 2 (C) に示すよう

に、延出部 2 4 6 に形成されている接続電極 2 5 3 と半導体素子 2 1 1 とは近接した状態となる。この状態において、ワイヤボンディング法を用いて接続電極 2 5 3 と半導体素子 2 1 1 との間にワイヤ 2 3 5 を配設する。図 1 0 2 (D) は接続電極 2 5 3 と半導体素子 2 1 1 との間にワイヤ 2 3 5 が配設された状態を示している。

本実施例では、上記した延出部 2 4 6 を折曲するの折曲工程、及びワイヤ 2 3 5 を配設するワイヤボンディング工程が終了した後、樹脂封止工程を実施して封止樹脂 2 1 5 を形成する構成としている。図 1 0 2 (E) は封止樹脂 2 1 5 が形成された配線基板 2 4 5 A を示している。この樹脂封止工程は、前記した金型 2 2 4 を用いて行なうことができ、よって圧縮成形法により封止樹脂 2 1 5 は形成される。また本実施例では、封止樹脂 2 1 5 の形成と同時に放熱板 2 3 3 を配設する方法が用いられている (図 8 2 参照)。

上記のように封止樹脂 2 1 5 が形成されると、続いてランド部 2 4 9 に例えば転写法を用いて突起電極 2 1 4 が形成され、図 1 0 2 (F) に示される半導体装置 2 1 0 R が製造される。このように、製造された半導体装置 2 1 0 R は、突起電極 2 1 4 の形成される位置が枠体 2 1 3 A の底部 2 3 7 側であり、この位置にはキャビティ 2 2 3 A は形成されていないため、底部 2 3 7 の全領域を突起電極 2 1 4 の形成領域とすることができる。このため、突起電極 2 1 4 の配設ピッチを広く設定したり、また突起電極 2 1 4 の配設数を多くすることが可能となる。

続いて、上記した各実施例に係る半導体装置 2 1 0 E ~ 2 1 0 R に用いられる配線基板 2 4 5 の他実施例について図 1 0 4 乃至図 1 1 0 を用いて説明する。尚、図 1 0 4 乃至図 1 1 0 において、先に図 1 0 3 を用いて説明した配線基板 2 4 5 の構成と対応する構成については同一符号を附し、その説明を省略する。

図 1 0 4 に示される配線基板 2 4 5 B は、半導体素子 2 1 1 がフリップチップ接合されるタイプ (以下、TAB タイプという) の配

線基板である。従って、インナーリード部 2 2 0 は装着孔 2 4 8 の内部に突出した構成とされている。

5 本実施例に係る配線基板 2 4 5 B は、折曲工程において折り曲げられる部位のベースフィルム 2 1 7 を除去したことを特徴とするものである。ベースフィルム 2 1 7 を除去することにより、リード 2 1 8 は露出された状態となり強度が弱くなるため、このベースフィルム 2 1 7 の除去位置には撓み易いソルダーレジスト 2 5 4 が配設されている。

10 上記構成とされた配線基板 2 4 5 B によれば、折曲位置において配線基板 2 4 5 B の膨らみの発生を防止でき、配線基板 2 4 5 B と枠体 2 1 3, 2 1 3 A, 放熱板 2 3 3, 2 3 4 等との密着性を向上させることができる。従って、配線基板 2 4 5 B が枠体 2 1 3, 2 1 3 A, 放熱板 2 3 3, 2 3 4 等から剥離することを防止できるため、半導体装置 2 1 0 E ~ 2 1 0 R の信頼性を向上することができる。
15 また、上記のように配線基板 2 4 5 B が枠体 2 1 3, 2 1 3 A, 放熱板 2 3 3, 2 3 4 等と密着した状態となることにより、半導体装置 2 1 0 E ~ 2 1 0 R の小型化を図ることができる。

20 また、図 1 0 5 に示される配線基板 2 4 5 C は、半導体素子 2 1 1 がリード 2 1 8 とワイヤボンディング法で接合されるタイプ（以下、ワイヤ接続タイプという）の配線基板であることを特徴とする。従って、図 1 0 3 及び図 1 0 4 に示した T A B タイプの配線基板 2 4 5, 2 4 5 A と異なり、インナーリード部 2 2 0 は装着孔 2 4 8 の内部に突出してはいない。尚、図 1 0 6 に示される配線基板 2 4 5 A は、先に説明したため、ここでの説明は省略する。

25 また、図 1 0 7 に示される配線基板 2 4 5 D は T A B タイプの配線基板であり、本実施例では、各延出部 2 4 6 A の形状を三角形としたことを特徴とするものである。このように、延出部 2 4 6 A を三角形形状としたことにより、パッド部 2 4 9 を三角形を構成する傾斜辺に沿って配設することが可能となる。

これにより、隣接するパッド部 2 4 9 の（即ち、突起電極 2 1 4 の）配設ピッチを広くすることができパッド部 2 4 9 の形成を容易に行なうことができると共に、半導体素子 2 1 1 が高密度化し突起電極 2 1 4 の数が増大しても、これに十分対応することができる。

5 尚、図 1 0 7 に示す実施例では、延出部 2 4 6 A の形状を三角形とした例を示したが、延出部 2 4 6 A の形状は三角形に限定されるものではなく、パッド部 2 4 9 の配設ピッチを広くすることができる形状であれば、他の形状としてもよい。

10 また、図 1 0 8 に示される配線基板 2 4 5 E は T A B タイプの配線基板であり、延出部 2 4 6 A の形状を三角形とすると共に、ベースフィルム 2 1 7 の折り曲げられる部位を除去したことを特徴とするものである。本実施例による配線基板 2 4 5 E によれば、配線基板 2 4 5 E が枠体 2 1 3、2 1 3 A、放熱板 2 3 3、2 3 4 等から剥離することを防止できるため装置の小型化及び信頼性の向上を図ることができる。かつ、パッド部 2 4 9 の形成の容易化及び半導体素子 2 1 1 の高密度化に対応することができる。尚、本実施例においても、ベースフィルム 2 1 7 の除去位置にはリード 2 1 8 を保護するためのソルダーレジスト 2 5 4 が配設されている。

20 また、図 1 0 9 に示される配線基板 2 4 5 F、2 4 5 G、2 4 5 H は T A B タイプの配線基板であり、ベースフィルム 2 1 7（図中、梨地で示す）に接続孔を形成することによりランド部 2 4 9 を形成したことを特徴とするものである。図 1 0 9（A）に示される配線基板 2 4 5 F は延出部 2 4 6 と基部 2 5 1 とが一体的にされた構成であり、また図 1 0 9（B）に示される配線基板 2 4 5 G は折り曲げられる部分のベースフィルム 2 1 7 を除去してソルダーレジスト 2 5 4 を配設したものであり、更に図 1 0 9（C）に示される配線基板 2 4 5 H は基部 2 5 1 A にランド部 2 4 9 を形成したものである。

25 本実施例による配線基板 2 4 5 F、2 4 5 G は、先に説明した半

導体装置 210 G (図 9 2 参照), 210 H (図 9 3 参照), 210 I (図 9 4 参照), 210 J (図 9 5 参照), 210 L (図 9 7 参照), 210 M (図 9 8 参照), 210 P (図 100 参照), 210 Q (図 101 参照) に適用することができる。また、本実施例
5 による配線基板 245 H は先に説明した半導体装置 210 R (図 102 参照) に適用することができる。

また、図 109 は先に図 106 を用いて説明した配線基板 245 A の変形例である配線基板 245 I を示しており、具体的には接続
電極 253 (図中梨地で示す) の形成部分を拡大して示している。

10 本実施例に係る配線基板 245 I では、千鳥状となるよう接続電極 253 を配設すると共に、各接続電極 253 の角部 253 a が曲線形状を有するよう形成したことを特徴とするものである。接続電極 253 を千鳥状とすることにより、各接続電極 253 の面積を広くすることができるため、半導体素子 211 との間にワイヤ 235
15 を配設する際にワイヤボンディング処理 (電氣的接続処理) を簡単化することができる。

また、接続電極 253 の角部 253 a を曲線状に形成することにより、例えば半導体素子 211 と接続電極 253 とをワイヤボン
ディングする際、ワイヤ 235 と接続電極 253 との接合に用いる
20 ボンディング治具 (超音波溶接治具) が当接された時に発生する応力を分散することが可能となり、よってワイヤ 235 と接続電極 253 との電氣的接続処理を確実にこなうことができる。

続いて、本発明の第 48 実施例に係る半導体装置及びその製造方法について図 111 乃至図 113 を用いて説明する。尚、図 111
25 乃至図 113 において、図 88 乃至図 90 に示した第 35 実施例に係る半導体装置 210 E の構成と対応する構成については同一符号を附してその説明を省略するものとする。

図 111 は本発明の第 48 実施例である半導体装置 210 S を示しており、図 112 及び図 113 は半導体装置 210 S の製造方法

を示している。本実施例に係る半導体装置 2 1 0 S は、突起電極としていわゆるメカニカルバンプ 2 5 5 を用いたことを特徴とするものである。メカニカルバンプ 2 5 5 は、配線基板 2 4 5 J に形成されているリード 2 1 8 を塑性加工することにより配線基板 2 4 5 J の表面から突出させ、これにより突起電極を形成した構成とされている。

前記したようにメカニカルバンプ 2 5 5 はリード 2 1 8 を塑性加工することにより形成されるため、突起電極をメカニカルバンプ 2 5 5 により構成することにより、前記した各実施例で説明したように転写法を用いた場合に必要となるボール材を不要とすることができ、よって部品点数の削減及び製造工程の簡易化を図ることができる。更に、塑性加工方法としては、例えばリード 2 1 8 をポンチ（治具）等でプレス加工するだけの簡単な処理でよいから、低コストでかつ容易にメカニカルバンプ 2 5 5（突起電極）を形成することが可能となる。

次に、半導体装置 2 1 0 S の製造方法について説明する。図 1 1 2（A）は、メカニカルバンプ 2 5 5 が形成された配線基板 2 4 5 J に樹脂封止工程を実施した状態を示している。同図に示されるように、本実施例ではメカニカルバンプ 2 5 5 は配線基板 2 4 5 J の延出部 2 4 6 に形成されている。

ここで、図 1 1 2（A）における矢印 A で示す部分（メカニカルバンプ 2 5 5 の形成部分）を図 1 1 2（B）～（D）に拡大して示す。各図に示されるように、メカニカルバンプ 2 5 5 の構成は種々の態様とすることが可能である。以下、夫々の構成について説明する。

図 1 1 2（B）に示されるメカニカルバンプ 2 5 5 A は、リード 2 1 8 を絶縁膜 2 1 9 と一体的にプレス加工（塑性加工）することにより、ベースフィルム 2 1 7 に形成された接続孔 2 1 7 b から突出させ、更にリード 2 1 8 及び絶縁膜 2 1 9 が突出されることによ

りその背面側に形成される凹部内にコア 2 5 6 を配設したことを特徴とするものである。このコア 2 5 6 は、メカニカルバンプ 2 5 5 A の背面側に形成される凹部に対応した形状とされている。

5 上記構成のメカニカルバンプ 2 5 5 A は、リード 2 1 8 を絶縁膜 2 1 9 と共にプレス加工するため、絶縁膜 2 1 9 の除去処理が不要であり、よってメカニカルバンプ 2 5 5 A の形成工程を簡単化することができる。また、メカニカルバンプ 2 5 5 A の背面側に必然的に形成される凹部にはコア 2 5 6 が配設されるため、半導体装置 2 1 0 S を実装する際にメカニカルバンプ 2 5 5 A が押圧された場合
10 においても、メカニカルバンプ 2 5 5 A が変形するようなことはない。

図 1 1 2 (C) に示される構成では、絶縁膜 2 1 9 を除去した上でリード 2 1 8 をプレス加工（塑性加工）することによりメカニカルバンプ 2 5 5 B が形成される。また、本実施例においてもメカニカルバンプ 2 5 5 B の背面側に形成される凹部内にはコア 2 5 6 が
15 配設される。

上記構成のメカニカルバンプ 2 5 5 B は、リード 2 1 8 のみをプレス加工するため、絶縁膜 2 1 9 と共にリード 2 1 8 を加工する図 1 1 2 (B) の構成に比べてメカニカルバンプ 2 5 5 B の形状を精度よく形成することができる。即ち、絶縁膜 2 1 9 の厚さにバラツキがあると形成されるメカニカルバンプ 2 5 5 B の形状にこれが影響することが考えられるが、本実施例の構成では絶縁膜 2 1 9 の厚さが影響することはなく、よって精度の高いメカニカルバンプ 2 5 5 B を形成することができる。
20

25 図 1 1 2 (D) に示される構成は、前記した図 1 1 2 (B) に示される構成において、コア 2 5 6 を用いず、第 2 の接着剤 2 4 7 をメカニカルバンプ 2 5 5 C の背面側に形成される凹部内に充填した構成としたことを特徴とするものである。

前記したように、第 2 の接着剤 2 4 7 は延出部 2 4 6 を枠体 2 1

3等に固定する機能を奏するものであるが、この第2の接着剤247は固化することにより所定の硬度を有するようになる。このため、第2の接着剤247を前記した凹部に充填することにより、第2の接着剤247にコア256と同等の機能を奏させることができる。

5

このように、第2の接着剤247をコア256として用いることにより、図112(B)、(C)に示す構成に比べて部品点数を削減することができると共に、メカニカルバンプ255Cの形成工程の簡単化を図ることができる。

10

上記の各形成方法の何れかを用いて配線基板245Jにメカニカルバンプ255が形成されると、この配線基板245Jに半導体素子211がフリップチップ接合され、続いて圧縮成形法を用いて樹脂封止工程が実施され、図112(A)に示される状態となる。続いて、図113に示されるように折曲工程が実施され、延出部246は枠体213の上面側に折曲され、第2の接着剤247により枠体213に固定される。これにより、図111に示される半導体装置210Sが製造される。

15

図114は、本発明の第49実施例である半導体装置210T及びその製造方法を示している。先に図111乃至図113を用いて説明した半導体装置210S及びその製造方法では、半導体素子211と配線板245Jとの接続方法として、フリップチップ接合を用いていた。

20

これに対して本実施例では、図114に示されるように、半導体素子211と配線板245Jとをワイヤ235により接続したことを特徴とするものである。このように、メカニカルバンプ255を用いた構成であっても、半導体素子211と配線板245Jとの接続は、TAB法或いはワイヤボンディング法の何れをも用いることが可能である。尚、本実施例は、図111乃至図113を用いて説明した半導体装置210S及びその製造方法に対し、半導体素子2

25

1 1 と配線板 2 4 5 J との接続構造が異なるのみで、他の構成及び製造方法は同一であるためその説明は省略する。

5 続いて、本発明の第 5 0 実施例に係る半導体装置及びその製造方法について説明する。図 1 1 5 は本発明の第 5 0 実施例である半導体装置 2 1 0 U 及びその製造方法を説明するための図である。尚、図 1 1 5 において図 1 0 2、及び図 1 1 1 乃至図 1 1 2 に示した構成と同一構成については同一符号を付してその説明を省略する。

10 図 1 1 5 (F) は、本発明の第 5 0 実施例である半導体装置 2 1 0 U を示している。本実施例に係る半導体装置 2 1 0 U に配設される枠体 2 1 3 A は、図 1 0 2 を用いて説明した半導体装置 2 1 0 R と同一構成を有している。即ち、枠体 2 1 3 A は一体的に形成された底部 2 3 7 を有した構成とされている。また、本実施例で用いられている配線基板 2 4 5 K は、基部 2 5 1 A に突起電極 2 5 5 が形成された構成とされている。

15 上記構成とされた配線基板 2 4 5 K は、図 1 1 5 (A) に示されるように、基部 2 5 1 A が枠体 2 1 3 A の底部 2 3 7 上に位置決めされ、図中配線板 2 4 5 K の下面に配設されている第 2 の接着剤 2 4 7 を用いてこの側部 2 3 7 に固定される。この状態において、延出部 2 4 6 は枠体 2 1 3 A の外周より外側に延出した状態となっている。また、枠体 2 1 3 A に形成されたキャビティ 2 2 3 A の内部
20 には、半導体素子 2 1 1 が接着剤 2 3 6 により搭載されている。

上記のように配線基板 2 4 5 A の基部 2 5 1 A が枠体 2 1 3 A の底部 2 3 7 に固定されると、樹脂封止工程を実施することなく図 1 1 5 (B), (C) に示すように延出部 2 4 6 を折り曲げ、接着剤 2 4 7 A により延出部 2 4 6 を枠体 2 1 3 A に固定する。続いて、
25 ワイヤボンディング法を用いて接続電極 2 5 3 と半導体素子 2 1 1 との間にワイヤ 2 3 5 を配設する。図 1 1 5 (D) は接続電極 2 5 3 と半導体素子 2 1 1 との間にワイヤ 2 3 5 が配設された状態を示している。

上記のようにワイヤ 2 3 5 が配設されると、続いて樹脂封止工程が実施される。図 1 1 5 (E) は配線基板 2 4 5 K が金型 2 2 4 C に装着された状態を示している。本実施例では、樹脂封止工程の実施前に配線基板 2 4 5 K にメカニカルバンプ 2 5 5 が形成されているため、金型 2 2 4 C の上型 2 2 5 B にはメカニカルバンプ 2 5 5 が挿入される挿入孔 2 5 7 が形成されている。

また、本実施例においても、封止樹脂 2 1 5 の形成には圧縮成形法が用いられている。更に、本実施例では、封止樹脂 2 1 5 の形成と同時に放熱板 2 3 3 を配設する方法が用いられている。そして、封止樹脂 2 1 5 が形成されることにより、図 1 1 5 (F) に示す半導体装置 2 1 0 U が製造される。

上記のように製造された半導体装置 2 1 0 U は、図 1 0 2 に示した半導体装置 2 1 0 R と同様に、メカニカルバンプ 2 5 5 の形成される位置は枠体 2 1 3 A の底部 2 3 7 側となり、この位置にはキャビティ 2 2 3 A は形成されていないため、底部 2 3 7 の全領域をメカニカルバンプ 2 5 5 の形成領域とすることができる。このため、メカニカルバンプ 2 5 5 の配設ピッチを広く設定したり、またメカニカルバンプ 2 5 5 の配設数を多くすることが可能となる。

図 1 1 6 は、メカニカルバンプ 2 5 5 を適用した各種半導体装置を示す図である。図 1 1 6 (A) は、先に図 8 1 を用いて説明した第 3 1 実施例に係る半導体装置 1 0 A において、突起電極としてメカニカルバンプ 2 5 5 を用いた構成の半導体装置 2 1 0 V である。また、図 1 1 6 (B) は、先に図 8 4 を用いて説明した第 3 2 実施例に係る半導体装置 1 0 B において、突起電極としてメカニカルバンプ 2 5 5 を用いた構成の半導体装置 2 1 0 W である。更に、図 1 1 6 (C) は、先に図 9 を用いて説明した第 3 4 実施例に係る半導体装置 2 1 0 D において、突起電極としてメカニカルバンプ 2 5 5 を用いた構成の半導体装置 2 1 0 X である。

各図に示されるように、延出部 2 4 6 を折曲形成しない半導体装

置 2 1 0 V ~ 2 1 0 X においても、突起電極としてメカニカルバン
プ 2 5 5 を適用できることができる。尚、図 1 1 6 に示した各半導
体装置 2 1 0 V ~ 2 1 0 X において、メカニカルバンパ 2 5 5 以外
の構成は、前記した半導体装置 2 1 0 A, 2 1 0 B, 2 1 0 D と同
5 一であるため、その説明については省略する。

続いて、本発明の第 5 1 実施例に係る半導体装置及びその製造方
法について説明する。図 1 1 7 は本発明の第 5 1 実施例である半導
体装置 2 1 0 Y 及びその製造方法を説明するための図である。尚、
図 1 1 7 において図 1 1 5 に示した構成と同一構成については同一
10 符号を付してその説明を省略する。

図 1 1 7 (E) は、本発明の第 5 1 実施例である半導体装置 2 1
0 Y を示している。本実施例に係る半導体装置 2 1 0 Y は、前記し
てきた各実施例に対し、枠体 2 1 3, 2 1 3 A を設けない構成とし
たことを特徴とするものである。従って、半導体素子 2 1 1 は、封
15 止樹脂 2 1 5 のみにより保持された構成となっている。このように、
枠体 2 1 3, 2 1 3 A を取り除き、封止樹脂 2 1 5 のみにより半導
体素子 2 1 1 を保持する構成とすることにより、半導体装置 2 1 0
Y の小型化を更に進めることができると共に、部品点数が削減され
ることによりコスト低減及び組み立て作業の簡単化を図ることがで
20 きる。

続いて、上記構成とされた半導体装置 2 1 0 Y の製造方法につい
て説明する。尚、以下の説明においては突起電極としてメカニカル
バンパ 2 5 5 を用いている者を例に挙げて説明するが、メカニカル
バンパ以外の突起電極が適用された半導体装置に対しても、以下の
25 説明に係る製造方法は適用できるものである。

図 1 1 7 (A) は、予めメカニカルバンパ 2 5 5 が形成されると
共に、半導体素子 2 1 1 が搭載された配線基板 2 4 6 L を金型 2 2
4 C に装着する状態を示している。本実施例においては、半導体素
子 2 1 1 と配線基板 2 4 6 L とはワイヤ 2 3 5 を用いて電氣的に接

続されている。また、本実施例で用いる金型 2 2 4 C は、図 1 1 5 (E) で示したものと同様に、上型 2 2 5 B にメカニカルバンプ 2 5 5 が挿入される挿入孔 2 5 7 が形成されている。

5 配線基板 2 4 6 L が金型 2 2 4 C に装着されると、上型 2 2 5 B と下型 2 2 6 は近接するように移動し、図 1 1 7 (B) に示されるように、配線基板 2 4 6 L は上型 2 2 5 B と下型 2 2 6 との間にクランプされた状態となる。

10 続いて、図 1 1 7 (C) に示されるように第 1 の下型半体 2 2 8 は上動し、封止樹脂 2 2 7 は所定の圧縮圧力をもって半導体素子 2 1 1, ワイヤ 2 3 5 等を封止してゆく。即ち、本実施例においても、封止樹脂 2 1 5 の形成には圧縮成形法が用いられている。また、本実施例では、第 1 の下型半体 2 2 8 の上部に放熱板 2 3 3 が載置された状態で樹脂封止処理が行なわれる構成とされているため、封止樹脂 2 1 5 の形成と同時に放熱板 2 3 3 を配設することができる。

15 図 1 1 7 (D) は、上記のように封止樹脂 2 1 5 が形成された配線基板 2 4 5 L を金型 2 2 4 C から離型した状態を示している。この状態では、配線基板 2 4 5 L は形成された封止樹脂 2 1 5 の側部に延出した不要延出部 2 5 8 が形成された状態となっている。この不要延出部 2 5 8 は、離型処理が行なわれた後に切断除去され、これにより図 1 1 7 (E) に示される半導体装置 2 1 0 Y が製造される。

20 図 1 1 8 は本発明の第 5 4 実施例である半導体装置 3 1 0 A を示している。図 1 1 8 (A) は半導体装置 3 1 0 A の断面図であり、また図 1 1 8 (B) は半導体装置 3 1 0 A の側面図である。

25 本実施例に係る半導体装置 3 1 0 A は、大略すると半導体素子 3 1 2, 電極板 3 1 4 A, 封止樹脂 3 1 6 A, 及び突出端子 3 1 8 からなる極めて簡単な構成とされている。半導体素子 3 1 2 (半導体チップ) は、半導体基板に電子回路が形成されたものであり、その実装面側には複数のバンプ電極 3 2 2 が形成されている。このバン

プ電極 3 2 2 は、例えば半田ボールを転写法を用いて配設した構成とされており、電極板 3 1 4 にフリップチップ接合により接合されている。その他、リフロー等も用いることができる。

5 このように、半導体素子 3 1 2 と電極板 3 1 4 とをフリップチップ接合したことにより、ワイヤを用いて接続する構成に比べて接合に要するスペースを小スペース化することができ、半導体装置 3 1 0 A の小型化を図ることができる。また、接合部分における配線長を短くすることができるため、インピーダンスを低減でき電気的特性の向上を図ることができる。更に、隣接するバンプ電極 3 2 2 間の
10 のピッチを狭ピッチ化できるため、多ピン化にも対応することができる。

 また、上記の電極板 3 1 4 はいわゆるインタポーザとして機能するものであり、例えば銅合金等の導電性金属により形成されている。この電極板 3 1 4 は、図 1 1 9 (A) に示されるように、所定の
15 パターン形状を有した複数の金属板パターン 3 2 6 により構成されている（尚、後述するように、図 1 1 9 (A) はリードフレーム状態の電極板 3 1 4 を示している）。

 この金属板パターン 3 2 6 は、図中下面に半導体素子 3 1 2 のバンプ電極 3 2 2 が接合されると共に、図中上面である半導体素子 3
20 1 2 の配設面と異なる面に突出端子 3 1 8 が接合される。よって、金属板パターン 3 2 6 は、バンプ電極 3 2 2 と突出端子 3 1 8 とを電氣的に接続する機能を奏する。また、図 1 1 8 (B) に示されるように、金属板パターン 3 2 6 の端部は封止樹脂 3 1 6 A の側面から露出し、側部端子 3 2 0 を形成している。

25 突出端子 3 1 8 は、例えば半田よりなるボールバンプ（突起電極）であり、上記のように電極板 3 1 4 に接合されている。この突出端子 3 1 8 は、金属板パターン 3 2 6 を介して対応する既定のバンプ電極 3 2 2 に電氣的に接続される。

 封止樹脂 3 1 6 A は、半導体素子 3 1 2，電極板 3 1 4，及び突

出端子 3 1 8 の一部を封止するよう形成されている。この封止樹脂 3 1 6 A は、例えばポリイミド、エポキシ等の絶縁性を有した樹脂であり、半導体素子 3 1 2 を覆い保護するに足る最小の大きさで形成されている。これにより、半導体装置 3 1 0 A の小型化を図ることができる。

また、封止樹脂 3 1 6 A を形成した状態において、半導体素子 3 1 2 の背面 3 2 8 は封止樹脂 3 1 6 A から露出するよう構成されている。半導体素子 3 1 2 の背面 3 2 8 は電子回路等は形成されておらず比較的強度が高い部位であるため、背面 3 2 8 を封止樹脂 3 1 6 A から露出させても特に不都合は生じない。また、返って背面 3 2 8 を封止樹脂 3 1 6 A から露出させることにより、半導体素子 3 1 2 で発生した熱は、この背面 3 2 8 から外部に放熱されるため、半導体装置 3 1 0 A の放熱効率を向上させることができる。

また前記のように、封止樹脂 3 1 6 A を形成した状態において、電極板 3 1 4 の端部は封止樹脂 3 1 6 A の側面から露出し側部端子 3 2 0 を形成している。このように、側部端子 3 2 0 が封止樹脂 3 1 6 A の側面から露出する構成とすることにより、側部端子 3 2 0 を突出端子 3 1 8 と共に他の基板或いは装置と接続する外部接続端子として用いることが可能となる。

図 1 2 8 は、本発明の第 5 4 実施例である半導体装置の実装構造を示しており、上記した構成の半導体装置 3 1 0 A を実装基板 3 3 2 に実装した状態を示している。同図に示されるように、実装状態では突出端子 3 1 8 は封止樹脂 3 1 6 A の底面と実装基板 3 3 2 との間に位置することとなり、外部から観察したりまたプローブ等のテスト治具を接続することはできない。

しかるに、半導体装置 3 1 0 A では、側部端子 3 2 0 を封止樹脂 3 1 6 A の側面から露出させた構成としているため、半導体装置 3 1 2 を実装基板 3 3 2 に実装した後においても、この側部端子 3 2 0 を用いて半導体素子 3 1 0 A の動作試験を行なうことが可能とな

る。よって、不良半導体装置の発見を容易に行なうことができ、実装時における歩留りの向上及び信頼性の向上を図ることができる。

再び図 1 1 8 に戻り、半導体装置 3 1 0 A の説明を続ける。

5 上記した封止樹脂 3 1 6 A は、半導体素子 3 1 2 を覆うばかりではなく、電極板 3 1 4 の突出端子 3 1 8 が接合された面にも形成されている。このため、突出端子 3 1 8 は封止樹脂 3 1 6 A により保持する機能を奏する。よって、外力印加等により突出端子 3 1 8 が半導体装置 3 1 0 A から離脱することを防止することができる。また、封止樹脂 3 1 6 A は絶縁性を有しているため、突出端子 3 1 8
10 の配設密度が高い場合（即ち、狭ピッチ化された場合）であっても、実装時に隣接する突出端子 3 1 8 間で短絡が発生することを防止することができる。

更に、突出端子 3 1 8 は、封止樹脂 3 1 6 A が形成された状態において、封止樹脂 3 1 6 A から突出するよう構成されている。この
15 ため、実装時に確実に突出端子 3 1 8 を実装基板 3 3 2 に接続することができる。また図 1 2 8 に示したように半導体装置 3 1 0 A を B G A (Ball Grid Array) と同様に取り扱うことができ、実装性の向上を図ることができる。

ここで、半導体装置 3 1 0 A に設けられた電極板 3 1 4 A に注目
20 する。

前記のように電極板 3 1 4 A は金属板であるため、この電極板 3 1 4 A を半導体素子 3 1 2 を保護する封止樹脂 3 1 6 A 内に設けることにより、電極板を封止樹脂 3 1 6 A を補強する補強材として機能させることができる。これにより、半導体素子 3 1 2 の保護をより
25 より確実に行なうことができ、よって半導体装置 3 1 0 A の信頼性を向上させることができる。また、電

極板 3 1 4 A は、外部接続端として機能する突出端子 3 1 8 及び側部端子 3 2 0 と、半導体素子 3 1 2 との間に位置するものである。

このため、従来のように半導体素子に直接外部接続端を接続する構

成と異なり、半導体装置 3 1 0 A の内部において電極板 3 1 4 A に
より半導体素子 3 1 2 と突出端子 3 1 8, 側部端子 3 2 0 との間で
配線の引回しを行なうことが可能となる。よって、電極板 3 1 4 を
5 設けることにより、半導体装置 3 1 2 及び外部接続端子（突出端子
3 1 8, 側部端子 3 2 0）の端子レイアウトの自由度を高めること
ができる。

更に、電極板 3 1 4 A は導電性金属よりなり、一般に導電性金属
（本実施例の場合は銅合金）は封止樹脂 3 1 6 A よりも熱伝導性が
10 良好であるため、半導体素子 3 1 2 で発生した熱は電極板 3 1 4 A
を介して外部に放熱される。よって、半導体素子 3 1 2 で発生した
熱を効率よく放熱することができ、半導体素子 3 1 2 の安定した動
作を担保することができる。

続いて、上記構成とされた半導体装置 3 1 0 A の製造方法につい
て説明する。

15 図 1 1 9 乃至図 1 2 2 は、半導体装置 3 1 0 A の製造方法を説明
するための図である。尚、図 1 1 9 乃至図 1 2 2 において、図 1 1
8 に示した構成と対応する構成については同一符号を付して説明す
る。

本実施例に係る製造方法は、電極板形成工程、チップ搭載工程、
20 突出端子形成工程、封止樹脂形成工程、切断工程とを有している。
電極板形成工程では、例えばリードフレーム材である銅合金（例え
ば、Cu-Ni-Sn 系）よりなる金属基板に対し、パターン成形
処理を行なうことにより複数の電極板 3 1 4 を有するリードフレー
ム 3 2 4 A を形成する。この電極板形成工程で実施されるパターン
25 成形処理は、エッチング法またはプレス加工法を用いて行なわれる。

このエッチング法及びプレス加工法は、一般の半導体装置の製造
工程において、リードフレーム形成法として一般に用いられている
手法である。よって、エッチング法またはプレス加工法を適用する
ことにより、設備の増加を伴うことなくリードフレーム 3 2 4 A を

形成することができる。

図 1 1 9 (A) は、リードフレーム 3 2 4 A の一部を拡大した図であり、4 個の電極板 3 1 4 A が示されている。本実施例に係る製造方法では、多数個取りを行なう構成とされているため、よって同図に示されるようにリードフレーム 3 2 4 A には複数の電極板 3 1 4 A が形成されている。

この電極位置 3 1 4 A は、前記したように複数の金属板パターン 3 2 6 により構成されている。この金属板パターン 3 2 6 は、上記のパターン成形処理において任意の配線パターンに設定することができるため、電極板 3 1 4 A により配線の引回しを行なうことが可能となり、これにより電極板 3 1 4 A に形成される外部接続端子の端子レイアウトに自由度を持たせることができる。

一方、図 1 1 9 (B) は、前記した電極板 3 1 4 A (リードフレーム 3 2 4 A) に搭載される半導体素子 3 1 2 (3 1 2 A ~ 3 1 2 C) を示している。本実施例では、一つの電極板 3 1 4 A に 3 個の半導体素子 3 1 2 A ~ 3 1 2 C を搭載する構成とされている。また、各半導体素子 3 1 2 A ~ 3 1 2 C には、夫々電極板 3 1 4 A と電氣的に接続するためのバンプ電極 3 2 2 が配設されている。

同図に示すように、半導体素子 3 1 2 A ~ 3 1 2 C の大きさは、必ずしも同一である必要はない。また、各電極板 3 1 4 A に形成された金属板パターン 3 2 6 は、各半導体装置 3 1 2 A ~ 3 1 2 C に形成されたバンプ電極 3 2 2 の形成位置と対応するよう構成されている。

上記した電極板形成工程が終了すると、続いてチップ搭載工程が実施される。このチップ搭載工程では、電極板 3 1 4 A に半導体素子 3 1 2 A ~ 3 1 2 C を搭載し電氣的に接続する処理が行なわれる。図 1 2 0 (A), (B) は、半導体素子 3 1 2 A ~ 3 1 2 C が電極板 3 1 4 A に搭載された状態を示している。

本実施例では、半導体素子 3 1 2 A ~ 3 1 2 C を電極板 3 1 4 A

に接合する手段として、直接バンプ電極 3 2 2 を電極板 3 1 4 A に接合するフリップチップ接合法が採用されている。このフリップチップ接合法を用いることにより、前記したように半導体素子 3 1 2 A ~ 3 1 2 C と電極板 3 1 4 A との接合エリアの小スペース化を図ることができると共に、接続インピーダンスの低減を図ることができる。

上記したチップ搭載工程が終了すると、続いて突出端子形成工程が実施される。この突出端子形成工程は、電極板 3 1 4 A を構成する金属板パターン 3 2 6 の所定位置に突起端子 3 1 8 を形成する。突起端子 3 1 8 は半田ボールにより構成されており、例えば転写法を用いて金属板パターン 3 2 6 に接合される。図 1 2 1 は、突起端子 3 1 8 が配設された電極板 3 1 4 A を示している。この突起端子 3 1 8 は、上記のように金属板パターン 3 2 6 の配線パターンを適宜選定することにより、マトリックス状に配設されている。

上記した突出端子形成工程が終了すると、続いて封止樹脂形成工程が実施される。この封止樹脂形成工程では、半導体素子 3 1 2 (3 1 2 A ~ 3 1 2 C) 及び突起端子 3 1 8 が配設されたリードフレーム 3 2 4 A を金型に装着し、圧縮成形法を用いて封止樹脂 3 1 6 A を形成する。封止樹脂 3 1 6 A を形成することにより、半導体素子 3 1 2 及び電極板 3 1 4 A は封止樹脂 3 1 6 A に封止される。よって、半導体素子 3 1 2 及び電極板 3 1 4 A は封止樹脂 3 1 6 A により保護され、よって半導体装置 3 1 0 A の信頼性を向上させることができる。

図 1 2 2 は、封止樹脂 3 1 6 A が形成されたリードフレーム 3 2 4 A を示している。同図に示すように、封止樹脂 3 1 6 A が形成された状態において、半導体素子 3 1 2 (3 1 2 A ~ 3 1 2 C) はその背面 3 2 8 を封止樹脂 3 1 6 A から露出されており、また突起端子 3 1 8 はその先端所定部分が封止樹脂 3 1 6 A から突出するよう構成されている。このように、半導体素子 3 1 2 の背面 3 2 8 を封

止樹脂 3 1 6 A から露出させることにより放熱効率を向上できると共に、突起端子 3 1 8 の先端部を封止樹脂 3 1 6 A から突出させることにより、実装性の向上を図ることができる。

5 上記した封止樹脂形成工程が終了すると、続いて切断工程が実施される。この切断工程では、多数個取りを行なうために複数個一括的に形成された半導体装置の各境界位置（図 1 2 2 に A - A で示す破線位置）で、封止樹脂 3 1 6 A 及びリードフレーム 3 2 4 A（電極板 3 1 4 A）を切断する。これにより、図 1 1 8 に示す半導体装置 3 1 0 A が形成される。

10 上記のように、封止樹脂 3 1 6 A と共にリードフレーム 3 2 4 A（電極板 3 1 4 A）を切断することにより、電極板 3 1 4 A の切断位置は封止樹脂 3 1 6 A の側面に必ず露出することとなり側部端子 3 2 0 を形成する。よって、この側部端子 3 2 0 を外部接続端子として用いることができる。

15 続いて、第 5 5 実施例に係る半導体装置 3 1 0 B について説明する。

図 1 2 3 は、第 5 5 実施例に係る半導体装置 3 1 0 B を説明するための図であり、図 1 2 3（A）は半導体装置 3 1 0 B の断面を、図 1 2 3（B）は半導体装置 3 1 0 B の底面を夫々示している。尚、
20 図 1 2 3 において、図 1 1 8 を用いて説明した第 5 4 実施例に係る半導体装置 3 1 0 A と同一構成については、同一符号を付してその説明を省略する。また、以下説明する各実施例においても、同様とする。

25 前記した第 5 4 実施例に係る半導体装置 3 1 0 A は、電極板 3 1 4 A に突起端子 3 1 8 を形成し、この突起端子 3 1 8 を封止樹脂 3 1 6 A から露出させる構成としていた。これに対し、本実施例に係る半導体装置 3 1 0 B は、突起端子 3 1 8 を設けることなく、電極板 3 1 4 A を直接封止樹脂 3 1 6 B から露出させたことを特徴とするものである。

本実施例に係る半導体装置 3 1 0 B は、突起端子 3 1 8 が設けられていないため、部品点数の削減及び製造工程の簡単化を図ることができる。また、電極板 3 1 4 A は、封止樹脂 3 1 6 B の側面に加え底面にも露出し外部接続端子を形成するため、側面及び底面の双方において実装を行なうことができる。

図 1 3 0 は、半導体装置 3 1 0 B を実装基板 3 3 2 に実装した構造を示している。同図に示されるように、半導体装置 3 1 0 B は実装基板 3 3 2 に半田 3 3 6 を用いてフェイスダウン実装されている。この際、半田 3 3 6 は、電極板 3 1 4 A の底面部ばかりでなく、側部端子 3 2 0 にも回り込んで半田付けされている。

また、本実施例に係る半導体装置 3 1 0 B は、後述する第 5 6 実施例に係る半導体装置 3 1 0 C と同様に側部端子 3 2 0 のみを用いて実装することも可能であり、よって実装構造の自由度を向上させることができる。

続いて、第 5 6 実施例に係る半導体装置 3 1 0 C について説明する。

図 1 2 4 は、第 5 6 実施例に係る半導体装置 3 1 0 C を説明するための図であり、図 1 2 4 (A) は半導体装置 3 1 0 C の断面を、図 1 2 4 (B) は半導体装置 3 1 0 C の上面を夫々示している。

前記した第 5 5 実施例に係る半導体装置 3 1 0 B は、電極板 3 1 4 A の底面及び側端部を共に直接封止樹脂 3 1 6 B から露出させた構成としていたが、本実施例に係る半導体装置 3 1 0 C は、電極板 3 1 4 A の側端部のみを封止樹脂 3 1 6 C から露出させ側部端子 3 2 0 を形成したことを特徴とするものである。

本実施例に係る半導体装置 3 1 0 C では、電極板 3 1 4 A が側部端子 3 2 0 を残し封止樹脂 3 1 6 C に埋設された構成とされているため、熱応力や外力により電極板 3 1 4 A が封止樹脂 3 1 6 C から剥離することを防止でき、半導体装置 3 1 0 C の信頼性を向上させることができる。

続いて、第 5 7 実施例に係る半導体装置 3 1 0 D について説明する。

図 1 2 5 は、第 5 7 実施例に係る半導体装置 3 1 0 D を説明するための図であり、図 1 2 5 (A) は半導体装置 3 1 0 D の断面を、
5 図 1 2 5 (B) は半導体装置 1 0 D の上面を、図 1 2 5 (C) は半導体装置 3 1 0 D の底面を夫々示している。

本実施例に係る半導体装置 3 1 0 D は、電極板 3 1 4 B に突起状端子 3 3 0 (突出端子) を形成したことを特徴とするものである。
この突起状端子 3 3 0 は電極板 3 1 4 B を塑性加工 (例えば、プレス加工) することにより形成されており、よって突起状端子 3 3 0
10 と電極板 3 1 4 B とは一体的な構成とされている。また、これに代えて、導電性の別物体を取付ける構成としてもよい。

また、突起状端子 3 3 0 の形成処理は、前記した電極板形成工程で一括的に形成することができる。このため、突起状端子 3 3 0 を
15 形成することにより製造工程が複雑になるようなことはなく、また突起状端子 3 3 0 を別部材により形成する構成に比べて部品点数の削減を図ることができる。

上記構成とされた突起状端子 3 3 0 は、図 1 2 5 (A), (B) に示されるように、封止樹脂 3 1 6 D の底面から露出するよう構成されている。このように、突起状端子 3 3 0 を封止樹脂 3 1 6 D の
20 底面から露出させることにより、突起状端子 3 3 0 を外部接続端子として機能させることができる。

図 1 3 4 は、上記した半導体装置 3 1 0 D を実装基板 3 3 2 に実装した状態を示している。同図に示されるように、半導体装置 3 1
25 0 D は半田 3 5 4 を用いて実装基板 3 3 2 に実装されるが、この際突起状端子 3 3 0 は封止樹脂 3 1 6 D の底面及び側面に露出した構成とされているため、半田 3 5 4 との接合面積を大きくすることができ、よって確実に突起状端子 3 3 0 を実装基板 3 3 2 に接続することができる。

また、突起状端子 3 3 0 及び側部端子 3 2 0 を除き、電極板 3 1 4 B は封止樹脂 3 1 6 D に埋設された構成となるため、隣接する突起状端子 3 3 0 は封止樹脂 3 1 6 D により絶縁される。このため、実装時に半田 3 5 4 により隣接する突起状端子 3 3 0 間で短絡が発生するようなことはなく、実装の信頼性を向上させることができる。

図 1 2 6 及び図 1 2 7 は、第 5 5 実施例に係る半導体装置の製造方法を示しており、前記した半導体装置 3 1 0 D の製造方法を示している。

尚、本実施例に係る製造方法は、図 1 1 9 乃至図 1 2 2 を用いて説明した第 5 4 実施例に係る製造方法に対し、電極板形成工程、封止樹脂形成工程、及び切断工程のみが異なり他の工程は同一であるため、以下の説明では電極板形成工程についてのみ説明するものとする。

本実施例に係る電極板形成工程では、電極板 3 1 4 B を有したリードフレーム 3 2 4 B を形成する際、突起状端子 3 3 0 も一括的に塑性加工される。このように、電極板 3 1 4 B を形成するため行なわれる切断加工と、突起状端子 3 3 0 を形成するため行なわれる塑性加工を一括的に実施するのは、リードフレーム 3 2 4 B を形成する金型の構成を適宜設定することにより容易に実現することができる。

図 1 2 6 は、電極板形成工程が実施されることにより形成されたリードフレーム 3 2 4 B を示している。同図において、ハッチングで示される部分が突起状端子 3 3 0 であり、この突起状端子 3 3 0 は電極板 3 1 4 B に対して突出した形状を有している。このように、本実施例によれば、突起状端子 3 3 0 の形成を電極板 3 1 4 B の形成と同時かつ一括的に行なうことができるため、半導体装置 3 1 0 D の製造工程の簡単化を図ることができる。

また、図 1 2 7 に示されるように、封止樹脂形成工程では突起状端子 3 3 0 が封止樹脂 3 1 6 D から露出するよう封止樹脂 3 1 6 D

を形成する。このように、突起状端子 330 を封止樹脂 316D から露出させるには、封止樹脂形成工程で用いる金型のキャビティ面を突起状端子 330 に当接させた状態とすることにより、容易に実現することができる。

5 また、切断工程における切断位置は、図 127 に A-A で示す破線位置とされており、突起状端子 330 の側面が封止樹脂 316D から露出するよう選定されている。よって、図 134 に示されるように、実装時において半田 354 は突起状端子 330 の側面までも回り込み、確実な半田付けを行なうことができる。

10 続いて、上記した各実施例に係る半導体装置 310A～310D を実装基板 332 に実装する実装構造について説明する。

図 128 乃至図 134 は、第 54 乃至第 60 実施例である半導体装置 310A～310D の実装構造を示している。尚、図 128 に示す半導体装置 310A を実装する第 54 実施例に係る実装構造、
15 図 130 に示す半導体装置 310B を実装する第 56 実施例に係る実装構造、及び図 134 に示す半導体装置 310D を実装する第 60 実施例に係る実装構造については既に説明済であるため、ここの説明は省略するものとする。

図 129 は、第 55 実施例に係る半導体装置の実装構造を示して
20 いる。

本実施例に係る実装構造は、第 54 実施例に係る半導体装置 310A を例に挙げたものであり、外部端子を形成する突起端子 318 に実装用バンプ 334 を配設し、この実装用バンプ 334 を介して半導体装置 310A を実装基板 332 に接合させたことを特徴とする
25 ものである。

このように、実装用バンプ 334 を介して半導体装置 310A を実装基板 332 に接合させる構造とすることにより、半導体装置 310A を BGA (Ball Grid Array) と同様に実装することができ、実装性の向上及び多ピン化への対応を図ることができる。

また、突起端子 3 1 8 は電極板 3 1 4 A に形成されるものであるため、その体積を大きくするには限界があるが、実装用バンプ 3 3 4 の体積は任意に設定することができる。よって、隣接する実装用バンプ 3 3 4 間で短絡が発生しない範囲において実装用バンプ 3 3 4 の体積を最大とすることにより、半導体装置 3 1 0 A と実装基板 3 3 2 との接合力を増大することができ、これにより実装の信頼性を向上させることができる。尚、本実施例に係る実装構造は、他の実施例に係る半導体装置 3 1 0 A, 3 1 0 B, 3 1 0 D についても適用できるものである。

図 1 3 1 は、第 5 7 実施例に係る半導体装置の実装構造を示している。

本実施例に係る実装構造は、第 5 5 実施例に係る半導体装置 3 1 0 B を例に挙げたものであり、実装部材 3 3 8 を用いて半導体装置 3 1 0 B を実装基板 3 3 2 に接合させたことを特徴とするものである。

実装部材 3 3 8 は、接続ピン 3 4 0 と位置決め部材 3 4 2 とにより構成されている。接続ピン 3 4 0 は、例えば可撓可能な導電性金属材料（例えば、導電性を有したバネ材）よりなり、電極板 3 1 4 A の外部接続端子として機能する位置と対応した位置に配設されている。また、位置決め部材 3 4 2 はシリコンゴム等の可撓性及び絶縁性を有した材料により形成されており、接続ピン 3 4 0 を上記の所定位置に位置決めする機能を奏するものである。

上記構成とされた実装部材 3 3 8 は、実装された状態において、接続ピン 3 4 0 の上端部が半導体装置 3 1 0 B の電極板 3 1 4 A に接合（例えば、半田付け接合）し、また接続ピン 3 4 0 の下端部は実装基板 3 3 2 に接合される。

従って本実施例に係る実装構造では、外部接続端子と実装基板との間には接続ピンが介在した構成となる。接続ピン 3 4 0 は、前記のように可撓可能な構成であるため、例えば加熱時等に半導体装置

3 1 0 B と実装基板 3 3 2 との間で熱膨張率差に起因した応力が発生しても、この応力は接続ピン 3 4 0 が可撓することにより吸収される。また、可撓可能でないピンの場合には、位置決め部材 3 4 2 により応力を吸収することができる。

5 よって、上記の応力が印加されても半導体装置 3 1 0 B と実装基板 3 3 2 との接合状態を確実に維持することができ、実装の信頼性を向上させることができる。この際、接続ピン 3 4 0 を保持する位置決め部材 3 4 2 も可撓性を有した構成とされているため、接続ピン 3 4 0 の可撓変形を阻止するようなことはなく、応力の吸収を確実に
10 行なうことができる。

更に、接続ピン 3 4 0 は位置決め部材 3 4 2 により位置決めされているため、実装時において個々の接続ピン 3 4 0 と半導体装置 3 1 0 B (電極板 3 1 4 A)、または個々の接続ピン 3 4 0 と実装基板 3 3 2 との位置決め処理を行なう必要はなく、実装作業の容易化
15 を図ることができる。尚、本実施例に係る実装構造は、他の実施例に係る半導体装置 3 1 0 A, 3 1 0 B, 3 1 0 D についても適用できるものである。

図 1 3 2 は、第 5 8 実施例に係る半導体装置の実装構造を示している。

20 本実施例に係る実装構造は、第 5 6 実施例に係る半導体装置 3 1 0 C を例に挙げたものであり、ソケット 3 4 4 を用いて半導体装置 3 1 0 C を実装基板 3 3 2 に実装したことを特徴とするものである。

ソケット 3 4 4 は、半導体装置 3 1 0 C が装着される装着部 3 4 6 と、封止樹脂 3 1 6 C の側面に露出した側部端子 3 2 0 と接続するよう設けられたリード部 3 4 8 とを有した構成とされている。そ
25 して、半導体装置 3 1 0 C を装着部 3 4 6 に装着し、リード部 3 4 8 の上部と半導体装置 3 1 0 C の側部端子 3 2 0 とを電氣的に接続した上で、リード部 3 4 8 の下部を実装基板 3 3 2 に接合 (例えば、半田付け接合) する。これにより、半導体装置 3 1 0 C はソケット

3 4 4 を介して実装基板 3 3 2 に実装される。

5 このように、ソケット 3 4 4 を用いて半導体装置 3 1 0 C を実装基板 3 3 2 に実装する構造とすることにより、実装基板 3 3 2 に対する半導体装置 3 1 0 C の装着脱は、単にソケット 3 4 4 に対し半導体装置 3 1 0 C を装着脱すればよいため、半導体装置 3 1 0 C の装着脱を容易に行なうことが可能となる。このため、例えばメンテナンス等において半導体装置 3 1 0 C を交換する必要が生じたような場合でも、容易に交換処理を行なうことができる。

10 また、ソケット 3 4 4 に設けられたリード部 3 4 8 は、装着部 3 4 6 の側部に配設されており、また半導体装置 3 1 0 C の側部端子 3 2 0 は封止樹脂 3 1 6 C の側面に露出した構成である。このため、半導体装置 3 1 0 C を装着部 3 4 6 に装着した状態においてリード部 3 4 8 と側部端子 3 2 0 とは対向するため、リード部 3 4 8 を引き回すことなくリード部 3 4 8 と半導体装置 3 1 0 C との接続を行
15 なうことができ、よってソケット 3 4 4 の構造の簡単化を図ることができる。

 図 1 3 3 は、第 5 9 実施例に係る半導体装置の実装構造を示している。

20 本実施例に係る実装構造は、前記した第 5 8 実施例に係る実装構造と同様にリード部 3 5 0 を用いて半導体装置 3 1 0 C を実装基板 3 3 2 に実装するものであるが、装着部 3 4 6 に代えてダイステージ 3 5 2 を利用したことを特徴とするものである。

25 本実施例に係るソケット 3 5 1 は、リードフレーム材料により一体的に形成されたリード部 3 5 0 とダイステージ 3 5 2 とにより構成されている。ダイステージ 3 5 2 は半導体装置 3 1 0 C を装着する部分であり、その外周位置に複数のリード部 3 5 0 が形成されている。このリード部 3 5 0 は、その半導体装置 3 1 0 C と対向する部分の一部が直角上方に折曲され、側部端子 3 2 0 と電氣的に接続するよう構成されている。

上記構成とされたソケット 3 5 1 を用いることによっても、第 5
8 実施例に係る実装構造と同様に半導体装置 3 1 0 C の装着脱を容
易に行なうことが可能となる。また、ソケット 3 5 1 を構成する
リード部 3 5 0 とダイステージ 3 5 2 は一体的な構成であるため、
5 部品点数の削減を図ることができると共に容易にソケット 3 5 1 を
製造することができる。

続いて、第 5 8 実施例である半導体装置 3 1 0 E について説明す
る。

図 1 3 5 は、第 5 8 実施例である半導体装置 3 1 0 E の断面図で
10 ある。本実施例に係る半導体装置 3 1 0 E は、前記した第 5 4 実施
例に係る半導体装置 3 1 0 A に対し、その上面に放熱板 3 5 6 (放
熱部材) を設けたことを特徴とするものである。

放熱板 3 5 6 は、例えばアルミニウム板等の熱伝導率が良好で、
かつ軽量の材質が選定されている。この放熱板 3 5 6 は、熱伝導性
15 が高い接着剤を用いて半導体素子 3 1 2 及び封止樹脂 3 1 6 A に接
着されている。このように、封止樹脂 3 1 6 A の半導体素子 3 1 2
に近接する位置に放熱板 3 5 6 を配設したことにより、半導体素子
3 1 2 で発生する熱を効率よく放熱することができる。

特に、本実施例では半導体素子 3 1 2 の背面 3 2 8 は封止樹脂 3
20 1 6 A から露出した構成とされており、放熱板 3 5 6 はこの露出
した背面 3 2 8 に直接接着された構成とされている。よって、放熱板
3 5 6 と半導体素子 3 1 2 との間に、熱伝導性が不良な封止樹脂 3
1 6 A が介在しないため、放熱特性を更に良好なものとするこ
とができる。

25 続いて、上記構成とされた半導体装置 3 1 0 E の製造方法 (第 5
6 実施例に係る製造方法) について説明する。

図 1 3 6 乃至図 1 4 1 は、半導体装置 3 1 0 E の製造方法を説明
するための図である。尚、図 1 3 6 乃至図 1 4 1 において、第 5 4
実施例に係る製造方法の説明に用いた図 1 1 9 乃至図 1 2 2 で示し

た構成と対応するものについては同一符号を付し、またその説明は省略する。

5 本実施例に係る製造方法は、第 5 4 実施例に係る製造方法に対し、少なくともチップ搭載工程を実施する前に、半導体素子 3 1 2 を放熱板 3 5 6 上に位置決めして取り付けるチップ取り付け工程を実施することを特徴とするものである。また、電極板形成工程、チップ搭載工程、突出端子形成工程、封止樹脂形成工程、及び切断工程は、基本的には第 5 4 実施例と同様の処理が行なわれる。

10 図 1 3 6 は、電極板形成工程を実施することにより形成されたリードフレーム 3 2 4 A の一部を拡大した図であり、図中破線で囲まれた領域が 1 個の半導体装置 3 1 0 E に対応する領域である（以下、この領域を接合領域 3 5 8 という）。

また、図 1 3 7 はチップ取り付け工程を説明するための図である。チップ取り付け工程では、前記した接合領域 3 5 8 と同一面積を有した放熱板 3 5 6 を形成しておき、この放熱板 3 5 6 上に半導体素子 3 1 2 （3 1 2 A ～ 3 1 2 C ）を電極板 3 1 4 A への配設位置と
15 対応する位置に位置決めして接着する。これにより、各半導体素子 3 1 2 （3 1 2 A ～ 3 1 2 C ）は、電極板 3 1 4 A への配設位置に固定されたこととなり、また 3 個の半導体素子 3 1 2 A ～ 3 1 2 C
20 を一括的に取り扱うことが可能となる。

尚、図 1 3 7 に示す例では、各放熱板 3 5 6 は接合領域 3 5 8 に対応した大きさに分離され別個の構成とされているが、図 1 3 8 に示すように、連結部 3 6 0 により各放熱板 3 5 6 をリードフレーム 3 2 4 A の各接合領域 3 5 8 の形成位置と対応するよう連結した構成
25 としてもよい。

上記したチップ取り付け工程が終了すると、続いてチップ搭載工程及び突出端子形成工程が実施される。図 1 3 9 及び図 1 4 0 は、チップ搭載工程及び突出端子形成工程が終了した状態のリードフレーム 3 2 4 A を示している。図 1 3 9 は、放熱板 3 5 6 がリード

フレーム 3 2 4 A に取り付けられた一部を拡大して示す図であり、
また図 1 4 0 はその全体を示す図である。

チップ搭載工程では、半導体素子 3 1 2 (3 1 2 A ~ 3 1 2 C)
5 が取り付けられた放熱板 3 5 6 をリードフレーム 3 2 4 A に配設す
ることにより、電極板 3 1 4 A に半導体素子 3 1 2 A ~ 3 1 2 C を
搭載し電氣的に接続する処理が行なわれる。前記したように、本実
施例ではチップ搭載工程を実施する前に、半導体素子 3 1 2 (3 1
2 A ~ 3 1 2 C) を放熱板 3 5 6 上に位置決めして取り付けるチッ
10 プ取り付け工程が実施されている。よって、チップ搭載工程では、
放熱板 3 5 6 をリードフレーム 3 2 4 A の接合領域 3 5 8 に位置決
めして取り付けることにより、複数の半導体素子 3 1 2 (3 1 2 A
~ 3 1 2 C) を一括的に電極板 3 1 4 に搭載することができる。

これにより、チップ搭載工程では個々の半導体素子 3 1 2 (3 1
2 A ~ 3 1 2 C) の位置決めを行なう必要がなくなり、単に形状の
15 大きな放熱板 3 5 6 と電極板 3 1 4 (リードフレーム 3 2 4 A) と
を位置決めすればよいため、位置決め処理を容易化することができ
る。

また、図 1 3 8 に示した、連結部 3 6 0 により複数の放熱板 3 5
6 が接合領域 3 5 8 に対応して設けられたものを用いることにより、
20 更に多数個の半導体素子 3 1 2 を一括的に電極板 3 1 4 (リードフ
レーム 3 2 4 A) に位置決めして搭載することができ、位置決め処
理が更に容易化し半導体装置 3 1 0 E の製造効率を向上させること
ができる。

上記したチップ搭載工程及び突出端子形成工程が終了すると、続
いて封止樹脂形成工程が実施される。この封止樹脂形成工程では、
25 半導体素子 3 1 2 (3 1 2 A ~ 3 1 2 C) 及び突起端子 3 1 8 が配
設されたリードフレーム 3 2 4 A を金型に装着し、圧縮成形法を用
いて封止樹脂 3 1 6 A を形成する。この際、本実施例では、各電極
板 3 1 4 A には放熱板 3 5 6 が配設された状態となっているため、

この放熱板 3 5 6 を下型の一部として用いることができる。

図 1 4 1 は、封止樹脂 3 1 6 A が形成されたリードフレーム 3 2 4 A を示している。同図に示すように、封止樹脂 3 1 6 A は放熱板 3 5 6 より内側に形成されるため、離型時における離型性を向上させることができる。そして、上記した封止樹脂形成工程が終了すると、続いて切断工程が実施され、図 1 4 1 に A - A で示す破線位置で切断処理が行なわれることにより、図 1 3 5 に示す半導体装置 3 1 0 E が形成される。

続いて、第 5 9 実施例である半導体装置 3 1 0 F について説明する。

図 1 4 2 は、第 5 9 実施例である半導体装置 3 1 0 F の断面図である。本実施例に係る半導体装置 3 1 0 E は、前記した第 5 8 実施例に係る半導体装置 3 1 0 E に対し、放熱板 3 5 6 の上部に更に放熱フィン 3 6 2 を配設したことを特徴とするものである。放熱フィン 3 6 2 は多数のフィン部 3 6 1 を設けることにより、その放熱面積は広くなっている。また、放熱フィン 3 6 2 は、熱伝導性の良好な接着剤により放熱板 3 5 6 の上部に接着されている。よって、放熱フィン 3 6 2 をフィン形状の放熱板 3 5 6 に配設することにより放熱効率は更に向上し、半導体素子 3 1 2 をより効率的に冷却することができる。

続いて、第 6 0 乃至第 6 3 実施例に係る半導体装置 3 1 0 G ~ 3 1 0 J について説明する。この各半導体装置 3 1 0 G ~ 3 1 0 J は、共に放熱板 3 5 6 を配設することにより、半導体素子 3 1 2 から発生する熱を効率よく放熱するよう構成したことを特徴とするものである。

図 1 4 3 は、第 6 0 実施例である半導体装置 3 1 0 G を示している。本実施例に係る半導体装置 3 1 0 G は、前記した第 5 5 実施例に係る半導体装置 3 1 0 B (図 1 2 3 参照) に放熱板 3 5 6 を配設した構成とされている。図 1 4 4 は、第 6 1 実施例である半導体装

置 3 1 0 H を示している。本実施例に係る半導体装置 3 1 0 H は、前記した第 5 7 実施例に係る実装構造で用いた実装部材 3 3 8 を有しており（図 1 3 1 参照）、かつ、半導体素子 3 1 2 の上部に放熱板 3 5 6 を配設した構成とされている。

5 また、図 1 4 5 は、第 6 2 実施例である半導体装置 3 1 0 I を示している。本実施例に係る半導体装置 3 1 0 I は、前記した第 5 6 実施例に係る半導体装置 3 1 0 C（図 1 2 4 参照）に放熱板 3 5 6 を配設した構成とされている。更に、図 1 4 6 は、第 6 3 実施例である半導体装置 3 1 0 J を示している。本実施例に係る半導体装置
10 3 1 0 J は、前記した第 5 7 実施例に係る半導体装置 3 1 0 D（図 1 2 5 参照）に放熱板 3 5 6 を配設した構成とされている。このように、各半導体装置 3 1 0 G ～ 3 1 0 J に夫々放熱板 3 5 6 を配設することにより、放熱効率の向上を図ることができる。

15 続いて、第 6 4 実施例である半導体装置 3 1 0 K について説明する。

 図 1 4 7 は第 6 4 実施例に係る半導体装置 3 1 0 K を説明するための図であり、図 1 4 7（A）は半導体装置 3 1 0 K の断面を、図 1 4 7（B）は半導体装置 3 1 0 K の底面を夫々示している。本実施例に係る半導体装置 3 1 0 K は、大略すると半導体装置本体 3 7
20 0，インタポーザ 3 7 2 A，異方性導電膜 3 7 4，及び外部接続端子 3 7 6 等により構成されている。

 半導体装置本体 3 7 0 は、半導体素子 3 7 8，突起電極 3 8 0，及び樹脂層 3 8 2 等により構成されている。半導体素子 3 7 8（半導体チップ）は、半導体基板に電子回路が形成されたものであり、
25 その実装側の面には多数の突起電極 3 8 0 が配設されている。突起電極 3 8 0 は、例えば半田ボールを転写法を用いて配設された構成とされており、外部接続電極として機能するものである。

 また、樹脂層 3 8 2（梨地で示す）は、例えばポリイミド，エポキシ（P P S，P E K，P E S，及び耐熱性液晶樹脂等の熱可塑性

樹脂)等の熱硬化性樹脂よりなり、半導体素子 378 のバンプ形成側面の全面にわたり形成されている。従って、半導体素子 378 に配設されている突起電極 380 は、この樹脂層 382 により封止された状態となるが、突起電極 380 の先端部は樹脂層 382 から露出するよう構成されている。即ち、樹脂層 382 は、先端部を残して突起電極 380 を封止するよう半導体素子 378 に形成されている。

上記構成とされた半導体装置本体 370 は、その全体的な大きさが略半導体素子 378 の大きさと等しい、いわゆるチップサイズパッケージ構造となる。また、上記したように半導体装置本体 370 は、半導体素子 378 上に樹脂層 382 が形成された構成とされており、かつこの樹脂層 382 は先端部を残し突起電極 380 を封止した構造とされている。このため、樹脂層 382 によりデリケートな突起電極 380 は保持されることとなり、よってこの樹脂層 382 はアンダーフィルレジン 306 と同様の機能を奏することとなる。

また、インタポーザ 372 A は半導体装置本体 370 と外部接続端子 376 を電氣的に接続する中間部材として機能するものであり、配線パターン 384 A とベース部材 386 A とにより構成されている。本実施例では、インタポーザ 372 A として T A B (Tape Automated Bonding) テープを利用したことを特徴としている。このように、インタポーザ 372 A として T A B テープを用いることにより、一般に T A B テープは半導体装置の構成部品として安価に供給されているため、半導体装置 310 K のコスト低減を図ることができる。

インタポーザ 372 A を構成する配線パターン 384 A は、例えば銅をプリント配線した構成とれさせている。ベース部材 386 A は例えばポリイミド系の絶縁性樹脂よりなり、半導体装置本体 370 に形成された突起電極 380 の形成位置と対応する位置には孔 388 が貫通形成されている。

また、異方性導電膜 374 は、接着性を有する可撓性樹脂内に導電性フィラーを混入したものである。よって、異方性導電膜 374 は接着性と押圧方向に対する導電性とを共に有したものである。この異方性導電膜 374 は、図示されるように、半導体装置本体 370 とインタポーザ 372 A との間に介装される。

これにより、半導体装置本体 370 とインタポーザ 372 A は、異方性導電膜 374 の有する接着性により接着される。また、この接着時において半導体装置本体 370 はインタポーザ 372 a に向け押圧されるため、半導体装置本体 370 とインタポーザ 372 A は、異方性導電膜 374 により電氣的に接続される。

また、外部接続端子 376 は半田ボールよりなり、ベース部材 386 A に形成された孔 388 を介して配線パターン 384 A と接続される。この外部接続端子 376 は、半導体装置本体 370 の搭載の邪魔にならないように、半導体装置本体 370 の搭載面と反対側の面に配設される。

更に、本実施例に係る半導体装置 310 K は、半導体装置本体 370 に形成された突起電極 380 の配設ピッチと、インタポーザ 372 A に配設された外部接続端子 376 の配設ピッチとが同一ピッチとなるよう構成されている。これに伴い、異方性導電膜 374 及びインタポーザ 372 A の平面視した時の面積は、半導体装置本体 370 の平面視した時の面積と略等しくなるよう構成されている。

上記のように、半導体装置本体 370 に形成された突起電極 380 の配設ピッチと、インタポーザ 372 A に配設された外部接続端子 376 の配設ピッチを同一ピッチとしたことにより、異方性導電膜 374 及びインタポーザ 372 A の形状を小さくすることができ、半導体装置 310 K の小型化を図ることができる。

ところで、上記したインタポーザ 372 A は、配線パターン 384 A がベース部材 386 A 上に形成された構成であるため、このベース部材 386 A 上において任意の配線パターンを形成すること

が可能である。即ち、ベース部材 3 8 6 A 上において、配線パターン 3 8 4 A を引き回すことが可能となる。

5 このように、ベース部材 3 8 6 A 上において配線パターン 3 8 4 A を引き回すことにより、半導体装置本体 3 7 0 に設けられた突起電極 3 8 0 の形成位置に拘わらず外部接続端子 3 7 6 の配設位置を設定することができる。よって、外部接続端子 3 7 6 の端子レイアウトを設定するに際し、その自由度を高めることができるため、半導体装置本体 3 7 0 の設計及び、半導体装置 3 1 0 K が実装される実装基板の配線設計を容易化することができる。

10 また、前記したように、異方性導電膜 3 7 4 は接着性及び押圧方向に対する導電性を有しているため、この異方性導電膜 3 7 4 を用いて半導体装置本体 3 7 0 とインタポーザ 3 7 2 A とを接合することができる。この際、異方性導電膜 3 7 4 の有する接着性により半導体装置本体 3 7 0 とインタポーザ 3 7 2 A は機械的に接合され、
15 また異方性導電膜 3 7 4 の有する異方性導電性により半導体装置本体 3 7 0 とインタポーザ 3 7 2 A は電氣的に接合（接続）される。

 このように、異方性導電膜 3 7 4 は接着性及び導電性の双方の特性を有しているため、各機能を別個の部材により行なう構成に比べて部品点数及び組み立て工数の低減を図ることができる。

20 更に、異方性導電膜 3 7 4 は可撓性を有し、かつ半導体装置本体 3 7 0 とインタポーザ 3 7 2 A との間に介装されるため、この異方性導電膜 3 7 4 を緩衝膜として機能させることができる。よって、半導体装置本体 3 7 0 とインタポーザ 3 7 2 A との間に発生する応力（例えば、熱応力等）を異方性導電膜 3 7 4 により緩和することができ、半導体装置 3 1 0 K の信頼性を向上させることができる。
25

 続いて、上記構成とされた半導体装置 3 1 0 K の製造方法について説明する。

 図 1 4 8 は、半導体装置 3 1 0 K の製造方法（第 5 7 実施例に係る製造方法）を示している。同図に示すように、半導体装置 3 1 0

Kを製造するには、予め別工程において半導体装置本体 370, 異方性導電膜 374, 及びインタポーザ 372Aを形成しておく。そして、図示されるように半導体装置本体 370とインタポーザ 372Aとの位置決めを行なった上で、半導体装置本体 370とインタポーザ 372Aとの間に異方性導電膜 374を介装し、半導体装置本体 370をインタポーザ 372Aに向け押圧する。

これにより、前記のように異方性導電膜 374の有する接着性により半導体装置本体 370とインタポーザ 372Aは機械的に接合されると共に、異方性導電膜 374の有する異方性導電性により半導体装置本体 370とインタポーザ 372Aは電氣的に接合される。よって、本実施例の製造方法によれば、半導体装置本体 370とインタポーザ 372Aとの機械的接合処理及び電氣的接合処理を一括的に行なうことができるため、半導体装置 310Kの製造工程を簡単化することができる。

上記のように半導体装置本体 370とインタポーザ 372Aとの接合処理が終了すると、続いて半田ボールよりなる外部接続端子 376を転写法によりインタポーザ 372Aに接合する。この際、外部接続端子 376の転写は加熱雰囲気中で行なわれるため、外部接続端子 376は熔融して孔 388内に進入してインタポーザ 372Aの配線パターン 384Aと電氣的に接続する。

この際、上記のように外部接続端子 376はインタポーザ 372Aに形成された孔 388内に進入するため、外部接続端子 376とインタポーザ 372Aとの接合力は強くなる。よって、外部接続端子 376がインタポーザ 372Aから離脱することを防止でき、半導体装置 310Kの信頼性を向上させることができる。

続いて、第 65 実施例である半導体装置 310Lについて説明する。

図 149は、第 65 実施例に係る半導体装置 310Lの要部を拡大して示した図である。尚、図 149において、図 147を用いて

説明した第 6 4 実施例に係る半導体装置 3 1 0 K の構成と対応する構成については、同一符号を付してその説明を省略する。

5 本実施例に係る半導体装置 3 1 0 L は、インタポーザ 3 7 2 A 上に所定の厚さを有する絶縁部材 3 9 4 を配設したことを特徴とするものである。この絶縁部材 3 9 4 は例えばポリイミド系の絶縁樹脂であり、半導体装置本体 3 7 0 に設けられた突起電極 3 8 0 の形成位置と対応する位置には接続孔 3 9 6 が形成されている。

10 上記構成とされた半導体装置 3 1 0 L によれば、半導体装置本体 3 7 0 をインタポーザ 3 7 2 A に装着する際、半導体装置本体 3 7 0 をインタポーザ 3 7 2 A に向け押圧すると、この押圧力により異方性導電膜 3 7 4 は変形付勢される。この際、特に接続孔 3 9 6 の形成位置においては、異方性導電膜 3 7 4 は狭い接続孔 3 9 6 内に入り込もうとし、よって接続孔 3 9 6 内の内圧は高くなる。

15 このように、接続孔 3 9 6 内における異方性導電膜 3 7 4 の圧力が集中的に高くなるため、異方性導電膜 3 7 4 内に混入されている導電性フィラーの密度も高くなる。よって、異方性導電膜 3 7 4 の接続孔 3 9 6 内における導電率は向上し、よって半導体装置本体 3 7 0 とインタポーザ 3 7 2 A との電氣的な接続を確実にこなうことができる。

20 図 1 5 0 及び図 1 5 1 は、半導体装置 3 1 0 L の製造方法（第 5 8 実施例に係る製造方法）を示している。尚、図 1 5 0 及び図 1 5 1 において、第 5 7 実施例に係る製造方法を説明するのに用いた図 1 4 8 に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置 3 1 0 L を多数個取りする方法について説明するものとする。

25 半導体装置 3 1 0 L を製造するには、予め別工程において半導体装置本体 3 7 0 が複数個形成されたウェハ 3 9 0、異方性導電膜 3 7 4、及びインタポーザ 3 7 2 A が複数個形成された T A B テープ 3 9 2 を形成しておく。

このTABテープ392を形成する際、その上面（ウェハ390が装着される面）の半導体装置本体370と対向する位置に絶縁部材394を形成する。この絶縁部材394は、例えばホトレジストの形成技術を利用して形成することができる。また、この絶縁部材394を形成する際、突起電極380の形成位置と対応する位置に接続孔396を形成しておく。

そして、図150に示されるように、突起電極380と接続孔396との位置決めを行なった上で、ウェハ390とTABテープ392との間に異方性導電膜374を介装し、ウェハ390をTABテープ392に向け押圧する。

これにより、前記のように異方性導電膜374の有する接着性によりウェハ390とTABテープ392は機械的に接合されると共に、異方性導電膜374の有する異方性導電性により突起電極380は配線パターン384Aに電氣的に接合される。この際、前記したように接続孔396内においては異方性導電膜374の導電性が向上するため、突起電極380と配線パターン384Aとの電氣的接続を確実に行なうことができる。

図151は、ウェハ390とTABテープ392とが接合された状態を示している。このように、ウェハ390とTABテープ392の接合処理が終了すると、続いて図151にA-Aで示す破線位置で切断処理が行なわれる。これにより、個々の半導体装置本体370及びインタポーザ372Aが形成され、図149に示す半導体装置310Lが形成される。

よって、本実施例の製造方法によれば、半導体装置本体370とインタポーザ372Aとの機械的接合処理及び電氣的接合処理を一括的に行なうことができるため、半導体装置310Lの製造工程を簡単化することができる。また、本実施例ではいわゆる多数個取りができるため、半導体装置310Lの製造効率を向上することができる。

更に、一般に異方性導電膜 374 を用いた電氣的接続構造では、電氣的接続の歩留りが低下することが問題とされるが、本実施例では半導体装置本体 370（突起電極 380）と対向する位置に接続孔 396 が形成された絶縁部材 394 を配設したことにより、突起電極 380 と配線パターン 384 A との電氣的接続を確実に行うことができる。よって、半導体装置 310 L の信頼性を向上させることができる。

続いて、第 66 実施例である半導体装置 310 M について説明する。

図 152 は、第 66 実施例に係る半導体装置 310 M を示しており、図 152（A）は半導体装置 310 M の断面を、図 152（B）は半導体装置 310 M の底面を示している。尚、図 152 において、図 147 を用いて説明した第 64 実施例に係る半導体装置 310 K の構成と対応する構成については、同一符号を付してその説明を省略する。

前記した第 64 実施例に係る半導体装置 310 K では、小型化を図るために半導体装置本体 370 に形成された突起電極 380 の配設ピッチと、インタポーザ 372 A に配設された外部接続端子 376 の配設ピッチとを同一ピッチとするよう構成していた。

これに対し、本実施例に係る半導体装置 310 M は、半導体装置本体 370 に形成された突起電極 380 の配設ピッチに対し、インタポーザ 372 B に配設された外部接続端子 376 の配設ピッチを大きく設定したことを特徴とするものである。これに伴い、インタポーザ 372 B の面積は半導体装置本体 370 の面積に対し広くなっている。

このように、突起電極 380 の配設ピッチに対し外部接続端子 376 の配設ピッチを大きく設定したことにより、インタポーザ 372 B 上における配線パターン 384 B の引回しの自由度を更に向上することができる。具体的には、図 152（B）に示されるように、

突起電極 380 が配設される接続孔 396 の形成位置と外部接続端子 376 の配設位置とを離間させ、この接続孔 396 と外部接続端子 376 とを配線パターン 384 B で接続することが可能となる。

5 これにより、外部接続端子 376 の端子レイアウトの自由度が向上し端子設計の容易化を図ることができる。また、半導体装置本体 370 の高密度化により突起電極 380 の電極間ピッチが狭ピッチ化しても、突起電極 380 と外部接続端子 376 との配設位置を異ならせることができるため、上記の狭ピッチ化に容易に対応することができる。

10 図 153 は、上記した半導体装置 310 M の製造方法（第 59 実施例に係る製造方法）を示す図である。また、同図では、多数個取りを行なう方法ではなく、個々に半導体装置 310 M を形成する方法を例に挙げて示している。

15 本実施例に係る半導体装置 310 M の製造方法では、予め別工程において半導体装置本体 370、異方性導電膜 374、及びインタポーザ 372 B を形成しておく。そして、突起電極 380 と接続孔 396 との位置決めを行なった上で、半導体装置本体 370 とインタポーザ 372 B との間に異方性導電膜 374 を介装し、半導体装置本体 370 をインタポーザ 372 B に向け押圧する。

20 これにより、異方性導電膜 374 の有する接着性により半導体装置本体 370 とインタポーザ 372 B は機械的に接合されると共に、異方性導電膜 374 の有する異方性導電性により半導体装置本体 370 とインタポーザ 372 B は電氣的に接合される。これにより、図 152 に示す半導体装置 310 M が形成される。

25 よって、本実施例の製造方法によっても、半導体装置本体 370 とインタポーザ 372 B との機械的接合処理及び電氣的接合処理を一括的に行なうことができるため、半導体装置 310 M の製造工程を簡単化することができる。

続いて、第 67 実施例である半導体装置 310 N について説明す

る。

図 1 5 4 は、第 6 7 実施例である半導体装置 3 1 0 N を示す断面図である。尚、図 1 5 4 において、図 1 4 7 を用いて説明した第 6 4 実施例に係る半導体装置 3 1 0 K の構成と対応する構成については、同一符号を付してその説明を省略する。

前記した第 6 4 実施例に係る半導体装置 3 1 0 K は、半導体装置本体 3 7 0 とインタポーザ 3 7 2 A を接合するのに異方性導電性膜 3 7 4 を用い、半導体装置本体 3 7 0 とインタポーザ 3 7 2 A とを電氣的及び機械的に一括的に接合する構成とされていた。

これに対し、本実施例に係る半導体装置 3 1 0 N は、異方性導電性膜 3 7 4 に代えて接着剤 3 9 8 と導電性ペースト 3 1 0 0 (導電性部材) を設けたことを特徴とするものである。

接着剤 3 9 8 は、例えばポリイミド系の絶縁性樹脂であり、硬化した後においても所定の可撓性を有する材質に選定されている。この接着剤 3 9 8 は、半導体装置本体 3 7 0 とインタポーザ 3 7 2 A との間に介装され、この半導体装置本体 3 7 0 とインタポーザ 3 7 2 A とを接着固定する機能を奏する。また、接着剤 3 9 8 の突起電極 3 8 0 の形成位置に対応する位置には通孔 3 1 0 2 が形成されている。

一方、導電性ペースト 3 1 0 0 は所定の粘性を有しており、よって上記の通孔 3 1 0 2 内にも入り込める構成とされている。この導電性ペースト 3 1 0 0 は、通孔 3 1 0 2 内に介装されることにより、半導体装置本体 3 7 0 とインタポーザ 3 7 2 A とを電氣的に接続する機能を奏する。具体的には、導電性ペースト 3 1 0 0 により突起電極 3 8 0 と配線パターン 3 8 4 A とが電氣的に接続され、これにより半導体装置本体 3 7 0 とインタポーザ 3 7 2 A は電氣的に接続される。

上記のように、本実施例に係る半導体装置 3 1 0 N では、接着剤 3 9 8 が半導体装置本体 3 7 0 とインタポーザ 3 7 2 A とを機械的

に接合し、また導電性ペースト 3100 が半導体装置本体 370 と
インタポーザ 372A とを電氣的に接合（接続）する。このように、
半導体装置本体 370 とインタポーザ 372A とを接合する際行な
5 われる機械的接合と電氣的接合を別個の部材（接着剤 398，導電
性ペースト 3100）により行なうことにより、各機能（機械的接
合機能，電氣的接合機能）に最適な部材を選定することができる。
これにより、半導体装置本体 370 とインタポーザ 372A との機
械的接合及び電氣的接合を共に確実に行なうことが可能となり、半
導体装置 310N の信頼性を向上させることができる。

10 更に、接着剤 398 は固化した状態においても所定の可撓性を有
し、かつ半導体装置本体 370 とインタポーザ 372A の間に介装
されるため、この接着剤 398 は緩衝膜として機能する。よって、
接着剤 398 により、半導体装置本体 370 とインタポーザ 372
A との間に発生する応力を緩和することができる。尚、本実施例に
15 係る半導体装置 310N は突起電極 380 の配設ピッチと外部接続
端子 376 の配設ピッチとが等しく設定された構成であるため、半
導体装置 310N の小型化を図ることができる。

図 155 乃至図 157 は、半導体装置 310N の製造方法（第 6
0 実施例に係る製造方法）を示している。尚、図 155 乃至図 15
20 7 において、第 58 実施例に係る製造方法を説明するのに用いた図
150 及び図 151 に示した構成と対応する構成については同一符
号を付してその説明を省略する。また、以下の製造方法では、半導
体装置 310N を多数個取りする方法について説明するものとする。

半導体装置 310N を製造するには、予め別工程において半導体
25 装置本体 370 が複数個形成されたウェハ 390，接着剤 398，
及びインタポーザ 372B が複数個形成された TAB テープ 392
を形成しておく。

この半導体装置 370 を形成する際、複数形成されている突起電
極 380 にはそれぞれ導電性ペースト 3100 が塗布されている。

また、接着剤 3 9 8 の突起電極 3 8 0 の形成位置と対応する位置には、通孔 3 1 0 2 が予め穿設されている。更に、TABテープ 3 9 2 を形成する際、その上面（ウェハ 3 9 0 が装着される面）の半導体装置本体 3 7 0 と対向する位置に絶縁部材 3 9 4 を形成する。

5 この絶縁部材 3 9 4 は、例えばホトレジストの形成技術を利用して形成することができる。また、この絶縁部材 3 9 4 を形成する際、突起電極 3 8 0 の形成位置と対応する位置に接続孔 3 9 6 を形成しておく。

10 そして、突起電極 3 8 0 と接続孔 3 9 6 との位置決めを行なった上で、ウェハ 3 9 0 とTABテープ 3 9 2 との間に接着剤 3 9 8 を介装し、ウェハ 3 9 0 をTABテープ 3 9 2 に接着固定する。これにより、接着材 3 9 8 によりウェハ 3 9 0 とTABテープ 3 9 2 は機械的に接合されると共に、導電性ペースト 3 1 0 0 は通孔 3 1 0 2 及び接続孔 3 9 6 内に入り込み、突起電極 3 8 0 と配線パターン 3 8 4 A は電氣的に接合される。図 1 5 6 は、ウェハ 3 9 0 とTABテープ 3 9 2 とが接合された状態を示している。

15 このように、ウェハ 3 9 0 とTABテープ 3 9 2 の接合処理が終了すると、続いて図 1 5 6 にA-Aで示す破線位置で切断処理が行なわれる。これにより、個々の半導体装置本体 3 7 0 及びインターポーザ 3 7 2 B が形成され、図 1 5 4 に示す半導体装置 3 1 0 N が形成される（図 1 5 4 に示す半導体装置 3 1 0 N は、絶縁部材 3 9 4 が設けられていない構成を示している）。

20 尚、上記した製造方法では、半導体装置 3 1 0 N を多数個取りする方法について述べたが、図 1 5 7 に示すように、個々に半導体装置 3 1 0 N を製造することも可能である。

25 続いて、第 6 8 実施例である半導体装置 3 1 0 P について説明する。

 図 1 5 8 は、第 6 8 実施例に係る半導体装置 3 1 0 P を示す断面図である。尚、図 1 5 8 において、図 1 5 4 を用いて説明した第 6

7 実施例に係る半導体装置 3 1 0 N の構成と対応する構成については、同一符号を付してその説明を省略する。

前記した第 6 7 実施例に係る半導体装置 3 1 0 N では、小型化を図るために半導体装置本体 3 7 0 に形成された突起電極 3 8 0 の配設ピッチと、インタポーザ 3 7 2 A に配設された外部接続端子 3 7 6 の配設ピッチとを同一ピッチとするよう構成していた。

これに対し、本実施例に係る半導体装置 3 1 0 P は、半導体装置本体 3 7 0 に形成された突起電極 3 8 0 の配設ピッチに対し、インタポーザ 3 7 2 B に配設された外部接続端子 3 7 6 の配設ピッチを大きく設定したことを特徴とするものである。これに伴い、インタポーザ 3 7 2 B の面積は半導体装置本体 3 7 0 の面積に対し広くなっている。

このように、突起電極 3 8 0 の配設ピッチに対し外部接続端子 3 7 6 の配設ピッチを大きく設定したことにより、インタポーザ 3 7 2 B 上における配線パターン 3 8 4 B の引回しの自由度を更に向上することができる。これにより、外部接続端子 3 7 6 の端子レイアウトの自由度が向上し端子設計の容易化を図ることができると共に、突起電極 3 8 0 の電極間ピッチが狭ピッチ化してもこれに容易に対応することができる。

図 1 5 9 は、上記した半導体装置 3 1 0 P の製造方法（第 6 1 実施例に係る製造方法）を示す図である。また、同図では、多数個取りを行なう方法ではなく、個々に半導体装置 3 1 0 P を形成する方法を例に挙げて示している。

本実施例に係る半導体装置 3 1 0 P の製造方法でも、予め別工程において半導体装置本体 3 7 0、接着材 3 9 8、及びインタポーザ 3 7 2 B を形成しておく。また、半導体装置 3 7 0 を形成する際、複数形成されている突起電極 3 8 0 にはそれぞれ導電性ペースト 3 1 0 0 を塗布しておく。また、接着剤 3 9 8 の突起電極 3 8 0 の形成位置と対応する位置には、通孔 3 1 0 2 を予め穿設しておく。更

に、絶縁部材 3 9 4 の突起電極 3 8 0 の形成位置と対応する位置には、接続孔 3 9 6 を形成しておく。

5 そして、突起電極 3 8 0 と接続孔 3 9 6 との位置決めを行なった上で、半導体装置本体 3 7 0 とインタポーザ 3 7 2 B との間に接着剤 3 9 8 を介装し、半導体装置本体 3 7 0 をインタポーザ 3 7 2 B に接着固定する。これにより、接着材 3 9 8 により半導体装置本体 3 7 0 とインタポーザ 3 7 2 B は機械的に接合されると共に、導電性ペースト 3 1 0 0 は通孔 3 1 0 2 及び接続孔 3 9 6 内に入り込み、突起電極 3 8 0 と配線パターン 3 8 4 A は電氣的に接合される。以上
10 の処理を実施することにより、図 1 5 8 に示す半導体装置 3 1 0 P が形成される。

続いて、第 6 9 実施例である半導体装置 1 0 Q について説明する。

図 1 6 0 は、第 6 9 実施例である半導体装置 3 1 0 Q を示す断面図である。尚、図 1 6 0 において、図 1 5 4 を用いて説明した第 6
15 7 実施例に係る半導体装置 3 1 0 N の構成と対応する構成については、同一符号を付してその説明を省略する。

前記した第 6 7 実施例に係る半導体装置 3 1 0 N は、導電性部材として導電性ペースト 3 1 0 0 を用い、この導電性ペースト 3 1 0 0 により半導体装置本体 3 7 0 とインタポーザ 3 7 2 A とを電氣的に接合（接続）する構成とされていた。これに対し、本実施例に係る半導体装置 3 1 0 Q は、導電性ペースト 3 1 0 0 に代えてスタッドバンプ 3 1 0 4 （導電性部材）を設けたことを特徴とするものである。
20

スタッドバンプ 3 1 0 4 は、インタポーザ 3 7 2 A に形成された配線パターン 3 8 4 A 上の所定位置（突起電極 3 8 0 と対応する位置）に配設されている。また、このスタッドバンプ 3 1 0 4 はワイヤボンディング技術を用いて形成される。具体的には、ワイヤボンディング装置を用い、先ずキャピラリから延出した金線の先端部に金ボールを形成し、続いてこの金ボールを配線パターン 3 8 4 A の
25

上記所定位置に押圧する。

続いて、キャピラリを超音波振動させて金ボールを配線パターン 384A に超音波溶接する。その後、金線をクランプした上でキャピラリを上動させて金線を切断する。以上の処理を行なうことにより、配線パターン 384A 上にスタッドバンプ 3104 が形成される。このスタッドバンプ 3104 は、通孔 3102 を介して突起電極 380 に接続し、これにより半導体装置本体 370 とインタポーザ 372A とを電氣的に接続する機能を奏する。

上記のように、本実施例に係る半導体装置 310Q では、接着剤 398 が半導体装置本体 370 とインタポーザ 372A とを機械的に接合し、またスタッドバンプ 3104 が半導体装置本体 370 とインタポーザ 372A とを電氣的に接合（接続）する。このように、機械的接合と電氣的接合を別個の部材（接着剤 398、スタッドバンプ 3104）により行なうことにより、半導体装置本体 370 とインタポーザ 372A との機械的接合及び電氣的接合を共に確実に行なうことが可能となり、半導体装置 310Q の信頼性を向上させることができる。

また、接続状態において、スタッドバンプ 3104 は突起電極 380 に食い込んだ状態で接続されるため、スタッドバンプ 3104 と突起電極 380 との電氣的接続を確実に行なうことができる。尚、本実施例に係る半導体装置 310Q は突起電極 380 の配設ピッチと外部接続端子 376 の配設ピッチとが等しく設定された構成であるため、半導体装置 310Q の小型化を図ることができる。

図 161 乃至図 163 は、半導体装置 310Q の製造方法（第 6 実施例に係る製造方法）を示している。尚、図 161 乃至図 163 において、第 60 実施例に係る製造方法を説明するのに用いた図 155 乃至図 157 に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置 310Q を多数個取りする方法について説明するものとする。

半導体装置 3 1 0 Q を製造するには、予め別工程において半導体装置本体 3 7 0 が複数個形成されたウェハ 3 9 0、接着剤 3 9 8、及びインタポーザ 3 7 2 B が複数個形成された T A B テープ 3 9 2 を形成しておく。

5 この T A B テープ 3 9 2 を形成する際、その上面（ウェハ 3 9 0 が装着される面）の半導体装置本体 3 7 0 と対向する位置に絶縁部材 3 9 4 を形成する。また、絶縁部材 3 9 4 を形成する際、突起電極 3 8 0 の形成位置と対応する位置に接続孔 3 9 6 を形成し、更に
10 接続孔 3 9 6 の内部の配線パターン 3 8 4 A 上にスタッドバンプ 3 1 0 4 を形成する。

そして、突起電極 3 8 0 と接続孔 3 9 6 との位置決めを行なった上で、ウェハ 3 9 0 と T A B テープ 3 9 2 との間に接着剤 3 9 8 を介装し、ウェハ 3 9 0 を T A B テープ 3 9 2 に押圧しつつ接着固定する。これにより、接着材 3 9 8 によりウェハ 3 9 0 と T A B テープ 3 9 2 は機械的に接合されると共に、スタッドバンプ 3 1 0 4 は
15 通孔 3 1 0 2 及び接続孔 3 9 6 を介して突起電極 3 8 0 に食い込んだ状態となり、よって突起電極 3 8 0 と配線パターン 3 8 4 A はスタッドバンプ 3 1 0 4 より電氣的に接合される。図 1 6 2 は、ウェハ 3 9 0 と T A B テープ 3 9 2 とが接合された状態を示している。

20 このように、ウェハ 3 9 0 と T A B テープ 3 9 2 の接合処理が終了すると、続いて図 1 6 2 に A - A で示す破線位置で切断処理が行なわれる。これにより、個々の半導体装置本体 3 7 0 及びインタポーザ 3 7 2 B が形成され、図 1 6 0 に示す半導体装置 3 1 0 Q が形成される（図 1 6 0 に示す半導体装置 3 1 0 N は、絶縁部材 3 9 4 が設けられていない構成を示している）。
25

尚、上記した製造方法では、半導体装置 3 1 0 Q を多数個取りする方法について述べたが、図 1 6 3 に示すように、個々に半導体装置 3 1 0 Q を製造することも可能である。

続いて、第 7 0 実施例である半導体装置 3 1 0 R について説明す

る。

図 1 6 4 は、第 7 0 実施例に係る半導体装置 3 1 0 R を示す断面
図である。尚、図 1 6 4 において、図 1 6 0 を用いて説明した第 6
9 実施例に係る半導体装置 3 1 0 Q の構成と対応する構成について
5 は、同一符号を付してその説明を省略する。

前記した第 6 9 実施例に係る半導体装置 3 1 0 Q では、小型化を
図るために半導体装置本体 3 7 0 に形成された突起電極 3 8 0 の配
設ピッチと、インタポーザ 3 7 2 A に配設された外部接続端子 3 7
6 の配設ピッチとを同一ピッチとするよう構成していた。

これに対し、本実施例に係る半導体装置 3 1 0 R は、半導体装置
本体 3 7 0 に形成された突起電極 3 8 0 の配設ピッチに対し、イン
タポーザ 3 7 2 B に配設された外部接続端子 3 7 6 の配設ピッチを
大きく設定したことを特徴とするものである。これに伴い、インタ
ポーザ 3 7 2 B の面積は半導体装置本体 3 7 0 の面積に対し広く
15 になっている。

このように、突起電極 3 8 0 の配設ピッチに対し外部接続端子 3
7 6 の配設ピッチを大きく設定したことにより、インタポーザ 3 7
2 B 上における配線パターン 3 8 4 B の引回しの自由度を更に向上
することができる。これにより、外部接続端子 3 7 6 の端子レイア
ウトの自由度が向上し端子設計の容易化を図ることができると共に、
20 突起電極 3 8 0 の電極間ピッチが狭ピッチ化してもこれに容易に対
応することができる。

図 1 6 5 は、上記した半導体装置 3 1 0 Q の製造方法（第 6 3 実
施例に係る製造方法）を示す図である。また、同図では、多数個取
りを行なう方法ではなく、個々に半導体装置 3 1 0 Q を形成する方
法を例に挙げて示している。

本実施例に係る半導体装置 3 1 0 Q の製造方法でも、予め別工程
において半導体装置本体 3 7 0、接着材 3 9 8、及びインタポーザ
3 7 2 B を形成しておく。この際、接着剤 3 9 8 の突起電極 3 8 0

の形成位置と対応する位置には、通孔 3 1 0 2 を予め穿設しておく。
また、インタポーザ 3 7 2 B に絶縁部材 3 9 4 を形成すると共に、
絶縁部材 3 9 4 の突起電極 3 8 0 の形成位置と対応する位置に接続
孔 3 9 6 を形成しておく。更に、接続孔 3 9 6 内に露出した配線パ
ターン 3 8 4 A には、前記したワイヤボンディング技術を用いてス
タッドバンプ 3 1 0 4 を形成しておく。

そして、突起電極 3 8 0 と接続孔 3 9 6 との位置決めを行なった
上で、半導体装置本体 3 7 0 とインタポーザ 3 7 2 B との間に接着
剤 3 9 8 を介装し、半導体装置本体 3 7 0 をインタポーザ 3 7 2 B
に押圧しつつ接着固定する。これにより、接着材 3 9 8 により半導
体装置本体 3 7 0 とインタポーザ 3 7 2 B は機械的に接合されると
共に、スタッドバンプ 3 1 0 4 は通孔 3 1 0 2 及び接続孔 3 9 6 を
介して突起電極 3 8 0 に食い込んだ状態となる。以上の処理を行な
うことにより、突起電極 3 8 0 と配線パターン 3 8 4 A はスタッド
バンプ 3 1 0 4 より電氣的に接合され、よって図 1 6 4 に示す半導
体装置 3 1 0 R が形成される。

続いて、第 7 1 実施例である半導体装置 3 1 0 S について説明す
る。

図 1 6 6 は、第 7 1 実施例である半導体装置 3 1 0 S を示す断面
図である。尚、図 1 6 6 において、図 1 5 4 を用いて説明した第 6
7 実施例に係る半導体装置 3 1 0 N の構成と対応する構成について
は、同一符号を付してその説明を省略する。

前記した第 6 7 乃至 7 0 実施例に係る半導体装置 3 1 0 N ~ 3 1
0 R は、導電性部材として導電性ペースト 3 1 0 0 或いはスタッド
バンプ 3 1 0 4 を用い、この導電性ペースト 3 1 0 0 或いはスタッ
ドバンプ 3 1 0 4 により半導体装置本体 3 7 0 とインタポーザ 3 7
2 A とを電氣的に接合（接続）する構成とされていた。これに対し、
本実施例に係る半導体装置 3 1 0 S は、上記の導電性ペースト 3 1
0 0 或いはスタッドバンプ 3 1 0 4 に代えてフライングリード 3 1

06（導電性部材）を設けたことを特徴とするものである。

5 フライングリード3106は、インタポーザ372Cに形成された配線パターン384Cと一体的に形成されており、インタポーザ372Cの外周縁部より斜め上方向（半導体装置本体370に向かう方向）に延出した構成とされている。また、このフライングリード3106の形成位置は、突起電極380の形成位置と対応するよう設定されている。

10 フライングリード3106を形成するには、予め形成されたインタポーザ372Cのフライングリード3106の形成部分に対応するベース部材386Cをドライエッチング等により除去し、これにより単体となって配線パターン337Cを上記した斜め上方向にむけ折曲形成する。これにより、インタポーザ372Cの外周縁部位置にフライングリード3106が形成される。

15 このフライングリード3106は、接着剤398の配設位置を迂回して突起電極380に接続し、これにより半導体装置本体370とインタポーザ372Aとを電氣的に接続する機能を奏する。また、突起電極380とフライングリード3106との接続位置は、カバー樹脂3108により樹脂封止されている。これにより、外力印加等によりフライングリード3106が変形することを防止でき、
20 半導体装置310Sの信頼性を向上させることができる。

25 上記のように、本実施例に係る半導体装置310Sでは、接着剤398が半導体装置本体370とインタポーザ372Cとを機械的に接合し、またスタッドバンプ3104が半導体装置本体370とインタポーザ372Cとを電氣的に接合（接続）する。このように、機械的接合と電氣的接合を別個の部材（接着剤398、フライングリード3106）により行なうことにより、半導体装置本体370とインタポーザ372Aとの機械的接合及び電氣的接合を共に確実に
行なうことが可能となり、半導体装置310Qの信頼性を向上させることができる。

また、フライングリード 3 1 0 6 と突起電極 3 8 0 との接続位置
においては絶縁性を有する接着剤 3 9 8 が介在しないため、フライング
リード 3 1 0 6 と突起電極 3 8 0 との電氣的接続の信頼性を向
上させることができる。更に、フライングリード 3 1 0 6 はバネ性
5 性を有しているため、接続時にフライングリード 3 1 0 6 はバネ力をも
って突起電極 3 8 0 に圧接する。よって、これによってもフライング
リード 3 1 0 6 と突起電極 3 8 0 との電氣的接続の信頼性を向
上させることができる。

図 1 6 7 乃至図 1 7 1 は、半導体装置 3 1 0 S の製造方法（第 6
10 4 実施例に係る製造方法）を示している。尚、図 1 6 7 乃至図 1 7
1 において、第 6 0 実施例に係る製造方法を説明するのに用いた図
1 5 5 乃至図 1 5 7 に示した構成と対応する構成については同一符
号を付してその説明を省略する。また、以下の製造方法では、半導
体装置 3 1 0 S を多数個取りする方法について説明するものとする。

15 半導体装置 3 1 0 S を製造するには、図 1 6 7 に示すように、予
め別工程において半導体装置本体 3 7 0 が複数個形成されたウェハ
3 9 0、接着剤 3 9 8、及びインタポーザ 3 7 2 C を形成しておく。
また、このインタポーザ 3 7 2 C を形成する際、上記した形成方法
によりフライングリード 3 1 0 6 を形成しておく。

20 そして、突起電極 3 8 0 とフライングリード 3 1 0 6 との位置決
めを行なった上で、ウェハ 3 9 0 と各インタポーザ 3 7 2 C との間
に接着剤 3 9 8 を介装し、各インタポーザ 3 7 2 C をウェハ 3 9 0
に押圧しつつ接着固定する。これにより、図 1 6 8 に示すように、
接着材 3 9 8 によりウェハ 3 9 0 とインタポーザ 3 7 2 C は機械的
25 に接合される。また、フライングリード 3 1 0 6 は突起電極 3 8 0
に押圧されることにより発生するバネ力により突起電極 3 8 0 に圧
接し、よって突起電極 3 8 0 とフライングリード 3 1 0 6 は確実に
電氣的接合が行なわれる。

上記のように、接着材 3 9 8 によりウェハ 3 9 0 とインタポーザ

3 7 2 C とが機械的に接合され、かつ突起電極 3 8 0 とフライング
リード 3 1 0 6 とが電氣的に接続されると、続いて少なくとも突起
電極 3 8 0 とフライングリード 3 1 0 6 との接続位置を含むウェハ
3 9 0 とインタポーザ 3 7 2 C 間にカバー樹脂 3 1 0 8 が形成され
5 る。このカバー樹脂 3 1 0 8 は、ポッティングにより形成しても、
もたモールド成形により形成する構成としてもよい。図 1 6 8 は、
カバー樹脂 3 1 0 8 が形成された状態を示している。

このように、カバー樹脂 3 1 0 8 の形成処理が終了すると、続いて
図 1 6 9 に A - A で示す破線位置で切断処理が行なわれ、これに
10 より図 1 6 6 に示す半導体装置 3 1 0 S が形成される。尚、上記し
た製造方法では、半導体装置 3 1 0 Q を多数個取りする方法につい
て述べたが、図 1 7 0 及び図 1 7 1 に示すように、半導体装置 3 1
0 S を個々に製造することも可能である。

続いて、第 7 2 実施例である半導体装置 3 1 0 T について説明す
15 る。

図 1 7 2 (A) は、第 7 2 実施例である半導体装置 1 0 T を示す
断面図である。尚、図 1 7 2 において、図 1 5 4 を用いて説明した
第 6 7 実施例に係る半導体装置 3 1 0 N の構成と対応する構成につ
いては、同一符号を付してその説明を省略する。 前記した第 6 7
20 乃至 7 1 実施例に係る半導体装置 3 1 0 N ~ 3 1 0 S は、導電性部
材として導電性ペースト 3 1 0 0, スタッドバンプ 3 1 0 4, 或い
はフライングリード 3 1 0 6 を用い、この導電性ペースト 3 1 0 0,
スタッドバンプ 3 1 0 4, フライングリード 3 1 0 6 により半導体
装置本体 3 7 0 とインタポーザ 3 7 2 A, 3 7 2 B とを電氣的に接
25 合（接続）する構成とされていた。

これに対し、本実施例に係る半導体装置 3 1 0 U は、上記の導電
性ペースト 3 1 0 0 或いはスタッドバンプ 3 1 0 4 に代えて、イン
タポーザ 3 7 2 D に導電性部材として、接続ピン 3 1 1 0 と位置決
め部材 3 1 1 2 を組み込んだ構成としたことを特徴とするものであ

る。

本実施例に係るインタポーザ 3 7 2 D は、大略すると接続ピン 3 1 1 0、位置決め部材 3 1 1 2、接着剤 3 1 1 4、及びベース部材 3 1 1 6 等により構成されている。接続ピン 3 1 1 0 は、突起電極 3 8 0 の形成位置に対応した位置に配設され、組み立てられた状態において、その上端部を突起電極 3 8 0 に接合すると共に、下端部を外部接続端子 3 7 6 に接合される。また、位置決め部材 3 1 1 2 は、この接続ピン 3 1 1 0 を突起電極 3 8 0 の形成位置に位置決める機能を有するものであり、シリコンゴム等の可撓性材料により形成されている。

上記のように、接続ピン 3 1 1 0 を保持した位置決め部材 3 1 1 2 は、接着剤 3 1 1 4 によりベース部材 3 1 1 6 に接着固定される。この際、ベース部材 3 1 1 6 の突起電極 3 8 0 の形成位置と対向する位置には孔 3 8 8 が形成されており、接続ピン 3 1 1 0 はこの孔 3 8 8 を介して外部接続端子 3 7 6 と接続される。図 1 7 2 (B) は、接続ピン 3 1 1 0 と外部接続端子 3 7 6 との接続位置を拡大して示している。同図に示されるように、接続ピン 3 1 1 0 は外部接続端子 3 7 6 内に食い込んだ状態で接続されており、よって確実に電氣的に接続されている。

上記構成とされた半導体装置 3 1 0 T では、接続ピン 3 1 1 0 の上端部を突起電極 3 8 0 に接合すると共に下端部を外部接続端子 3 7 6 に接合しているため、突起電極 3 8 0 と外部接続端子 3 7 6 との間に接続ピン 3 1 1 0 が介在した構成となる。

この接続ピン 3 1 1 0 は可撓可能な構成であるため、例えば加熱時等に半導体装置本体 3 7 0 とインタポーザ 3 7 2 D との間に熱膨張率差に起因して応力が発生しても、この応力は接続ピン 3 1 1 0 が可撓することにより吸収される。よって、応力が印加されても外部接続端子 3 7 6 と突起電極 3 8 0 との接続を確実に維持することができる。

また、接続ピン 3 1 1 0 は位置決め部材により突起電極 3 8 0 の形成位置に対応した位置に位置決めされている。このため、実装時において個々の接続ピン 3 1 1 0 と突起電極 3 8 0 または外部接続端子 3 7 6 との位置決め処理を行なう必要はなく、実装作業を容易に行なうことができる。

更に、位置決め部材 3 1 1 2 は可撓性部材により形成されているため、前記のように接続ピン 3 1 1 0 が可撓しても、位置決め部材 3 1 1 2 はこれに追随して可撓するため、半導体装置本体 3 7 0 とインタポーザ 3 7 2 D との間に発生する応力を位置決め部材 3 1 1 2 によっても吸収することができる。

図 1 7 3 乃至図 1 7 5 は、半導体装置 3 1 0 T の製造方法（第 6 5 実施例に係る製造方法）を示している。尚、図 1 7 3 乃至図 1 7 5 において、第 6 0 実施例に係る製造方法を説明するのに用いた図 1 5 5 乃至図 1 5 7 に示した構成と対応する構成については同一符号を付してその説明を省略する。また、以下の製造方法では、半導体装置 3 1 0 T を多数個取りする方法について説明するものとする。

半導体装置 3 1 0 S を製造するには、図 1 7 3 に示すように、予め別工程において半導体装置本体 3 7 0 が複数個形成されたウェハ 3 9 0、接続ピン 3 1 1 0 を保持した位置決め部材 3 1 1 2、接着剤 3 1 1 4、及びベース部材 3 1 1 6 を形成しておく。接着剤 3 1 1 4 及びベース部材 3 1 1 6 の突起電極 3 8 0 の形成位置と対応する位置には、孔 3 8 8 及び通孔 3 1 0 2 を形成しておく。

そして、突起電極 3 8 0 と位置決めピン 3 1 1 0 との位置決めを行なった上で、ウェハ 3 9 0 をインタポーザ 3 7 2 D（接続ピン 3 1 1 0、位置決め部材 3 1 1 2、接着剤 3 1 1 4、ベース部材 3 1 1 6）に加熱しつつ押圧する。これにより、図 1 7 4 に示すように、接続ピン 3 1 1 0 の上端部は突起電極 3 8 0 内に嵌入し、かつ下端部は外部接続端子 3 7 6 に嵌入する。よって突起電極 3 8 0 と外部接続端子 3 7 6 は接続ピン 3 1 1 0 を介して電氣的に接続される。

このように、突起電極 380 と外部接続端子 376 との接続処理が終了すると、続いて図 174 に A-A で示す破線位置で切断処理が行なわれ、これにより図 172 (A) に示す半導体装置 310 T が形成される。尚、上記した製造方法では、半導体装置 310 T を多数個取りする方法について述べたが、図 175 に示すように、半導体装置 310 T を個々に製造することも可能である。

続いて、第 73 実施例である半導体装置 10 U について説明する。

図 176 は、第 73 実施例に係る半導体装置 310 U を示す断面図である。尚、図 176 において、図 172 を用いて説明した第 72 実施例に係る半導体装置 310 T の構成と対応する構成については、同一符号を付してその説明を省略する。

前記した第 72 実施例に係る半導体装置 310 T では、小型化を図るために半導体装置本体 370 に形成された突起電極 380 の配設ピッチと、インタポーザ 372 D に配設された接続ピン 3110 の配設ピッチとを同一ピッチとするよう構成していた。

これに対し、本実施例に係る半導体装置 310 U は、半導体装置本体 370 に形成された突起電極 380 の配設ピッチに対し、インタポーザ 372 B に配設された外部接続端子 376 の配設ピッチを大きく設定したことを特徴とするものである。これに伴い、インタポーザ 372 B の面積は半導体装置本体 370 の面積に対し広くなっている。

このように、突起電極 380 の配設ピッチに対し外部接続端子 376 の配設ピッチを大きく設定したことにより、インタポーザ 372 B 上における配線パターン 384 B の引回しの自由度を更に向上することができる。これにより、外部接続端子 376 の端子レイアウトの自由度が向上し端子設計の容易化を図ることができると共に、突起電極 380 (接続ピン 3110) の電極間ピッチが狭ピッチ化してもこれに容易に対応することができる。

図 177 は、上記した半導体装置 310 T の製造方法 (第 66 実

施例に係る製造方法)を示す図である。また、同図では、多数個取りを行なう方法ではなく、個々に半導体装置 3 1 0 T を形成する方法を例に挙げて示している。

5 本実施例に係る半導体装置 3 1 0 T の製造方法では、予め別工程において半導体装置本体 3 7 0, 接続ピン 3 1 1 0 を保持した位置決め部材 3 1 1 2, 接着剤 3 1 1 4, 及びインタポーザ 3 7 2 B を形成しておく。この際、接着剤 3 1 1 4 の突起電極 3 8 0 の形成位置と対応する位置には、通孔 3 1 0 2 を予め穿設しておく。

10 そして、突起電極 3 8 0 と位置決めピン 3 1 1 2, 及び位置決めピン 3 1 1 2 と接続孔 3 9 6 との位置決めを行なった上で、半導体装置本体 3 7 0 をインタポーザ 3 7 2 B に加熱しつつ押圧する。これにより、接続ピン 3 1 1 0 の上端部は突起電極 3 8 0 内に嵌入し、かつ下端部は外部接続端子 3 7 6 に嵌入すし、よって突起電極 3 8 0 と外部接続端子 3 7 6 は接続ピン 3 1 1 0 を介して電氣的に接続
15 される。以上の処理を行なうことにより、図 1 7 6 に示す半導体装置 3 1 0 U が形成される。

以上、本発明の実施例を説明した。本発明は上記実施例に限定されるものではなく、その他の実施例、変形例等を含むものである。

請求の範囲

1. 突起電極が配設された複数の半導体素子が形成された基板を
金型内に装着し、続いて前記突起電極の配設位置に封止樹脂を供給
して前記突起電極及び前記基板を前記封止樹脂で封止し樹脂層を形
成する樹脂封止工程と、

前記突起電極の少なくとも先端部を前記樹脂層より露出させる突
起電極露出工程と、

前記基板を前記樹脂層と共に切断して個々の半導体素子に分離す
る分離工程とを具備することを特徴とする半導体装置の製造方法。

2. 請求項 1 記載の半導体装置の製造方法において、

前記樹脂封止工程で用いられる封止樹脂は、封止処理後における
前記樹脂層の高さが前記突起電極の高さと略等しい高さとなる量に
計量されていることを特徴とする半導体装置の製造方法。

3. 請求項 1 または 2 記載の半導体装置の製造方法において、

前記樹脂封止工程で、前記突起電極と前記金型との間にフィルム
を配設し、前記金型が前記フィルムを介して前記封止樹脂と接触す
るよう構成したことを特徴とする半導体装置の製造方法。

4. 請求項 1 乃至 3 のいずれかに記載の半導体装置の製造方法に
おいて、

前記樹脂封止工程で用いられる金型を、

昇降可能な上型と、

固定された第 1 の下型半体と、前記第 1 の下型半体に対して昇降
可能な構成とされた第 2 の下型半体とよりなる下型とにより構成す
ると共に、

前記樹脂封止工程が、

突起電極が配設された複数の半導体素子が形成された基板を前記
第 1 及び第 2 の下型半体が協働して形成するキャビティ内に装着す
ると共に、前記封止樹脂を前記キャビティ内に配設する基板装着工

程と、

前記上型を前記第 2 の下型半体と共に下動させることにより前記封止樹脂を加熱、溶融、圧縮し、前記突起電極を封止する樹脂層を形成する樹脂層形成工程と、

5

先ず上型を上昇させて前記上型を前記樹脂層から離間させ、続いて第 2 の下型半体を第 1 の下型半体に対して昇降させることにより、前記樹脂層が形成された基板を前記金型から離型させる離型工程とを有することを特徴とする半導体装置の製造方法。

10

5. 請求項 1 乃至 4 のいずれかに記載の半導体装置の製造方法において、

前記樹脂封止工程で用いられる金型に余剰樹脂除去機構を設け、該余剰樹脂除去機構により余剰樹脂を除去すると共に前記金型内における封止樹脂の圧力を制御することを特徴とする半導体装置の製造方法。

15

6. 請求項 1 乃至 5 の何れかに記載の半導体装置の製造方法において、

前記樹脂封止工程で、封止樹脂としてシート状樹脂を用いたことを特徴とする半導体装置の製造方法。

20

7. 請求項 3 または 6 記載の半導体装置の製造方法において、

前記封止樹脂を前記樹脂封止工程の実施前に予め前記フィルムに配設することを特徴とする半導体装置の製造方法。

8. 請求項 7 記載の半導体装置の製造方法において、

前記封止樹脂を前記フィルムに複数個配設しておき、前記フィルムを移動させることにより、連続的に前記樹脂封止工程を実施することを特徴とする半導体装置の製造方法。

25

9. 請求項 1 乃至 8 記載のいずれかに記載の半導体装置の製造方法において、

前記樹脂封止工程で前記金型に前記基板を装着する前に補強板を装着しておくことを特徴とする半導体装置の製造方法。

10. 請求項9記載の半導体装置の製造方法において、
前記補強板として放熱性の良好な材料を選定したことを特徴とする半導体装置の製造方法。

5 11. 請求項1乃至10のいずれかに記載の半導体装置の製造方法において、

前記突起電極露出工程で前記樹脂層に覆われた突起電極の少なくとも先端部を前記樹脂層より露出させる手段として、レーザ光照射、エキシマレーザ、エッチング、機械研磨、及びブラストの内、少なくとも1の手段を用いることを特徴とする半導体装置の製造方法。

10 12. 請求項3乃至10のいずれかに記載の半導体装置の製造方法において、

前記樹脂封止工程で用いられる前記フィルムの材質として弾性変形可能な材質を選定し、前記金型を用いて前記樹脂層を形成する際に前記突起電極の先端部を前記フィルムにめり込ませると共に、

15 前記突起電極露出工程で前記フィルムを前記樹脂層から剝離させることにより、前記突起電極の先端部が前記樹脂層より露出させることを特徴とする半導体装置の製造方法。

13. 昇降可能な上型と、

20 基板の形状に対応しており固定された第1の下型半体と、前記第1の下型半体を囲繞するよう配設されると共に前記第1の下型半体に対して昇降可能な第2の下型半体とよりなる下型とにより構成され、

前記上型と下型とが協働して樹脂充填が行なわれるキャビティを形成する構成としたことを特徴とする半導体装置製造用金型。

25 14. 請求項13記載の半導体装置製造用金型において、

樹脂成形時に余剰樹脂の除去処理を同時に行うと共に前記封止樹脂の圧力を制御する余剰樹脂除去機構を設けたことを特徴とする半導体装置製造用金型。

15. 請求項13または14記載の半導体装置製造用金型におい

て、

前記第 1 の下型半体の前記基板が載置される部位に、前記基板を前記第 1 の下型半体に固定・離型させる固定・離型機構を設けたことを特徴とする半導体装置製造用金型。

5

16. 請求項 15 記載の半導体装置製造用金型において、
前記固定・離型機構を、

前記第 1 の下型半体の前記基板が載置される部位に配設された多孔質部材と、前記多孔質部材に対し気体の吸引処理及び気体の供給処理を行なう吸排気装置とにより構成したことを特徴とする半導体装置製造用金型。

10

17. 請求項 13 乃至 16 のいずれかに記載の半導体装置製造用金型において、

前記キャビティを形成した状態において、前記第 1 の下型半体の上部の面積よりも前記第 2 の下型半体で囲繞される面積が広がる部分を有する構成としたことを特徴とする半導体装置製造用金型。

15

18. 少なくとも表面上に突起電極が直接形成されてなる半導体素子と、

前記半導体素子の表面上に形成されており、前記突起電極の先端部を残し前記突起電極を封止する樹脂層と
を具備することを特徴とする半導体装置。

20

19. 請求項 18 記載の半導体装置において、

前記半導体素子の前記突起電極が形成される表面に対し反対側となる背面に、放熱部材を配設したことを特徴とする半導体装置。

20. 請求項 1 乃至 12 のいずれかに記載の半導体装置の製造方法において、

25

前記樹脂封止工程で用いられる封止樹脂として、異なる特性を有する複数の封止樹脂を用いることを特徴とする半導体装置の製造方法。

21. 請求項 9 または 10 記載の半導体装置の製造方法において、

前記樹脂封止工程において、予め前記封止樹脂を前記補強板に配設しておくことを特徴とする半導体装置の製造方法。

22. 請求項21記載の半導体装置の製造方法において、

5 前記補強板に金型に装着した状態において基板に向け延出する枠部を形成することにより凹部を形成し、

前記樹脂封止工程の実施時において、前記補強板に形成された凹部を樹脂封止用のキャビティとして用いて前記基板に樹脂層を形成することを特徴とする半導体装置の製造方法。

10 23. 請求項1乃至12のいずれかに記載の半導体装置の製造方法において、

前記樹脂封止工程で前記突起電極が配設された前記基板の表面に第1の樹脂層を形成した後、または同時に、前記基板の背面を覆うように第2の樹脂層を形成することを特徴とする半導体装置の製造方法。

15 24. 請求項3乃至10のいずれかに記載の半導体装置の製造方法において、

20 前記樹脂封止工程で、前記フィルムとして前記突起電極と対向する位置に凸部が形成されたものを用い、前記凸部を前記突起電極に押圧した状態で前記樹脂層を形成することを特徴とする半導体装置の製造方法。

25 25. 請求項1乃至12のいずれか、または請求項20乃至24のいずれかに記載の半導体装置の製造方法において、

前記突起電極露出工程で前記突起電極の少なくとも先端部を前記樹脂層より露出させた後に、

前記突起電極の先端部に外部接続用突起電極を形成する外部接続用突起電極形成工程を実施することを特徴とする半導体装置の製造方法。

26. 請求項25記載の半導体装置の製造方法において、

前記外部接続用突起電極形成工程で、前記突起電極と前記外部接

続用突起電極を応力緩和機能を有する接合材を用いて接合させることを特徴とする半導体装置の製造方法。

27. 請求項1乃至12のいずれか、または請求項20乃至26のいずれかに記載の半導体装置の製造方法において、

5 前記樹脂封止工程を実施する前に、予め前記基板の前記分離工程で切断される位置に切断位置溝を形成しておき、

前記分離工程において、前記封止樹脂が充填された前記切断位置溝の形成位置で前記基板を切断することを特徴とする半導体装置の製造方法。

10 28. 請求項1乃至12のいずれか、または請求項20乃至26のいずれかに記載の半導体装置の製造方法において、

前記樹脂封止工程を実施する前に、予め前記基板の前記分離工程で切断される位置を挟んで少なくとも一对の応力緩和溝を形成しておき、

15 前記分離工程において、前記一对の応力緩和溝の間位置で前記基板を切断することを特徴とする半導体装置の製造方法。

29. 突起電極を有する複数の半導体素子が形成された基板を切断することにより個々の半導体素子に分離する第1の分離工程と、

20 分離された前記半導体素子をベース材に整列させて搭載した後、前記搭載された半導体素子を前記封止樹脂で封止し樹脂層を形成する樹脂封止工程と、

前記突起電極の少なくとも先端部を前記樹脂層より露出させる突起電極露出工程と、

25 隣接する前記半導体素子の間位置で前記ベース材と共に前記樹脂層を切断することにより、前記樹脂層が形成された半導体素子を個々分離する第2の分離工程とを具備することを特徴とする半導体装置の製造方法。

30. 外部と接続される外部接続電極が表面に形成された複数の半導体素子が形成された基板を金型内に装着し、続いて前記表面に

封止樹脂を供給して前記外部接続電極及び前記基板を前記封止樹脂で封止し樹脂層を形成する樹脂封止工程と、

5 前記外部接続電極が形成された位置で前記基板を前記樹脂層と共に切断して個々の半導体素子に分離する分離工程とを具備することを特徴とする半導体装置の製造方法。

3 1. 請求項 3 0 記載の半導体装置の製造方法において、

前記分離工程実施前では、前記外部接続電極が前記基板に形成された隣接する半導体素子間で共有化されていることを特徴とする半導体装置の製造方法。

10 3 2. 請求項 1 乃至 1 2 のいずれか、または請求項 2 0 乃至 3 1 のいずれかに記載の半導体装置の製造方法において、

少なくとも前記樹脂封止工程の実施後で、かつ前記分離工程を実施する前に、前記樹脂層または前記基板の背面に位置決め溝を形成することを特徴とする半導体装置の製造方法。

15 3 3. 請求項 3 2 記載の半導体装置の製造方法において、

前記位置決め溝は、前記樹脂層または前記基板の背面にハーフスクライブを行なうことにより形成されることを特徴とする半導体装置の製造方法。

20 3 4. 請求項 3 乃至 1 2 のいずれか、または請求項 2 0 乃至 2 9 のいずれかに記載の半導体装置の製造方法において、

前記樹脂封止工程で、前記フィルムとして前記突起電極と干渉しない位置に凸部または凹部が形成されたものを用い、

25 前記樹脂封止工程の終了後に、前記凸部または凹部により前記樹脂層上に形成される凹凸を位置決め部として用いることを特徴とする半導体装置の製造方法。

3 5. 請求項 1 乃至 1 2 のいずれか、または請求項 2 0 乃至 2 9 のいずれかに記載の半導体装置の製造方法において、

前記樹脂封止工程の終了後、位置決め基準として用いる位置決め用突起電極の形成位置における封止樹脂を加工し、前記位置決め

用突起電極と他の突起電極とを識別しうるようにすることを特徴とする半導体装置の製造方法。

36. 外部端子と電氣的に接続される外部接続電極が表面に形成された半導体素子と、

5 前記外部接続電極を覆うように前記半導体素子の表面に形成された樹脂層とを具備し、

前記半導体素子と前記樹脂層との界面において、前記外部接続電極が側方に向け露出した構成としたことを特徴とする半導体装置。

37. 請求項36記載の半導体装置の実装方法であって、
10 前記半導体装置を実装基板に対し立設状態で実装することを特徴とする半導体装置の実装方法。

38. 請求項37記載の半導体装置の実装方法であって、
前記半導体装置を複数個並列状態に実装すると共に、隣接する前記半導体装置同志を接着剤により接合することを特徴とする半導体装置の実装方法。
15

39. 請求項37記載の半導体装置の実装方法であって、
前記半導体装置を複数個並列状態に実装すると共に、前記複数の半導体装置を支持部材を用いて立設状態に支持することを特徴とする半導体装置の実装方法。
20 40. 請求項18または請求項19または請求項36のいずれかに記載の半導体装置の実装方法であって、
前記半導体装置をインターポーザ基板を介して実装基板に実装することを特徴とする半導体装置の実装方法。

41. 請求項18または17記載の半導体装置において、
前記樹脂層を異なる複数の樹脂により構成したことを特徴とする半導体装置。
25

42. 少なくとも表面上に突起電極が直接形成されてなる半導体素子と、

前記半導体素子の表面上に形成されており、前記突起電極の先端部を残し前記突起電極を封止する第1の樹脂層と、

少なくとも前記半導体素子の背面を覆うように配設された第2の樹脂層とを具備することを特徴とする半導体装置。

4 3. 少なくとも表面上に突起電極が直接形成されてなる半導体素子と、

5 前記半導体素子の表面上に形成されており、前記突起電極の先端部を残し前記突起電極を封止する樹脂層と、

前記樹脂層から露出した前記突起電極の先端部に形成された外部接続用突起電極とを具備することを特徴とする半導体装置。

10 4 4. 少なくとも可撓性基材に半導体素子及びリードが配設された構成の配線基板を金型内に装着し、続いて前記半導体素子の配設位置に封止樹脂を供給して前記半導体素子を樹脂封止する樹脂封止工程と、

15 前記配線基板に形成されたリードと電氣的に接続するよう突起電極を形成する突起電極形成工程とを有する半導体装置の製造方法において、

前記半導体素子を樹脂封止する手段として、圧縮成形法を用いたことを特徴とする半導体装置の製造方法。

4 5. 請求項 4 4 記載の半導体装置の製造方法において、

20 前記配線基板を形成する際、前記半導体素子を収納するキャビティ部が形成された枠体を配設することを特徴とする半導体装置の製造方法。

4 6. 請求項 4 4 または 4 5 記載の半導体装置の製造方法において、

25 前記樹脂封止工程で、前記金型の前記配線基板と対向する位置に前記封止樹脂に対する離型性の良好なフィルムを配設し、前記金型が前記フィルムを介して前記封止樹脂と接触するよう構成したことを特徴とする半導体装置の製造方法。

4 7. 請求項 4 4 または 4 5 記載の半導体装置の製造方法において、

前記樹脂封止工程で、前記金型の前記配線基板と対向する位置に前記封止樹脂に対する離型性の良好な板状部材を配設し、前記金型が前記板状部材を介して前記封止樹脂と接触するよう構成したことを特徴とする半導体装置の製造方法。

5

48. 請求項47記載の半導体装置の製造方法において、
前記板状部材として放熱性の良好な材料を選定したことを特徴とする半導体装置の製造方法。

49. 請求項44乃至48のいずれかに記載の半導体装置の製造方法において、

10

前記樹脂封止工程で用いられる金型に、余剰樹脂を除去すると共に前記金型内における封止樹脂の圧力を制御する余剰樹脂除去機構を設けたことを特徴とする半導体装置の製造方法。

50. 請求項44乃至49のいずれかに記載の半導体装置の製造方法において、

15

前記配線基板に前記半導体素子の形成位置より側方に長く延出した延出部を形成し、

前記樹脂封止工程の終了後で前記突起電極形成工程の実施前に、前記延出部を折り曲げる折曲工程を実施し、

20

前記突起電極形成工程において、折曲された前記延出部に前記突起電極を形成することを特徴とする半導体装置の製造方法。

51. 請求項44乃至49のいずれかに記載の半導体装置の製造方法において、

前記配線基板に前記半導体素子の形成位置より側方に長く延出した延出部を形成し、

25

前記樹脂封止工程の実施前に、前記延出部を折り曲げる折曲工程を実施し、

前記折曲工程を実施した後に、前記樹脂封止工程と前記突起電極形成工程を実施することを特徴とする半導体装置の製造方法。

52. 請求項50または51記載の半導体装置の製造方法におい

て、

前記延出部の先端部に前記半導体素子と接続される接続電極を形成しておき、前記折曲工程の実施後に、前記半導体素子と前記接続電極とを接続する素子接続工程を行なうことを特徴とする半導体装置の製造方法。

5 3. 請求項 5 1 記載の半導体装置の製造方法において、

前記接続電極を千鳥状に配設すると共に、角部を曲線状に形成したことを特徴とする半導体装置の製造方法。

5 4. 半導体素子と、

10 外部接続端子として機能する突起電極と、

可撓性基材上に、前記半導体素子に一端が接続されると共に他端部が前記突起電極に接続されるリードが形成された配線基板と、

前記半導体素子を封止する封止樹脂とを具備する半導体装置において、

15 前記配線基板に前記半導体素子の形成位置より側方に長く延出すると共に折曲された延出部を形成し、前記延出部に前記突起電極が形成されていることを特徴とする半導体装置。

5 5. 請求項 5 4 記載の半導体装置において、

20 前記配線基板を支持すると共に前記半導体素子を収納するキャビティ部が形成された枠体が設けられていることを特徴とする半導体装置。

5 6. 請求項 5 4 または 5 5 記載の半導体装置において、

前記突起電極は前記リードを塑性変形することにより形成されたメカニカルバンプであることを特徴とする半導体装置。

25 5 7. 単数または複数の半導体素子と、

前記半導体素子の一部或いは全部を封止する封止樹脂と、

前記封止樹脂内に配設され、前記半導体素子と電氣的に接続する共にその一部が少なくとも前記封止樹脂の側面に露出して外部接続端子を形成する電極板とを具備することを特徴とする半導体装置。

5 8. 請求項 5 7 記載の半導体装置において、
前記半導体素子と前記電極板とをフリップチップ接合したことを
特徴とする半導体装置。

5 5 9. 請求項 5 7 または 5 8 記載の半導体装置において、
前記電極板を前記封止樹脂の側面に加え底面にも露出させて外部
接続端子を形成するよう構成したことを特徴とする半導体装置。

10 6 0. 請求項 5 7 または 5 8 記載の半導体装置において、
前記電極板に突出形成された突出端子を設けると共に、前記突出
端子を前記封止樹脂の底面に露出させて外部接続端子を形成する構
成としたことを特徴とする半導体装置。

6 1. 請求項 6 0 記載の半導体装置において、
前記突出端子は、前記電極板を塑性加工することにより前記電極
板に一体的に形成したことを特徴とする半導体装置。

15 6 2. 請求項 6 0 記載の半導体装置において、
前記突出端子は、前記電極板に配設した突起電極であることを特
徴とする半導体装置。

6 3. 請求項 5 7 乃至 6 2 のいずれかに記載の半導体装置におい
て、

20 前記半導体素子の一部を前記封止樹脂より露出させた構成とした
ことを特徴とする半導体装置。

6 4. 請求項 5 7 乃至 6 3 のいずれかに記載の半導体装置におい
て、

前記封止樹脂の前記半導体素子に近接する位置に放熱部材を配設
したことを特徴とする半導体装置。

25 6 5. 金属基板に対しパターン成形処理を行なうことにより電極
板を形成する電極板形成工程と、

前記電極板に半導体素子を搭載し電氣的に接続するチップ搭載工
程と、

前記半導体素子及び前記電極板を封止する封止樹脂を形成する封

止樹脂形成工程と、

個々の半導体装置の境界位置で、前記封止樹脂及び前記電極板を切断することにより個々の半導体装置を切り出す切断工程とを有することを特徴とする半導体装置の製造方法。

5

6 6. 請求項 6 5 記載の半導体装置の製造方法において、

前記電極板形成工程で実施するパターン成形処理は、エッチング法またはプレス加工法を用いて行なうことを特徴とする半導体装置の製造方法。

10

6 7. 請求項 6 5 または 6 6 記載の半導体装置の製造方法において、

前記チップ搭載工程で、前記半導体素子を前記電極板に搭載する手段として、フリップチップ接合法を用いたことを特徴とする半導体装置の製造方法。

15

6 8. 請求項 6 5 または 6 7 のいずれかに記載の半導体装置の製造方法において、

前記チップ搭載工程を実施する前に、前記半導体素子を放熱部材上に位置決めして取り付けるチップ取り付け工程を実施し、

20

前記チップ搭載工程において、前記放熱部材に取り付けられた状態で前記半導体素子を前記電極板に搭載することを特徴とする半導体装置の製造方法。

6 9. 請求項 6 5 または 6 8 のいずれかに記載の半導体装置の製造方法において、

25

前記電極板形成工程で、前記電極板より突出する突出端子を形成すると共に、前記封止樹脂形成工程で、前記突出端子が前記封止樹脂から露出するよう前記封止樹脂を形成することを特徴とする半導体装置の製造方法。

7 0. 請求項 5 7 乃至 6 4 のいずれかに記載の半導体装置を実装基板に実装する半導体装置の実装構造において、

前記半導体装置が装着される装着部と、前記封止樹脂の側面に露

出した外部接続端子と接続するよう設けられたリード部とを有するソケットを用い、

前記半導体装置を前記ソケットに装着して前記リード部と前記外部接続端子を接続した上で、前記リード部を前記実装基板に接合させることを特徴とする半導体装置の実装構造。

71. 請求項60乃至62のいずれかに記載の半導体装置を実装基板に実装する半導体装置の実装構造において、

前記外部端子を形成する前記突出端子にバンプを配設し、該バンプを介して前記半導体装置を前記実装基板に接合させることを特徴とする半導体装置の実装構造。

72. 請求項59乃至64のいずれかに記載の半導体装置を実装基板に実装する半導体装置の実装構造において、

前記外部接続端子の形成位置に対応した位置に配設された可撓可能な接続ピンと、前記接続ピンを位置決めする位置決め部材とにより構成される実装部材を用い、

前記接続ピンの上端部を前記半導体装置の外部接続端子に接合すると共に、下端部を前記実装基板に接合することを特徴とする半導体装置の実装構造。

73. 少なくとも表面上に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されると共に前記突起電極の先端部を残し前記突起電極を封止する樹脂層とを具備する半導体装置本体と、

前記半導体装置本体が装着されると共に、前記半導体装置本体が接続される配線パターンがベース部材上に形成されたインタポーザと、

接着性及び押圧方向に対する導電性を有しており、前記半導体装置本体と前記インタポーザとの間に介装され、前記半導体装置本体を前記インタポーザに接着固定すると共に押圧されることにより前記半導体装置本体と前記インタポーザとを電氣的に接続する異方性

導電膜と、

前記ベース部材に形成された孔を介して前記配線パターンと接続されると共に、前記半導体装置本体の搭載面と反対側の面に配設される外部接続端子と

5 を具備することを特徴とする半導体装置。

7 4. 請求項 7 3 記載の半導体装置において、

前記半導体装置本体に形成された前記突起電極の配設ピッチと、前記インタポーザに配設された前記外部接続端子の配設ピッチを同一ピッチとしたことを特徴とする半導体装置。

10 7 5. 請求項 7 3 記載の半導体装置において、

前記半導体装置本体に形成された前記突起電極の配設ピッチに対し、前記インタポーザに配設された前記外部接続端子の配設ピッチを大きく設定したことを特徴とする半導体装置。

15 7 6. 請求項 7 3 乃至 7 5 のいずれかに記載の半導体装置において、

前記インタポーザ上に、前記突起電極と対向する位置に孔を有する絶縁部材を配設したことを特徴とする半導体装置。

7 7. 請求項 7 3 乃至 7 6 のいずれかに記載の半導体装置において、

20 前記インタポーザとしてTAB (Tape Automated Bonding) テープを用いたことを特徴とする半導体装置。

7 8. 半導体素子の少なくとも表面上に突起電極を直接形成すると共に、該半導体素子の表面上に前記突起電極の先端部を残し樹脂層を形成し半導体装置本体を形成する半導体装置本体形成工程と、

25 ベース部材上に前記半導体装置本体が接続される配線パターンを形成すると共に、前記ベース部材の前記突起電極形成位置に対応する位置に孔を形成しインタポーザを形成するインタポーザ形成工程と、

前記半導体装置本体と前記インタポーザとを接着性及び押圧方向

に対する導電性を有した異方性導電膜を介して接合し、前記半導体装置本体を前記インタポーザに接着固定すると共に押圧されることにより前記半導体装置本体と前記インタポーザとを電氣的に接続する接合工程と、

- 5 前記半導体装置本体の搭載面と反対側の面に、前記ベース部材に形成された孔を介して前記配線パターンと接続されるよう外部接続端子を形成する外部接続端子形成工程と
- を具備することを特徴とする半導体装置の製造方法。

- 10 79. 少なくとも表面上に突起電極が直接形成されてなる半導体素子と、前記半導体素子の表面上に形成されると共に前記突起電極の先端部を残し前記突起電極を封止する樹脂層とを具備する半導体装置本体と、

- 15 前記半導体装置本体が装着されると共に、前記半導体装置本体が接続される配線パターンがベース部材上に形成されたインタポーザと、

- 前記半導体装置本体と前記インタポーザとの間に介装され、前記半導体装置本体を前記インタポーザに接着固定する接着剤と、

- 20 前記半導体装置本体と前記インタポーザとを電氣的に接続する導電性部材と、前記ベース部材に形成された孔を介して前記配線パターンと接続されると共に、前記半導体装置本体の搭載面と反対側の面に配設される外部接続端子と
- を具備することを特徴とする半導体装置。

80. 請求項79記載の半導体装置において、

- 25 前記導電性部材は、導電性ペーストであることを特徴とする半導体装置。

81. 請求項79記載の半導体装置において、

前記導電性部材は、スタッドバンプであることを特徴とする半導体装置。

82. 請求項79記載の半導体装置において、

前記導電性部材は、前記配線パターンと一体的に形成されると共に前記接着剤の配設位置を迂回して前記突起電極に接続するフライングリードであることを特徴とする半導体装置。

5 8 3. 請求項 8 2 記載の半導体装置において、
少なくとも前記突起電極と前記フライングリードとの接続位置を樹脂封止する構成としたことを特徴とする半導体装置。

8 4. 請求項 7 9 記載の半導体装置において、
前記導電性部材は、
10 前記突起電極の形成位置に対応した位置に配設され、その上端部を前記半導体装置の突起電極に接合すると共に、下端部を前記外部接続端子に接合する接続ピンと、

該接続ピンを位置決めする位置決め部材と
により構成されることを特徴とする半導体装置。

8 5. 請求項 8 4 記載の半導体装置において、
15 前記位置決め部材は、可撓性部材により形成されていることを特徴とする半導体装置。

8 6. 半導体素子の少なくとも表面上に突起電極を直接形成すると共に、該半導体素子の表面上に前記突起電極の先端部を残し樹脂層を形成し半導体装置本体を形成する半導体装置本体形成工程と、
20 ベース部材上に前記半導体装置本体が接続される配線パターンを形成すると共に、前記ベース部材の前記突起電極形成位置に対応する位置に孔を形成しインタポーザを形成するインタポーザ形成工程と、

前記半導体装置本体または前記インタポーザの少なくとも一方に
25 導電性部材を配設する導電性部材配設工程と、

前記半導体装置本体と前記インタポーザとを接着剤を介して接合すると共に、前記導電性部材により前記半導体装置本体と前記インタポーザとを電氣的に接続する接合工程と、

前記半導体装置本体の搭載面と反対側の面に、前記ベース部材に

形成された孔を介して前記配線パターンと接続されるよう外部接続端子を形成する外部接続端子形成工程と
を具備することを特徴とする半導体装置の製造方法。

5

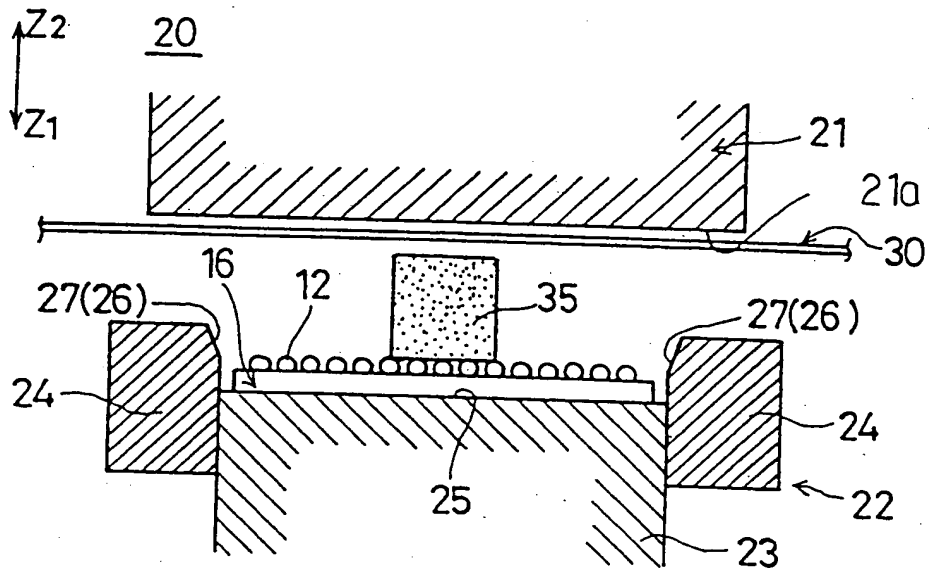
10

15

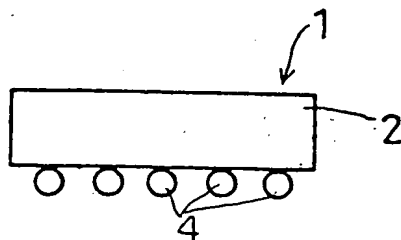
20

25

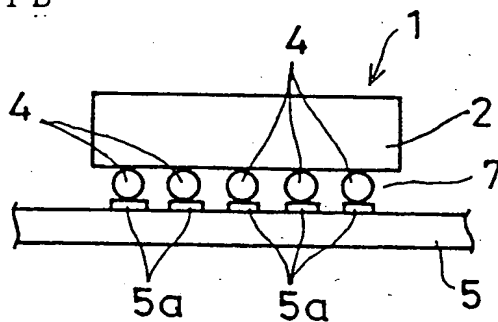
1



☒ 1 A



☒ 1 B



☒ 1 C

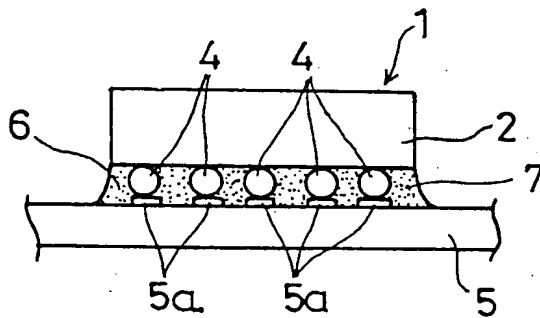


図 2

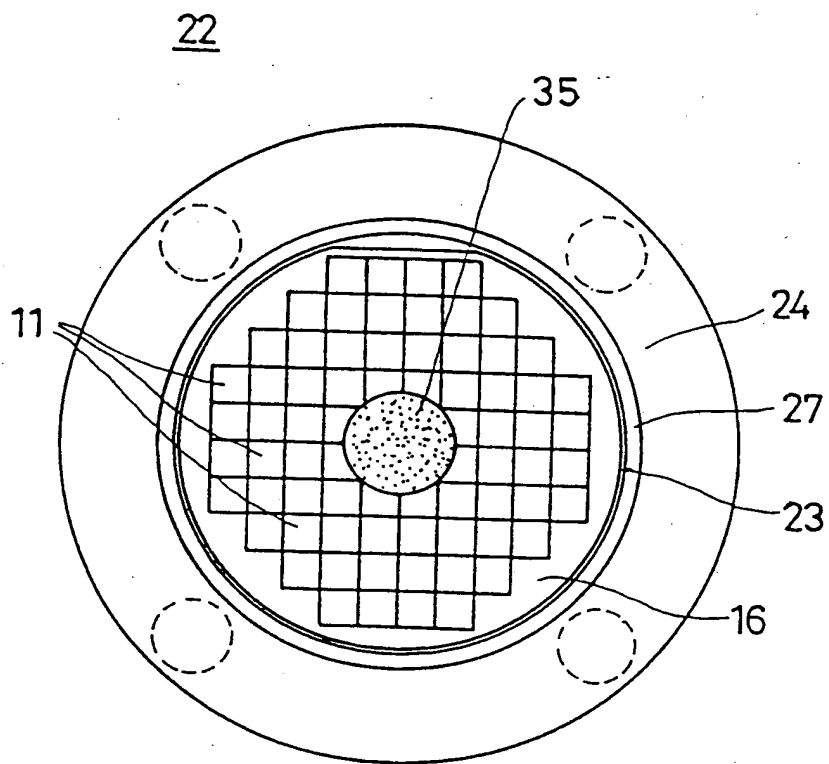


図 3

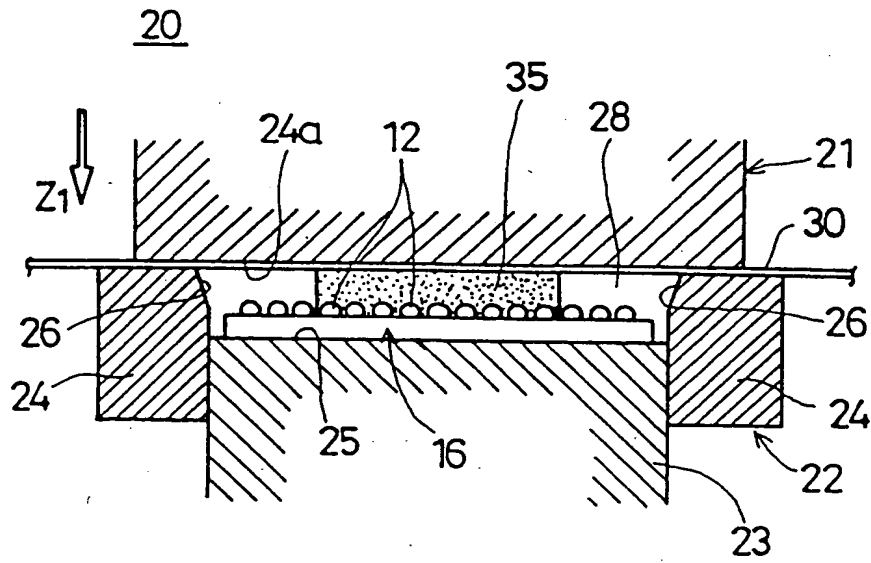


图 4

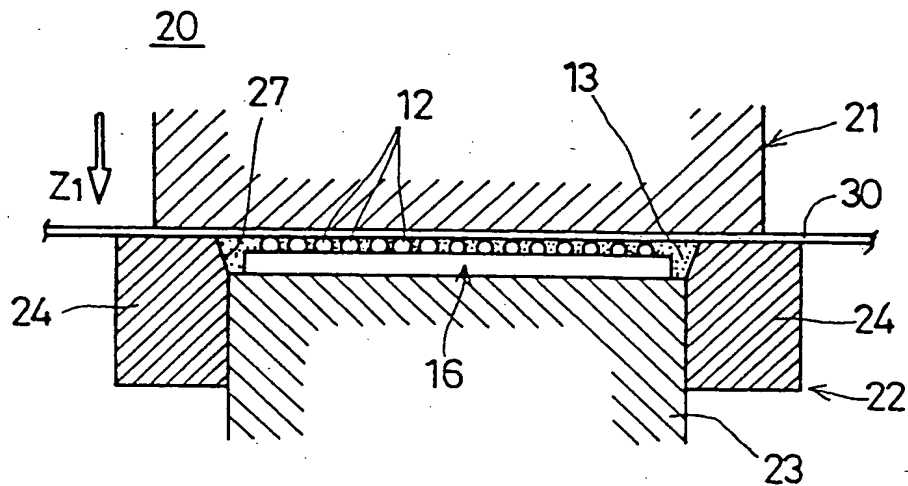
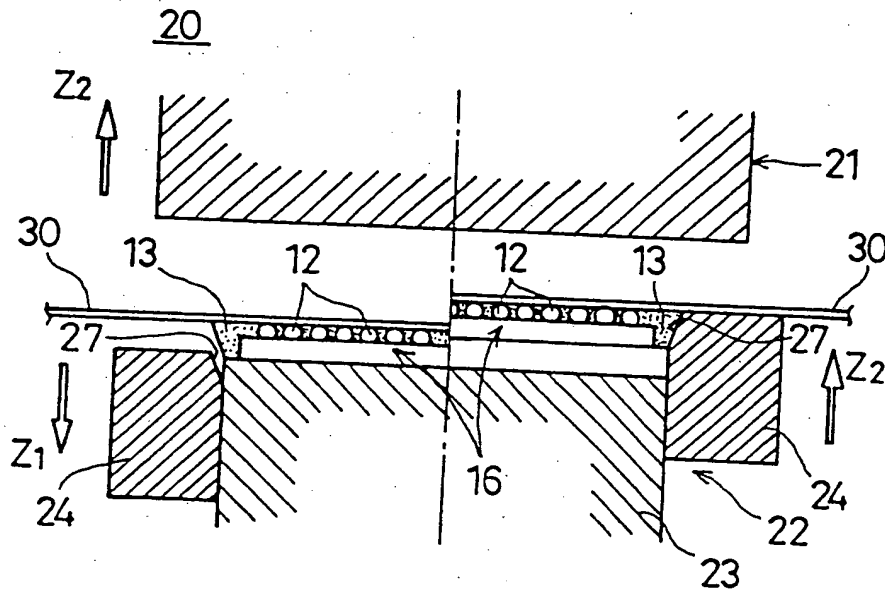
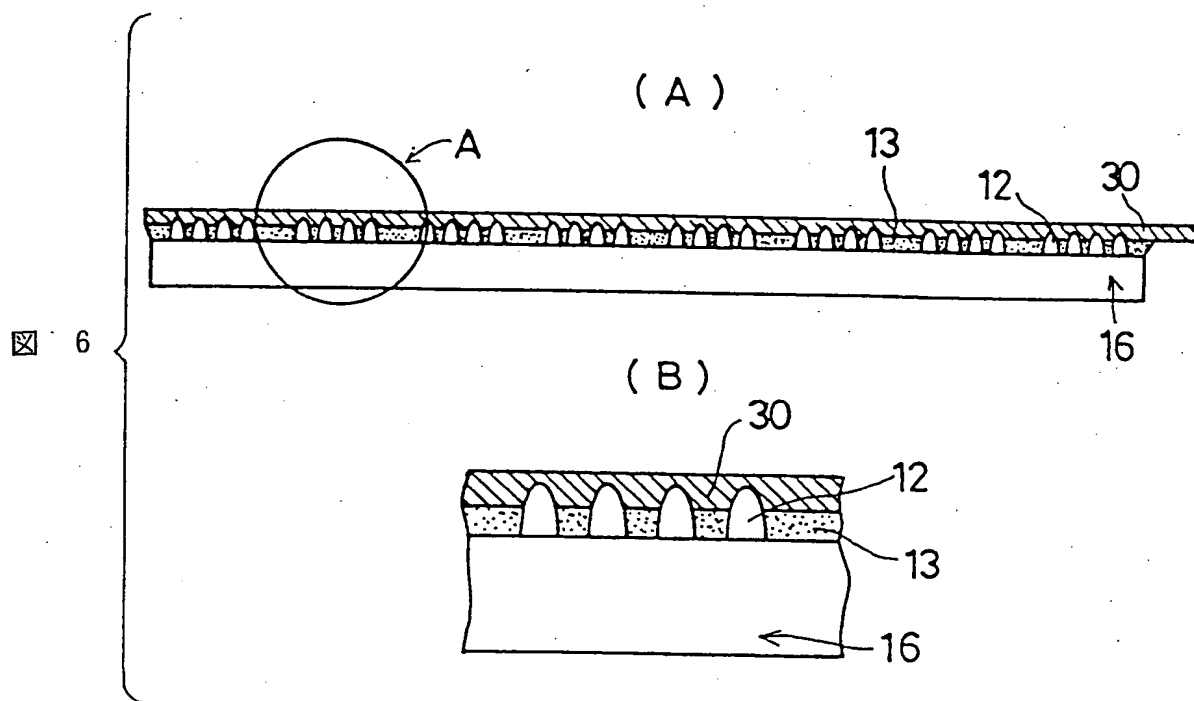
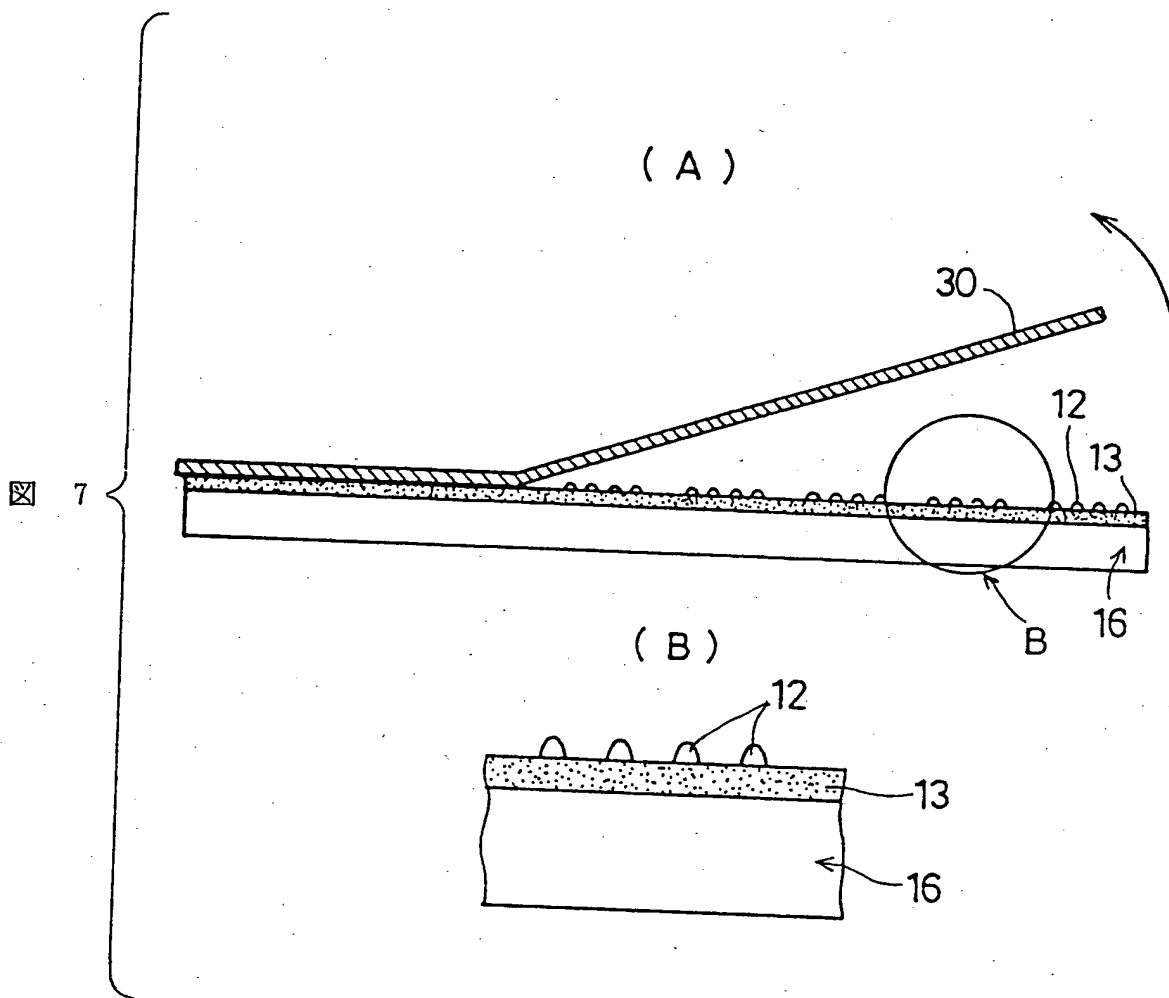


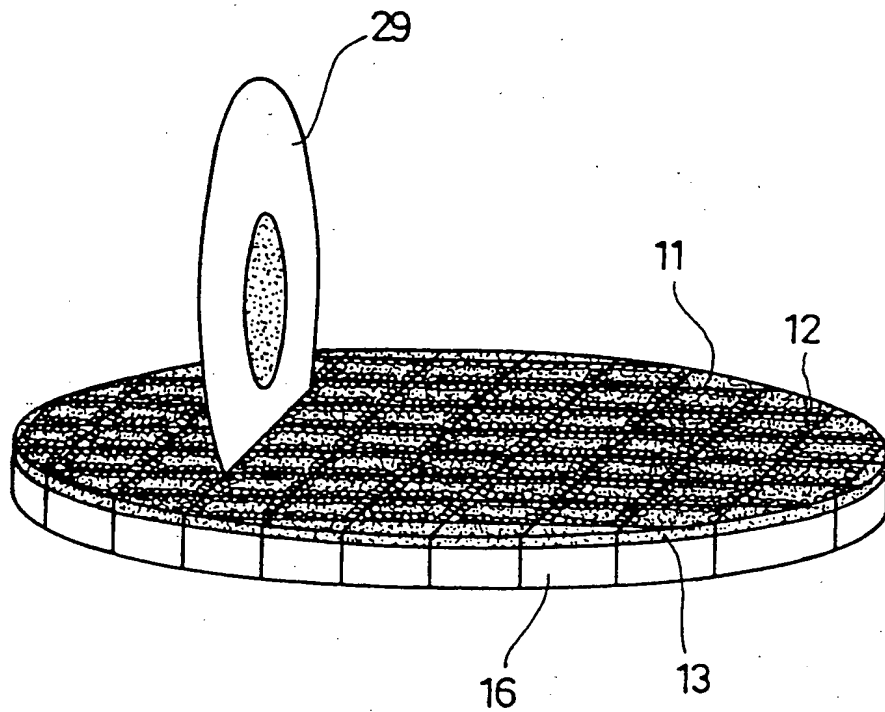
図 5







8



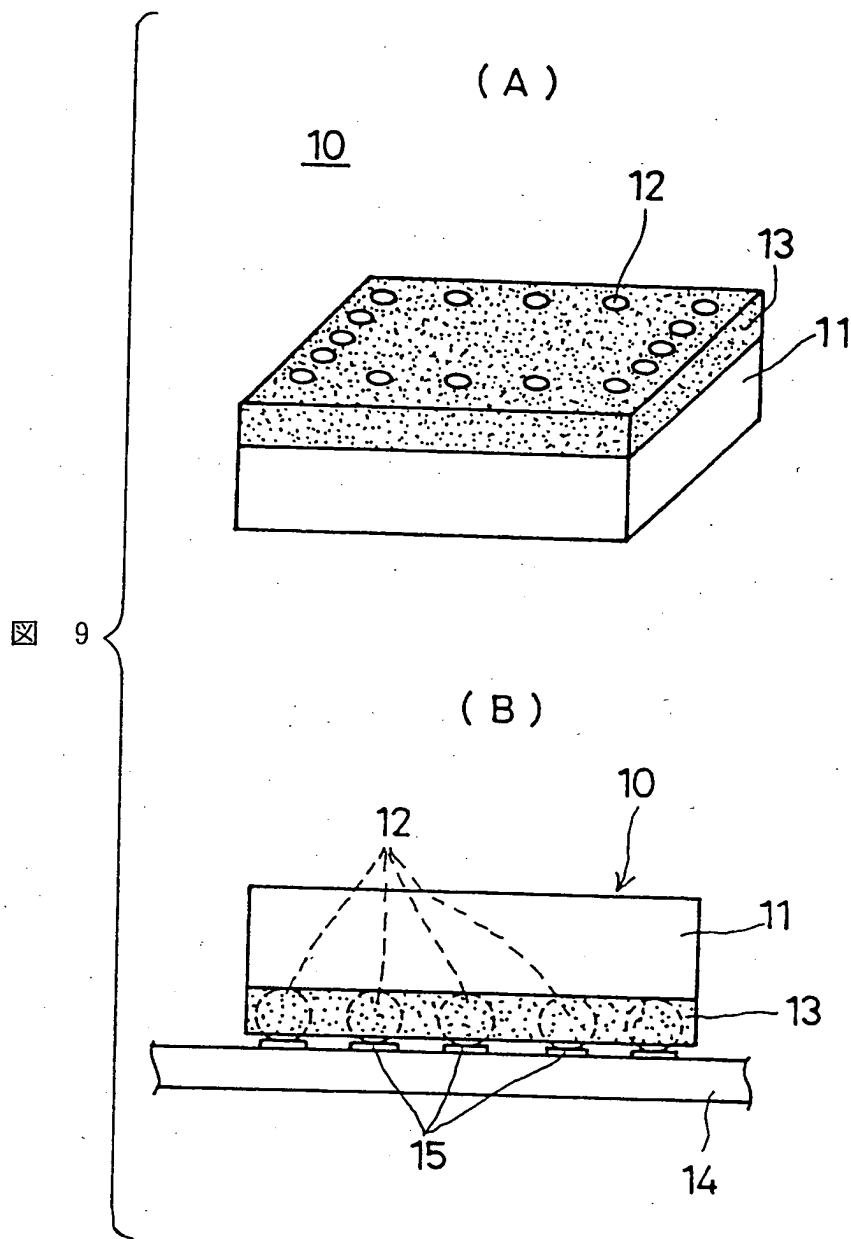
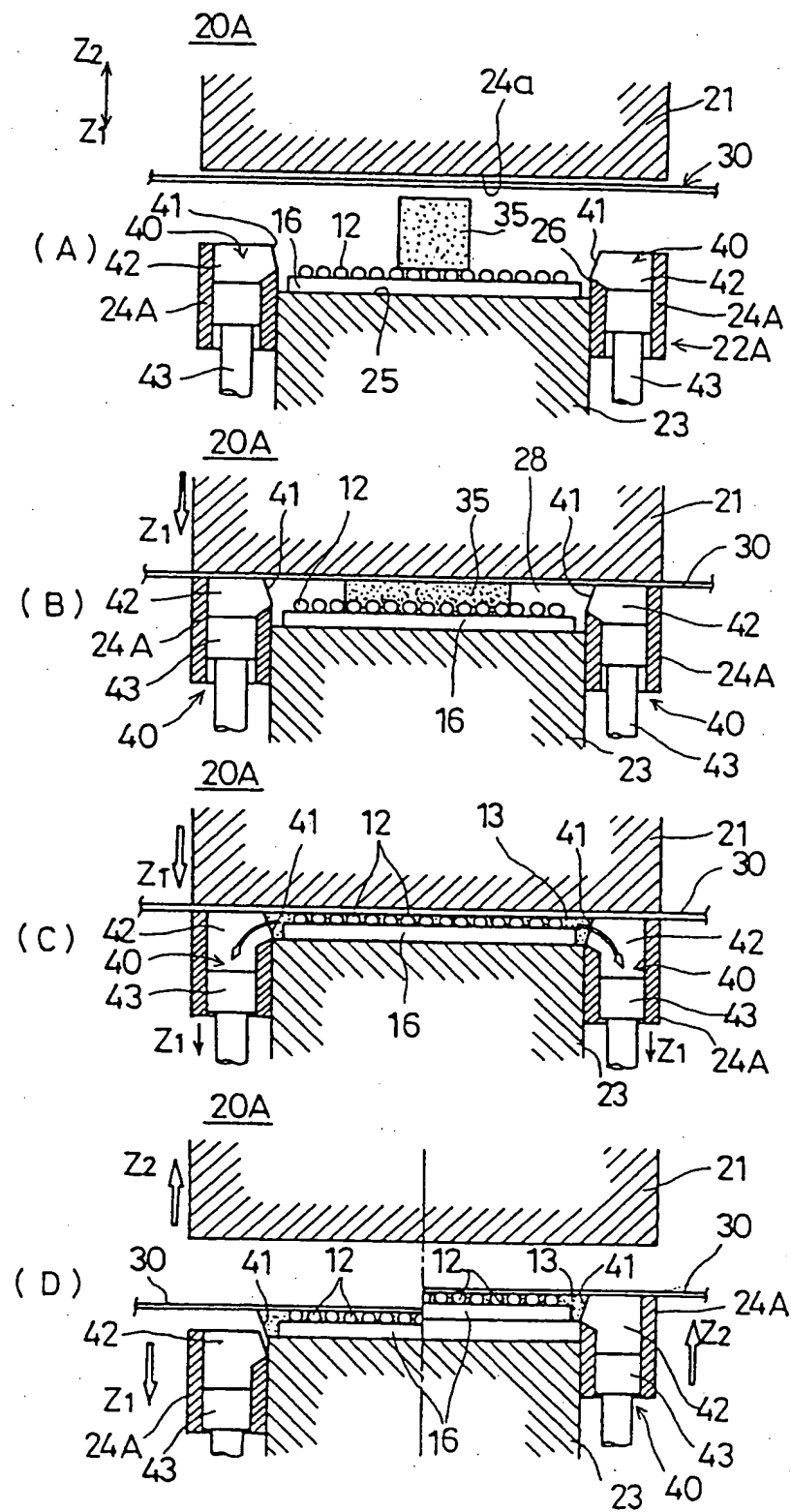
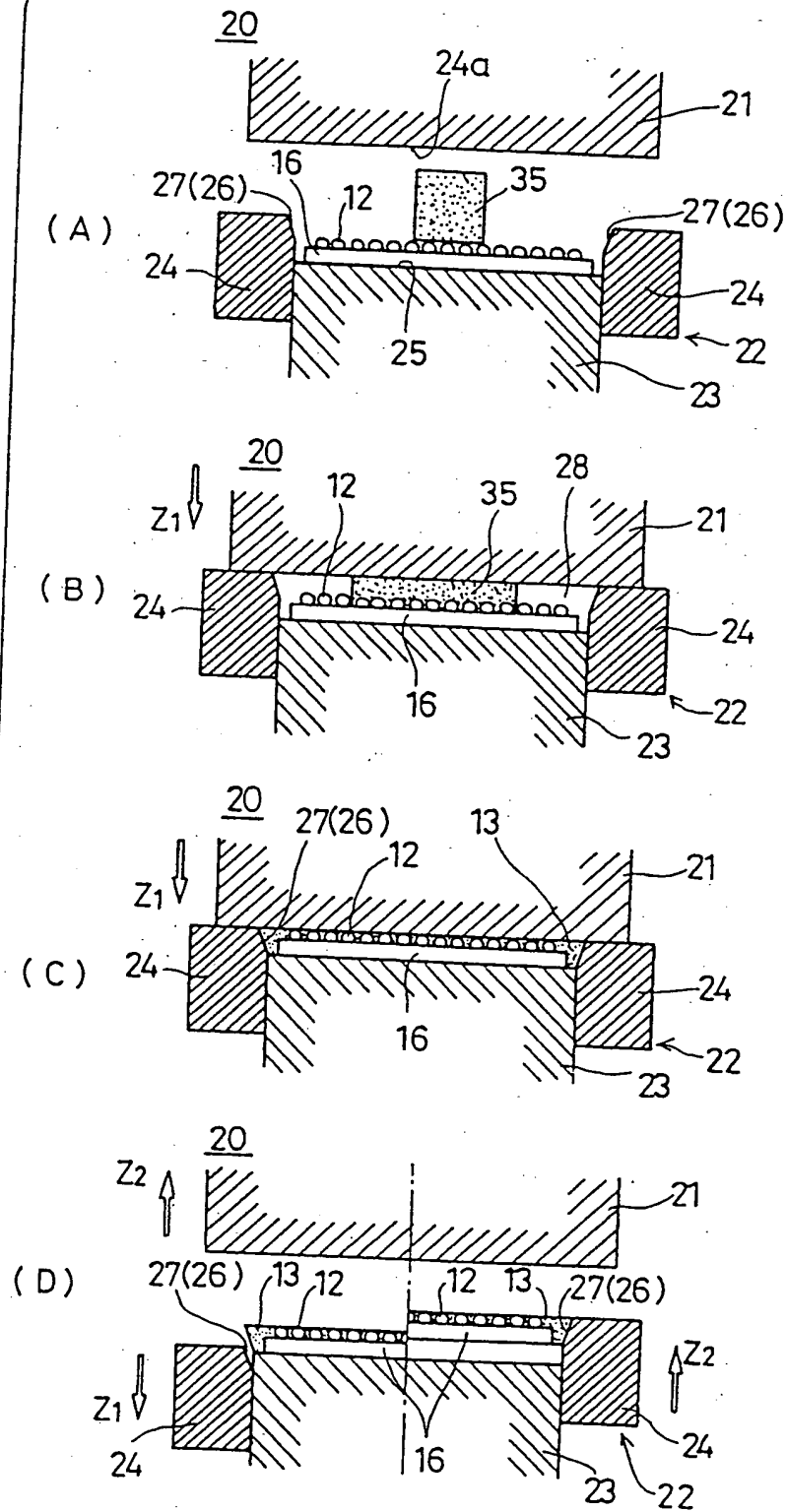


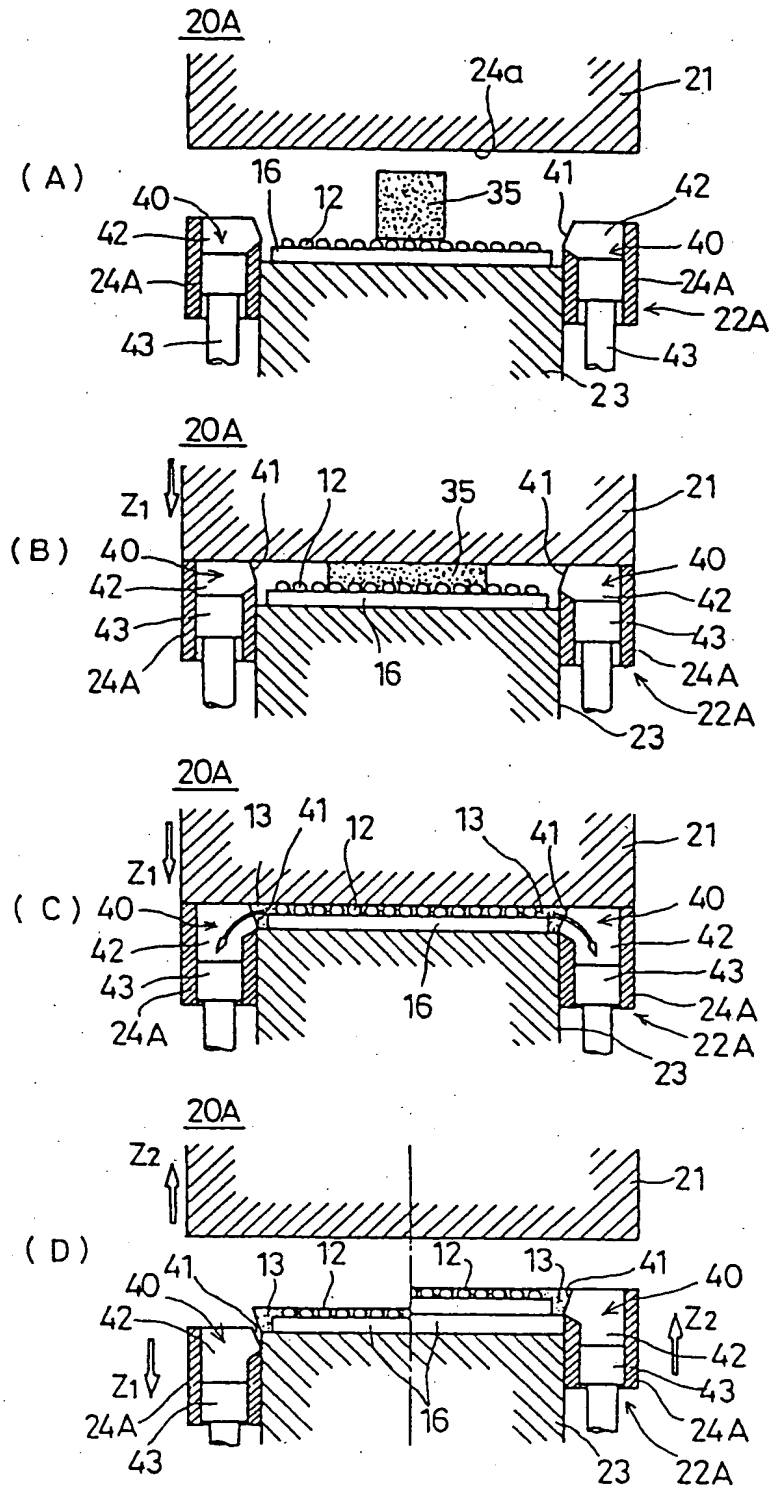
図 10

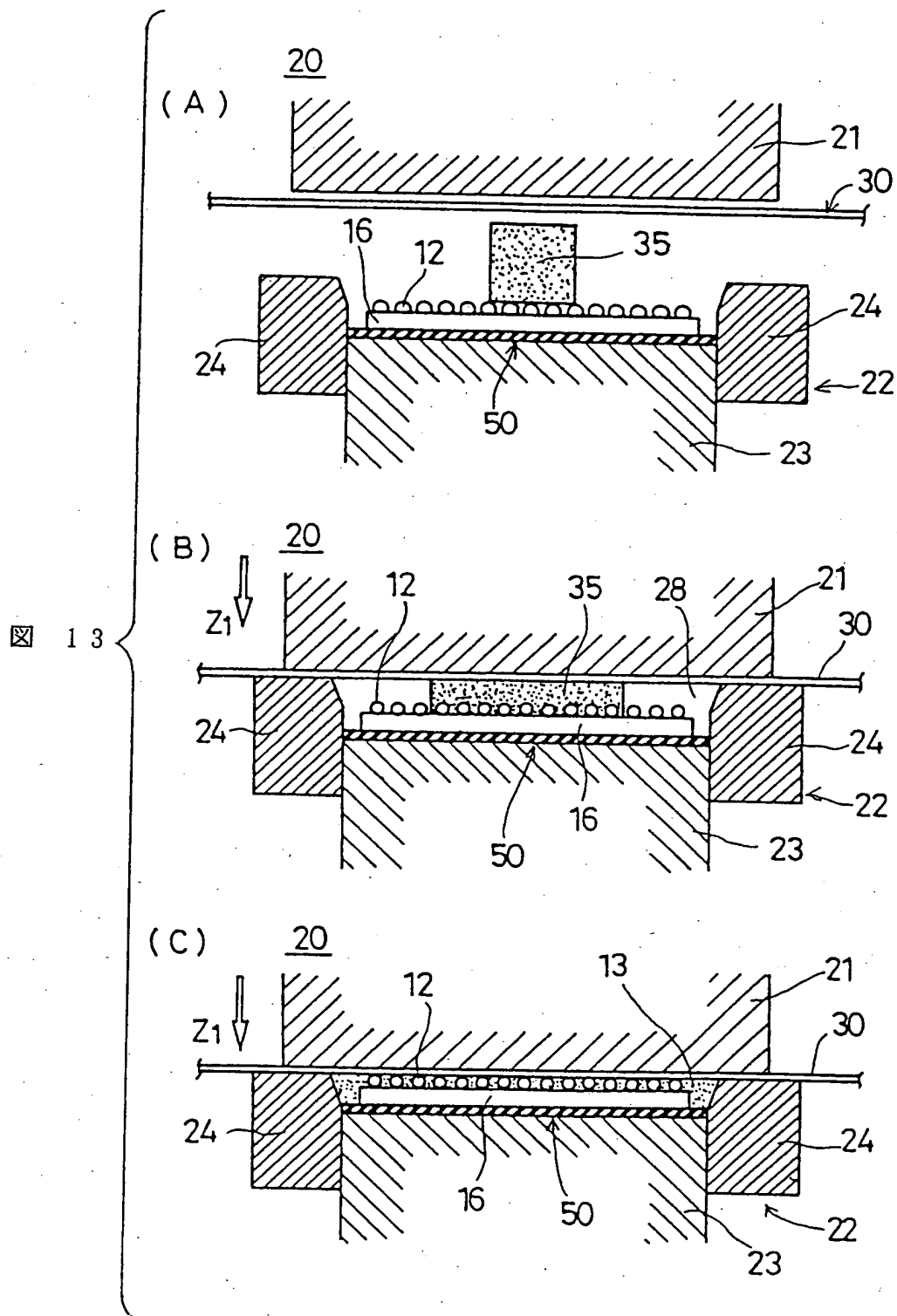


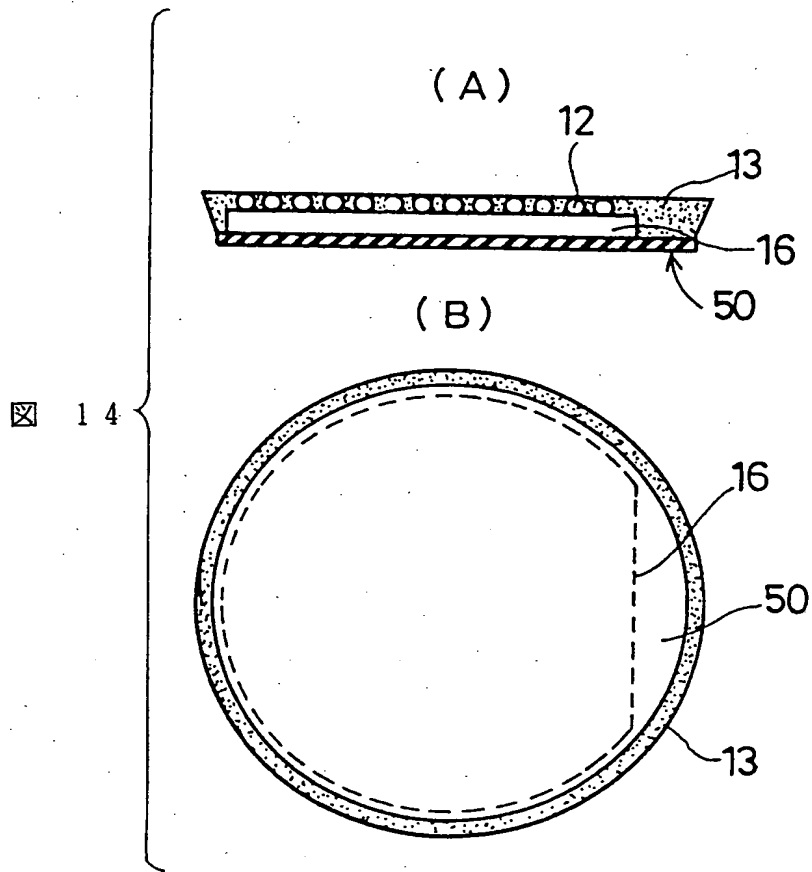
11



12







⊗ 15

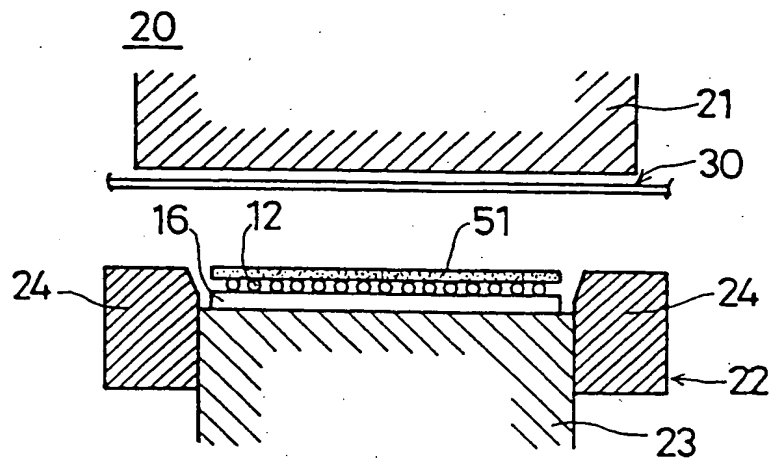


図 16

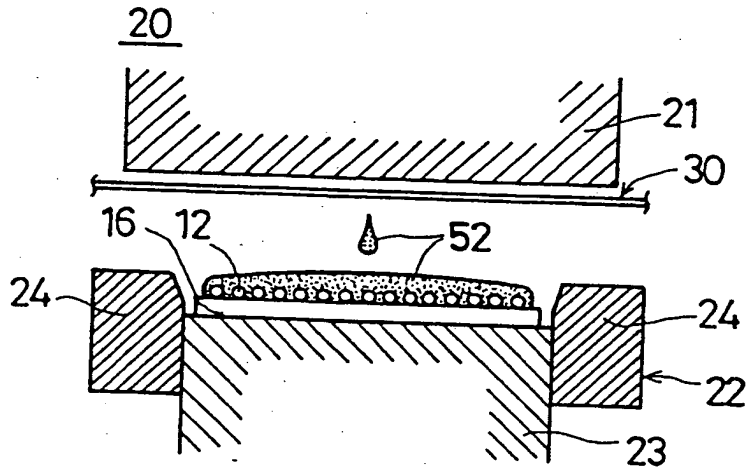
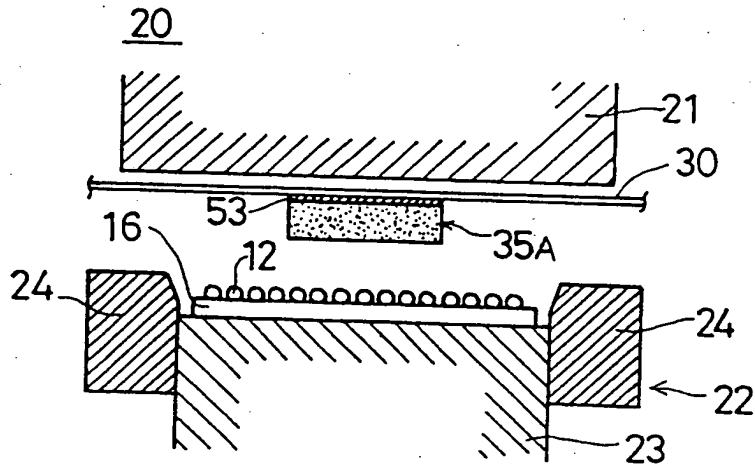
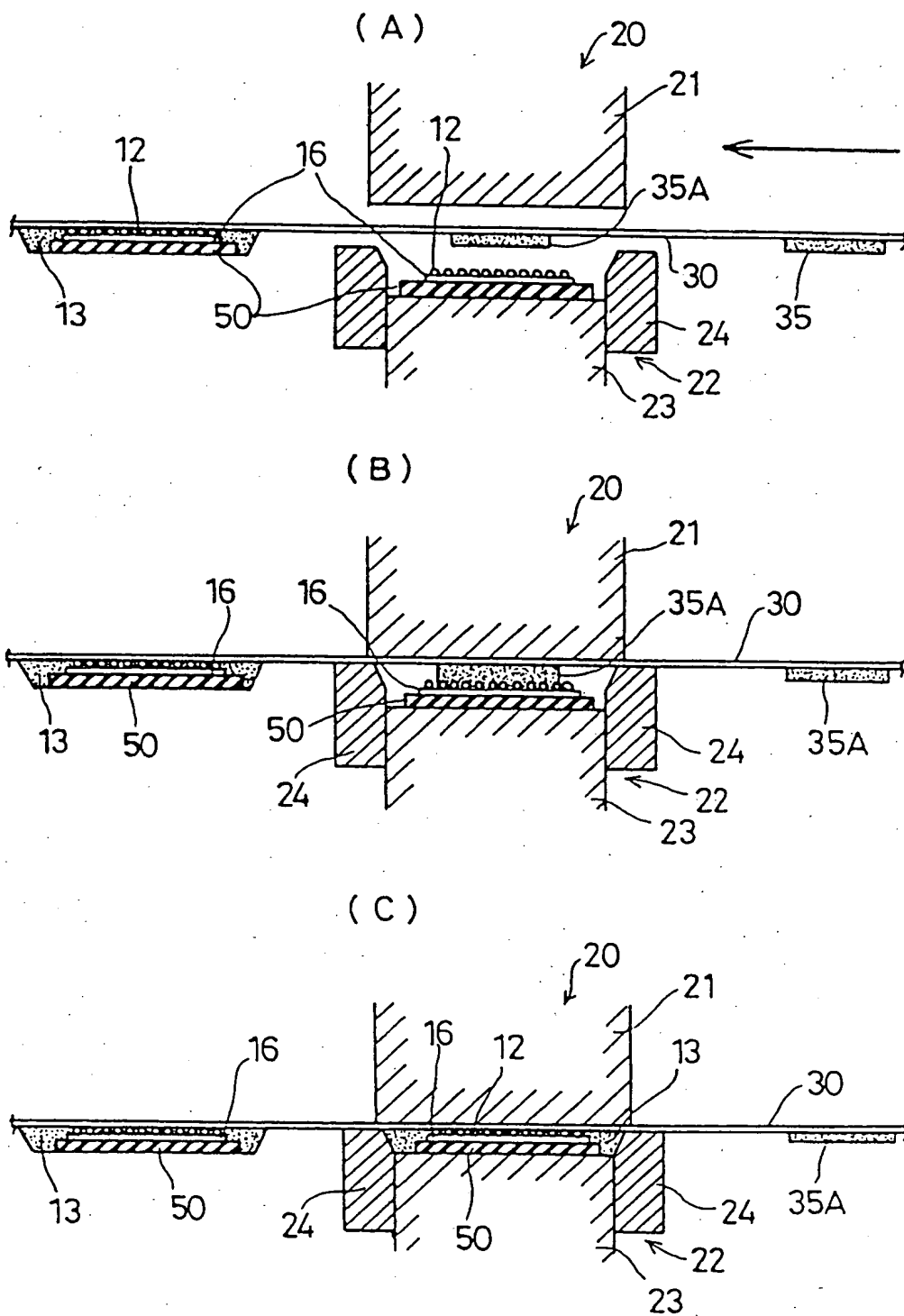
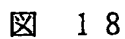
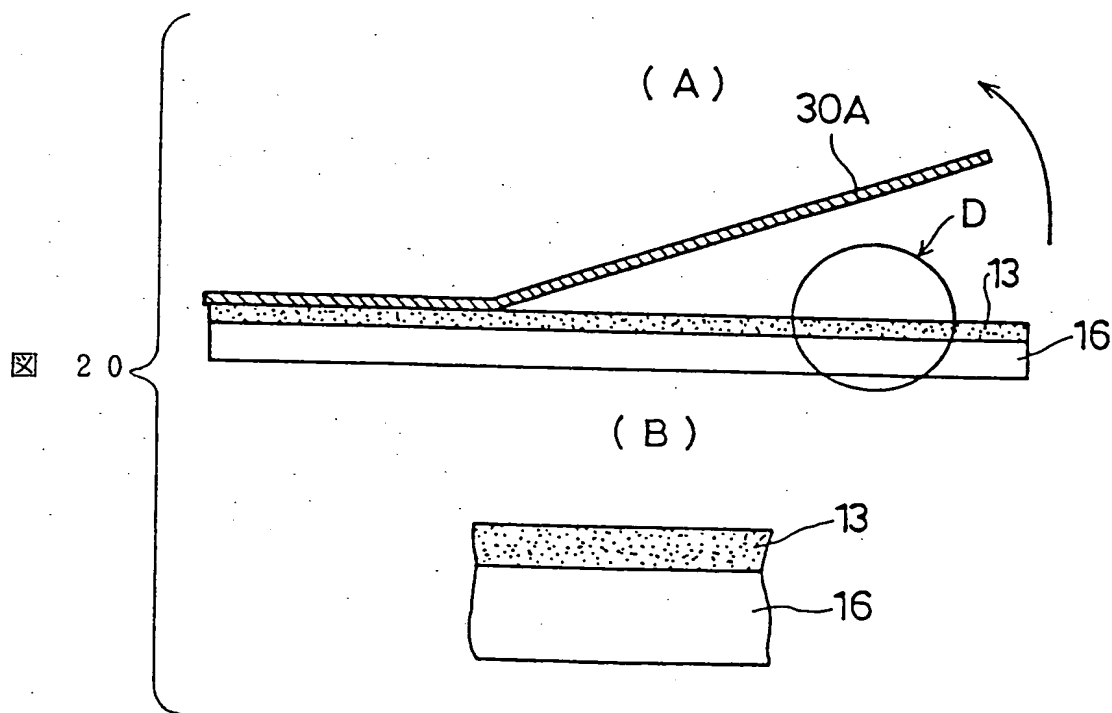
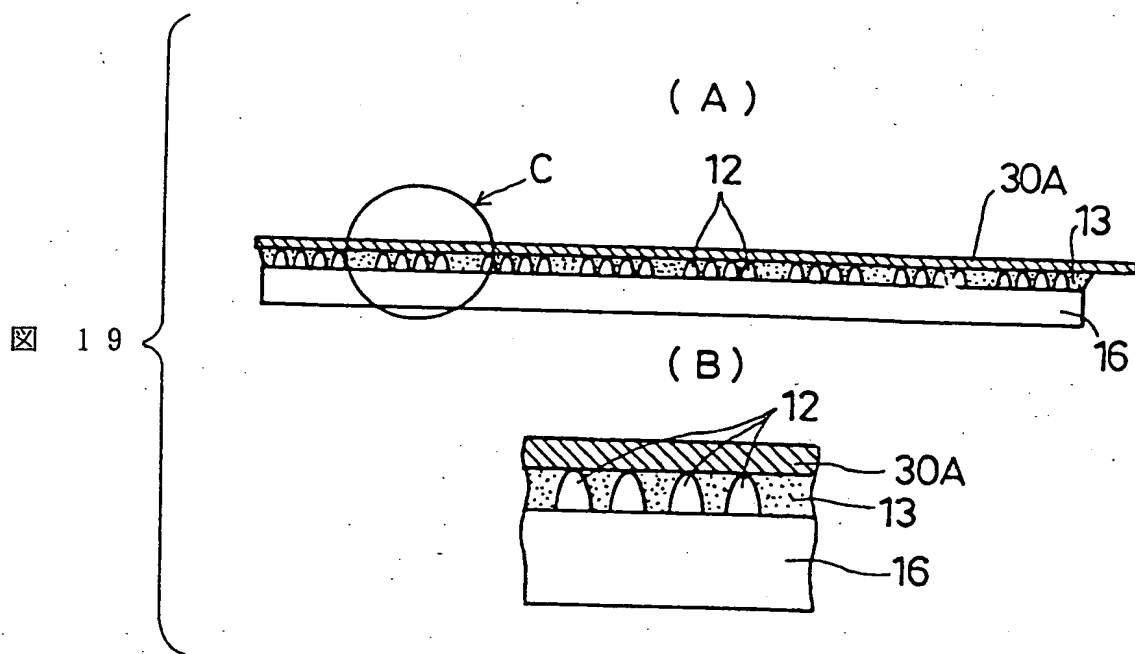
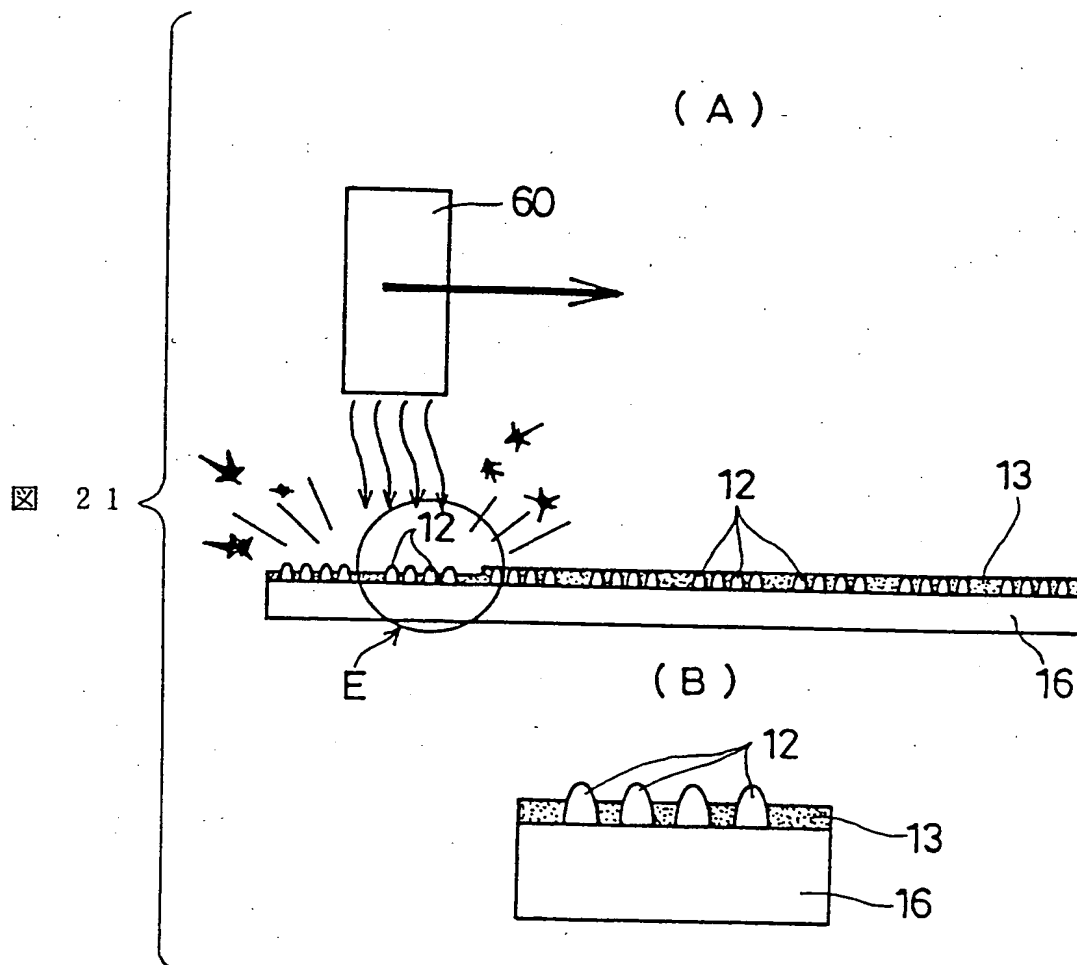


図 17









22

20C

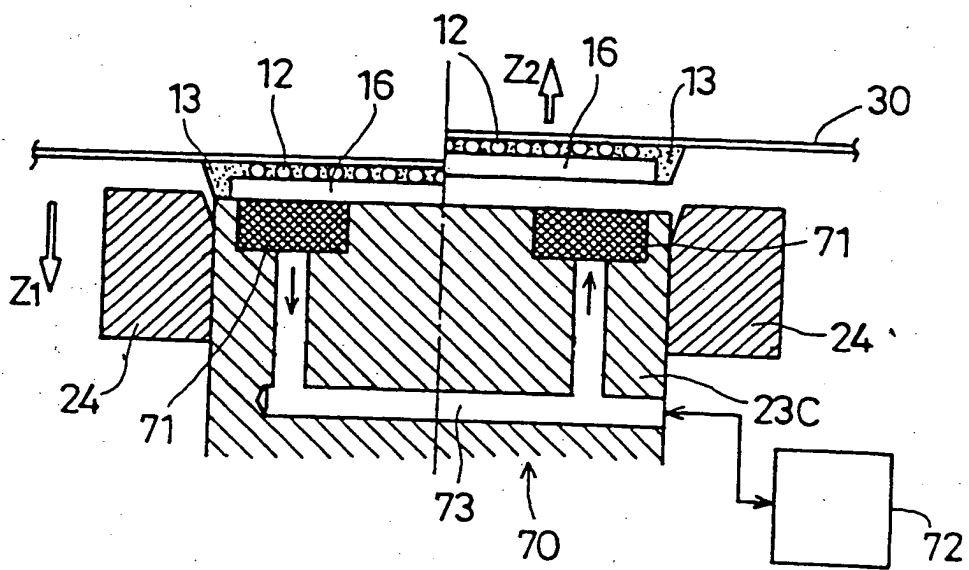


図 23

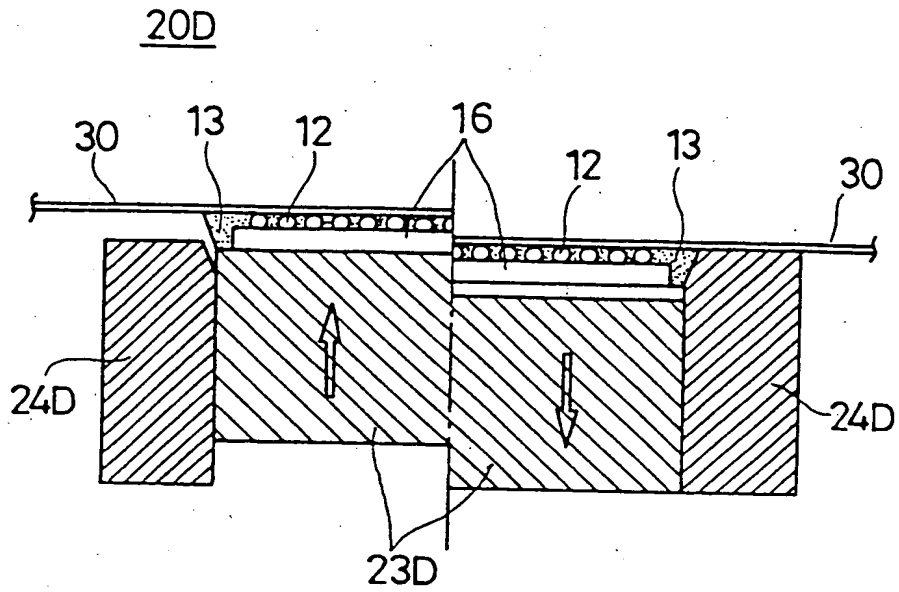
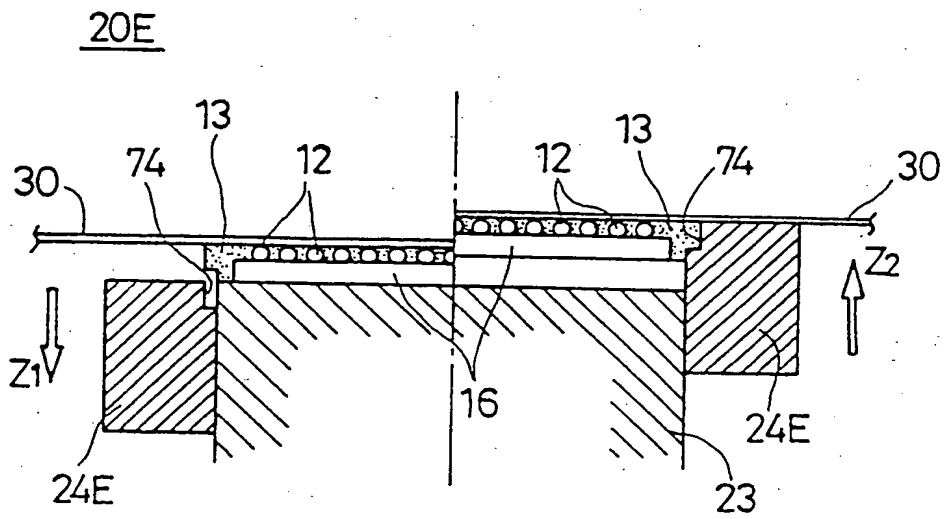
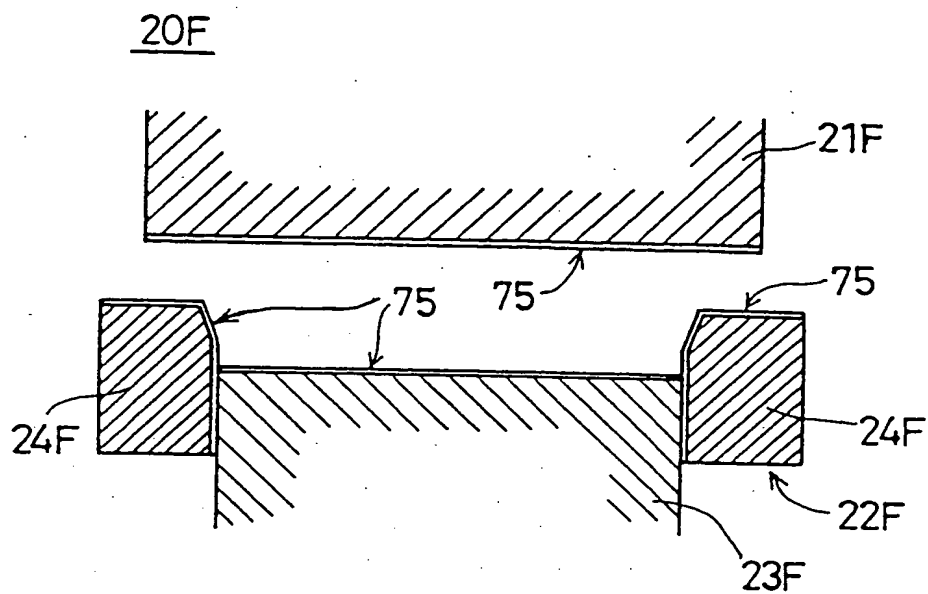


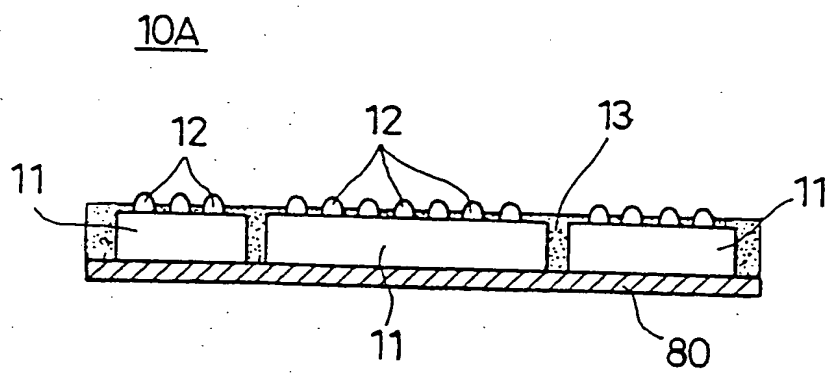
図 24



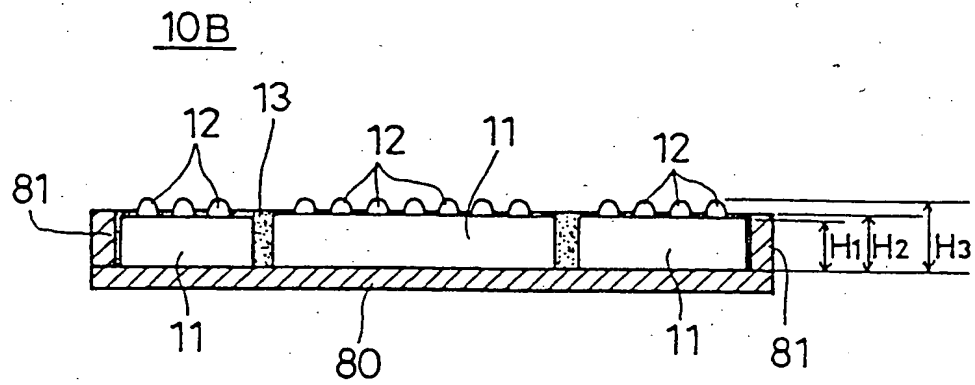
25



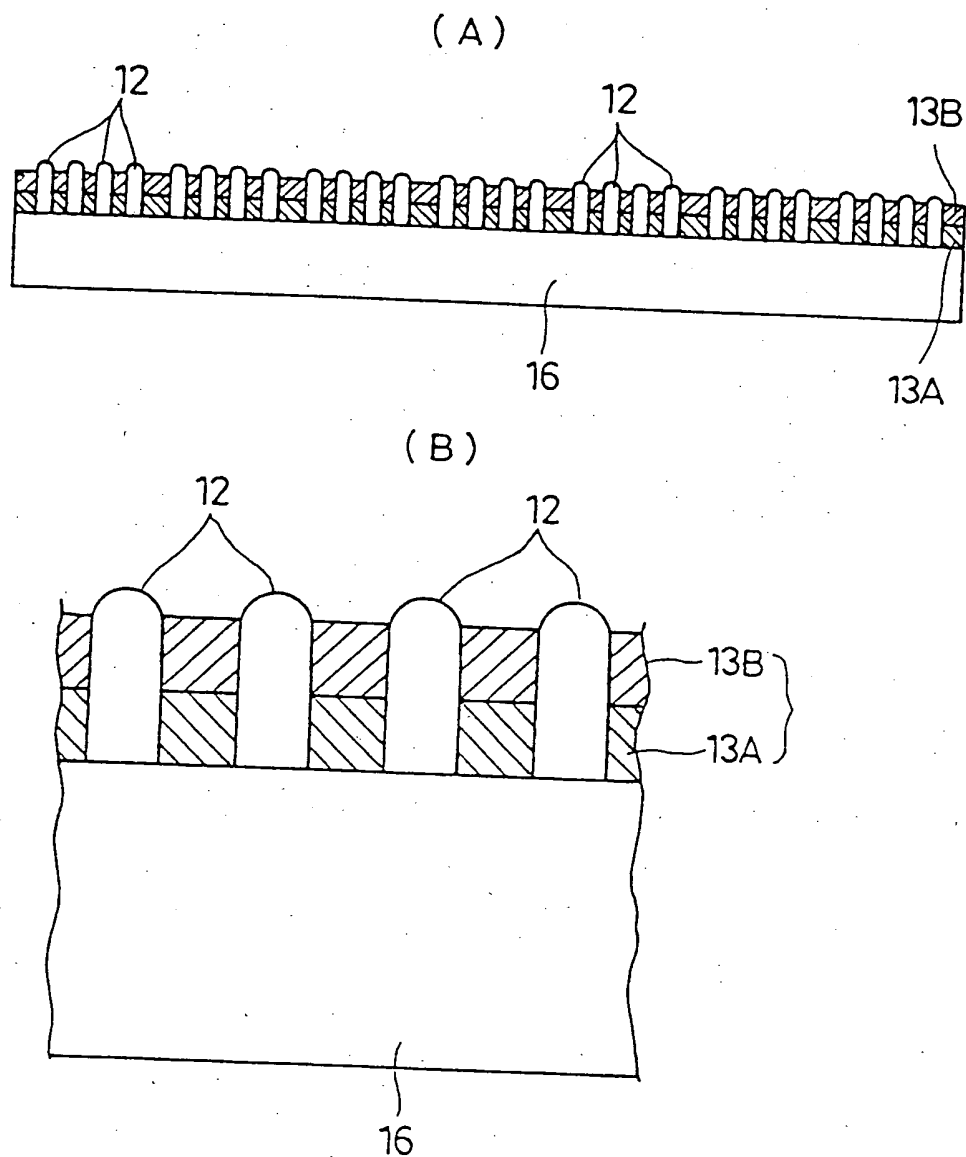
26



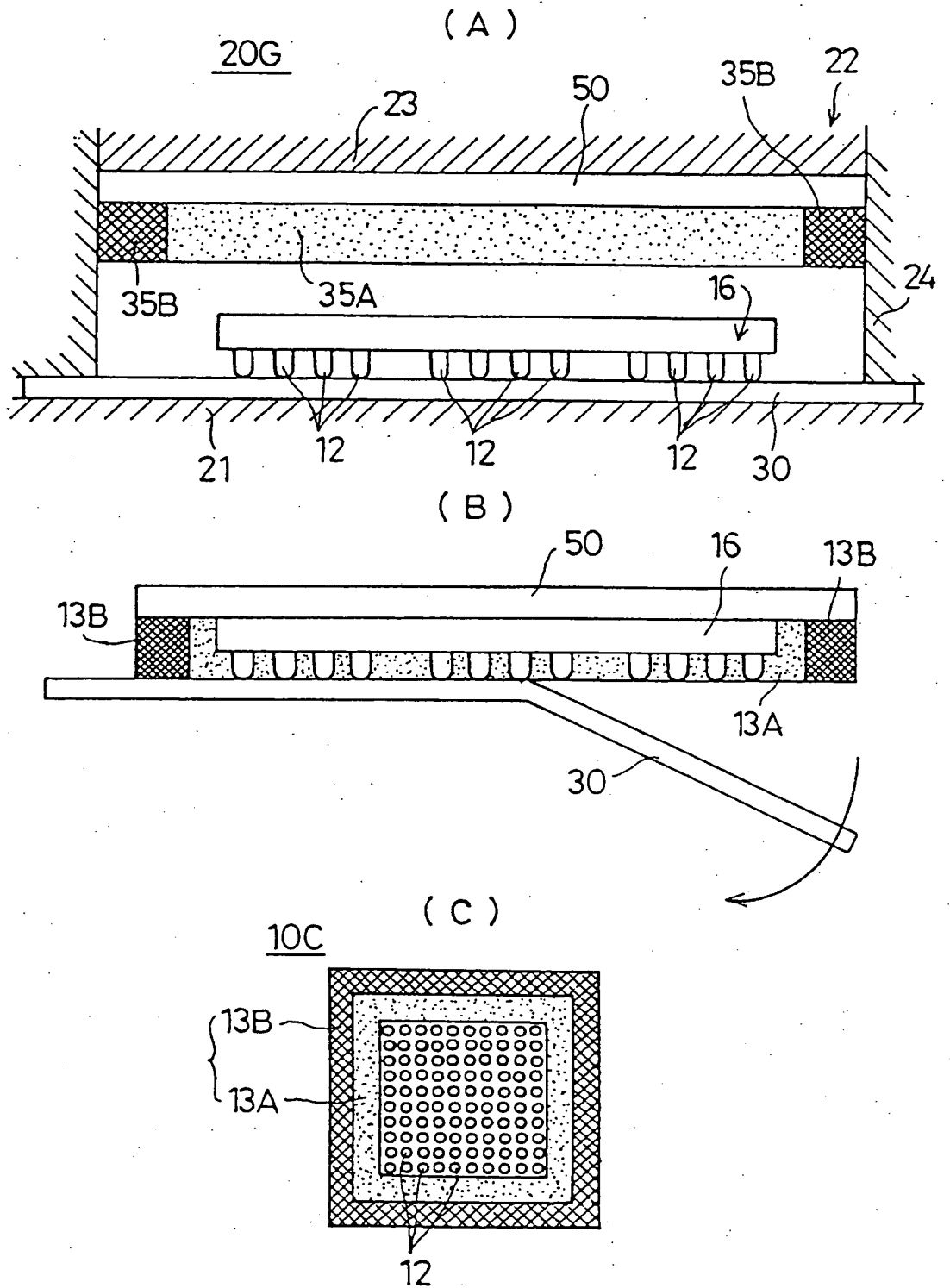
27

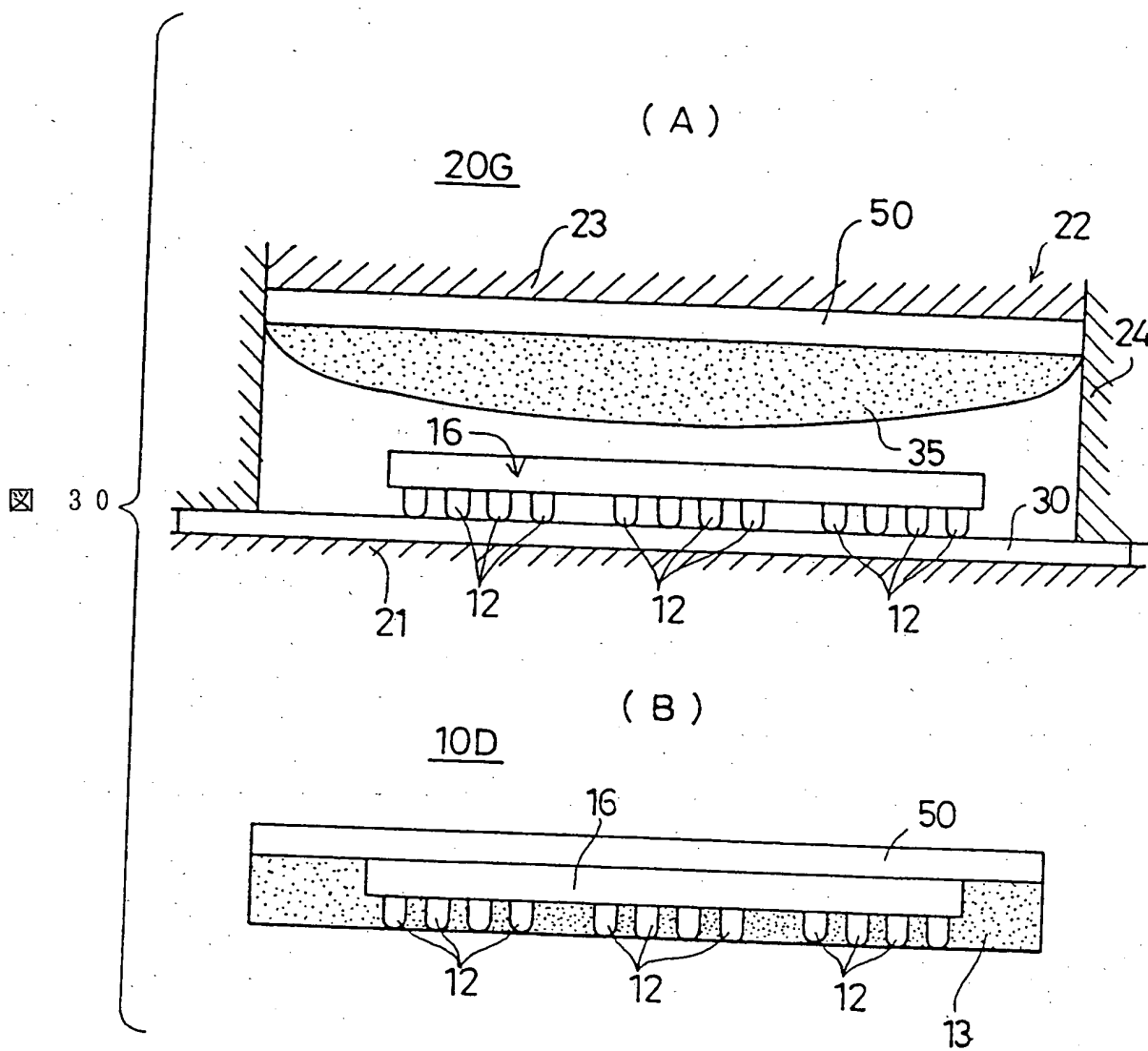


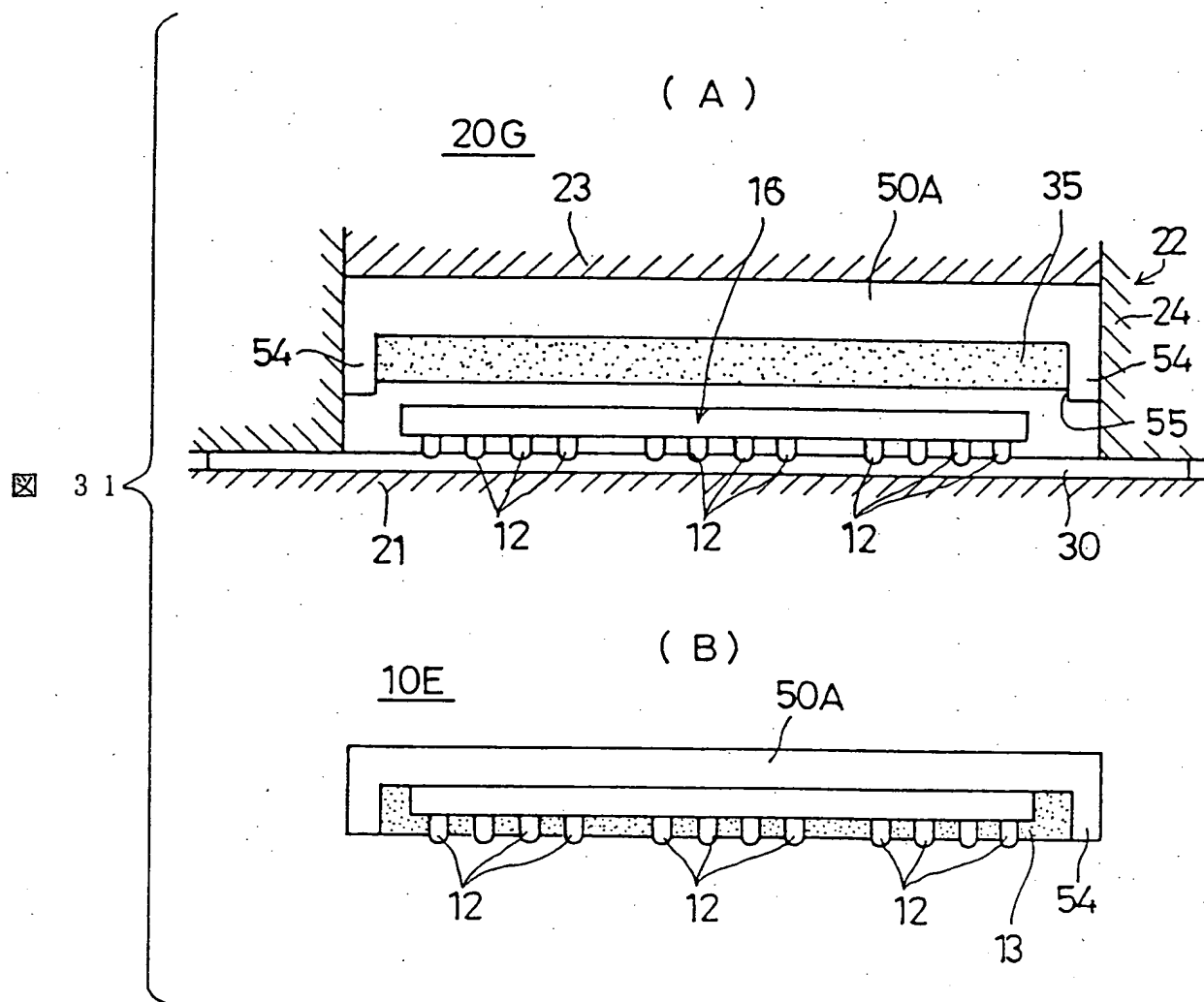
2.8



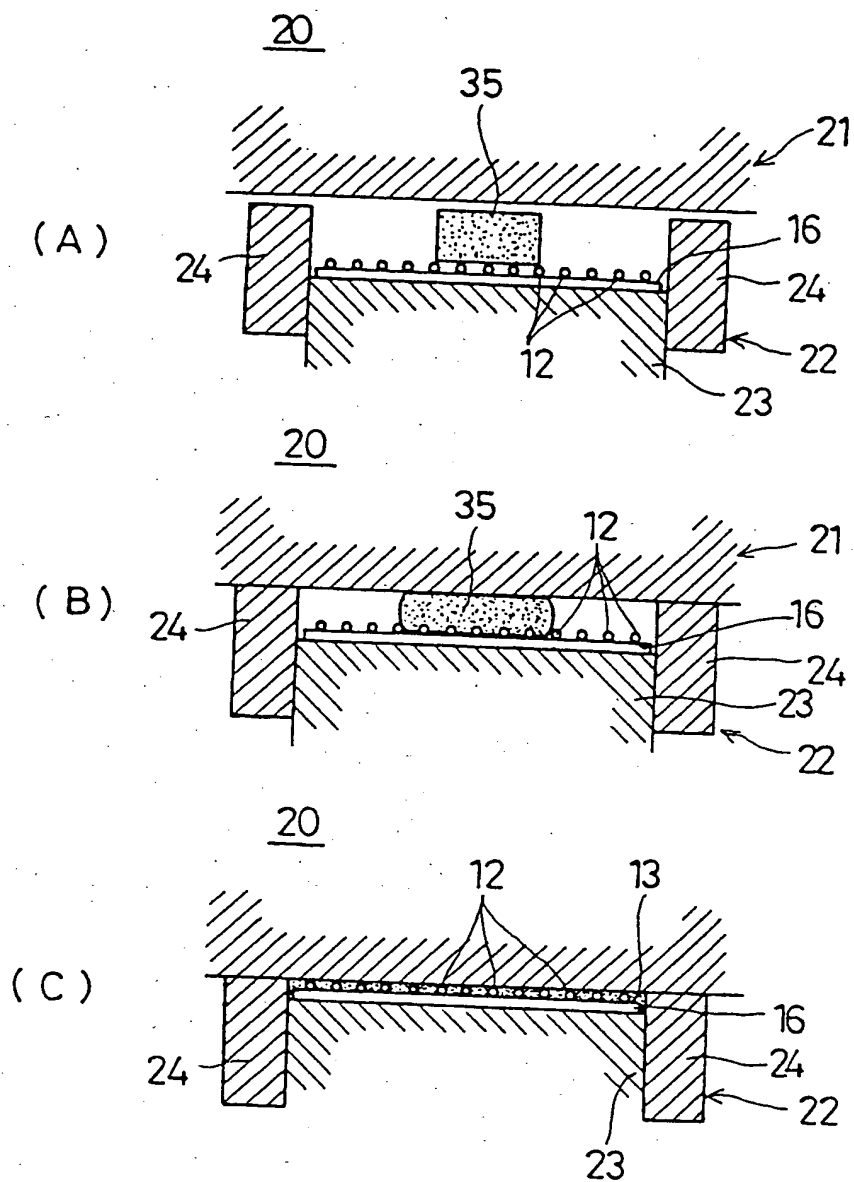
29



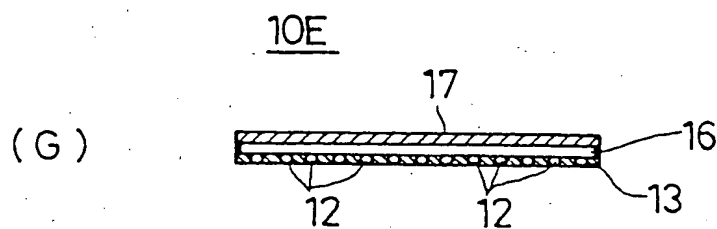
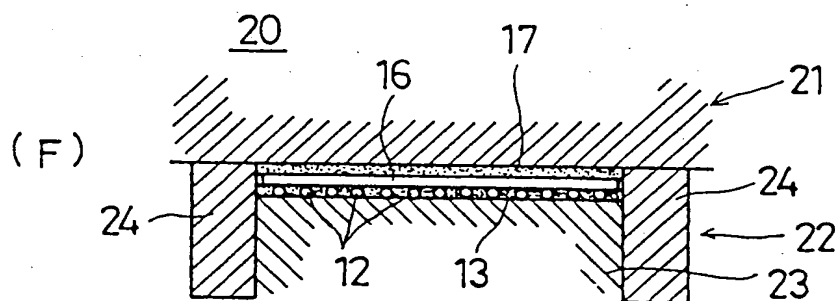
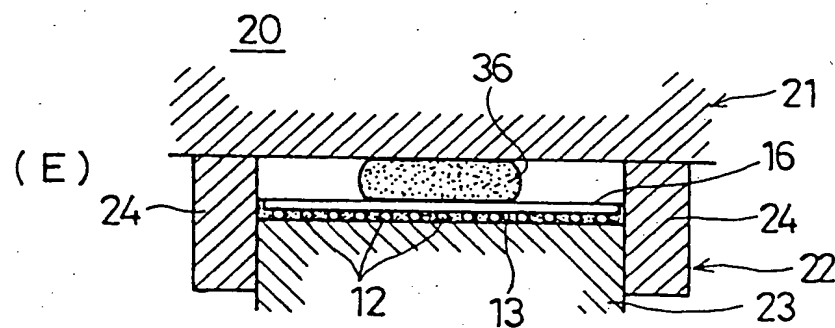
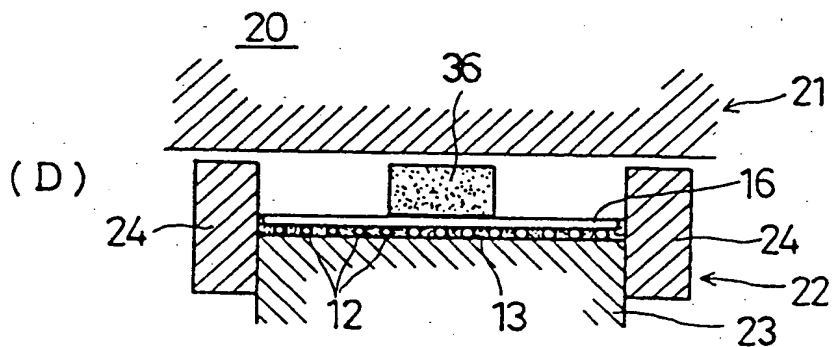




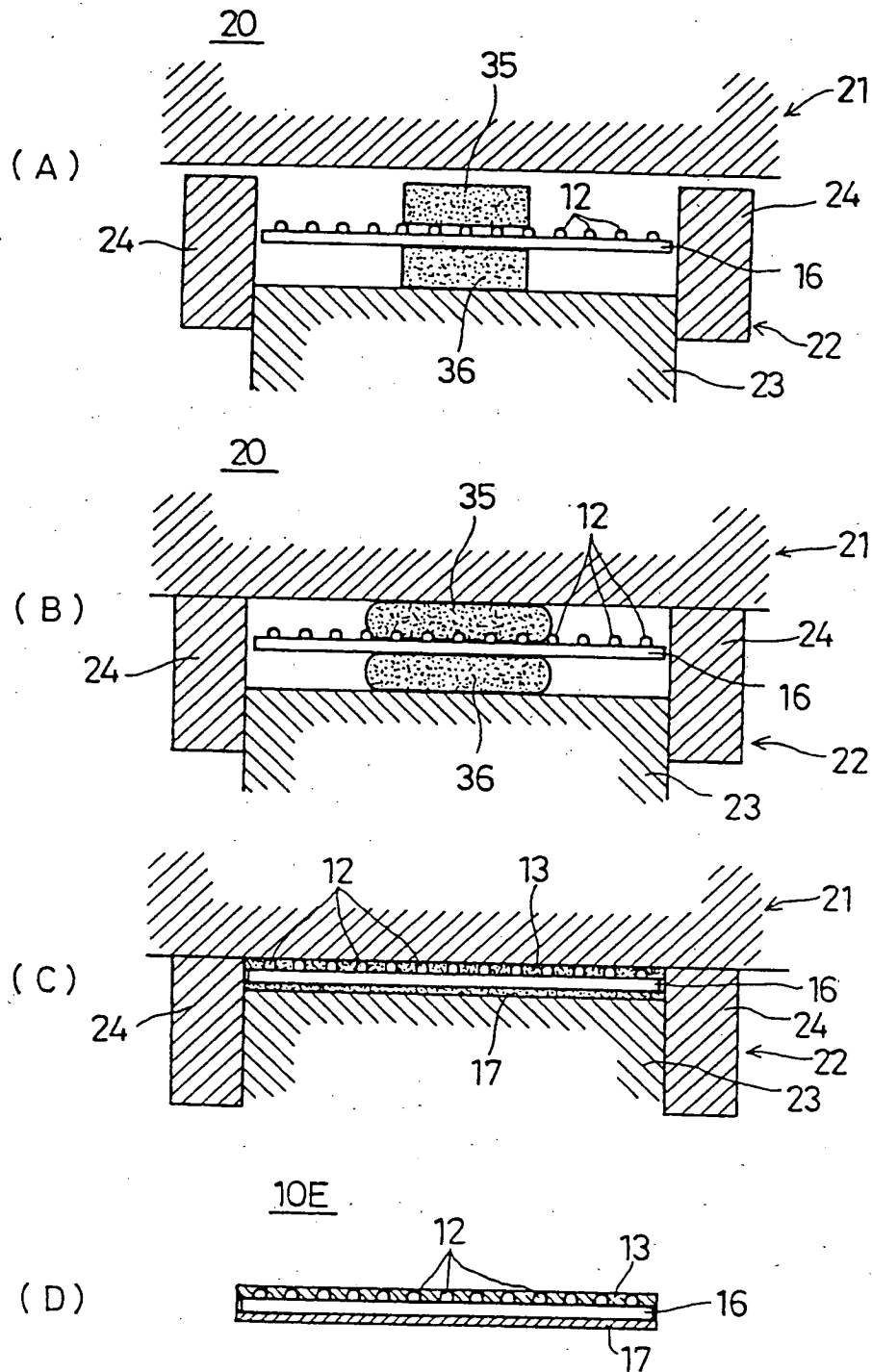
3 2



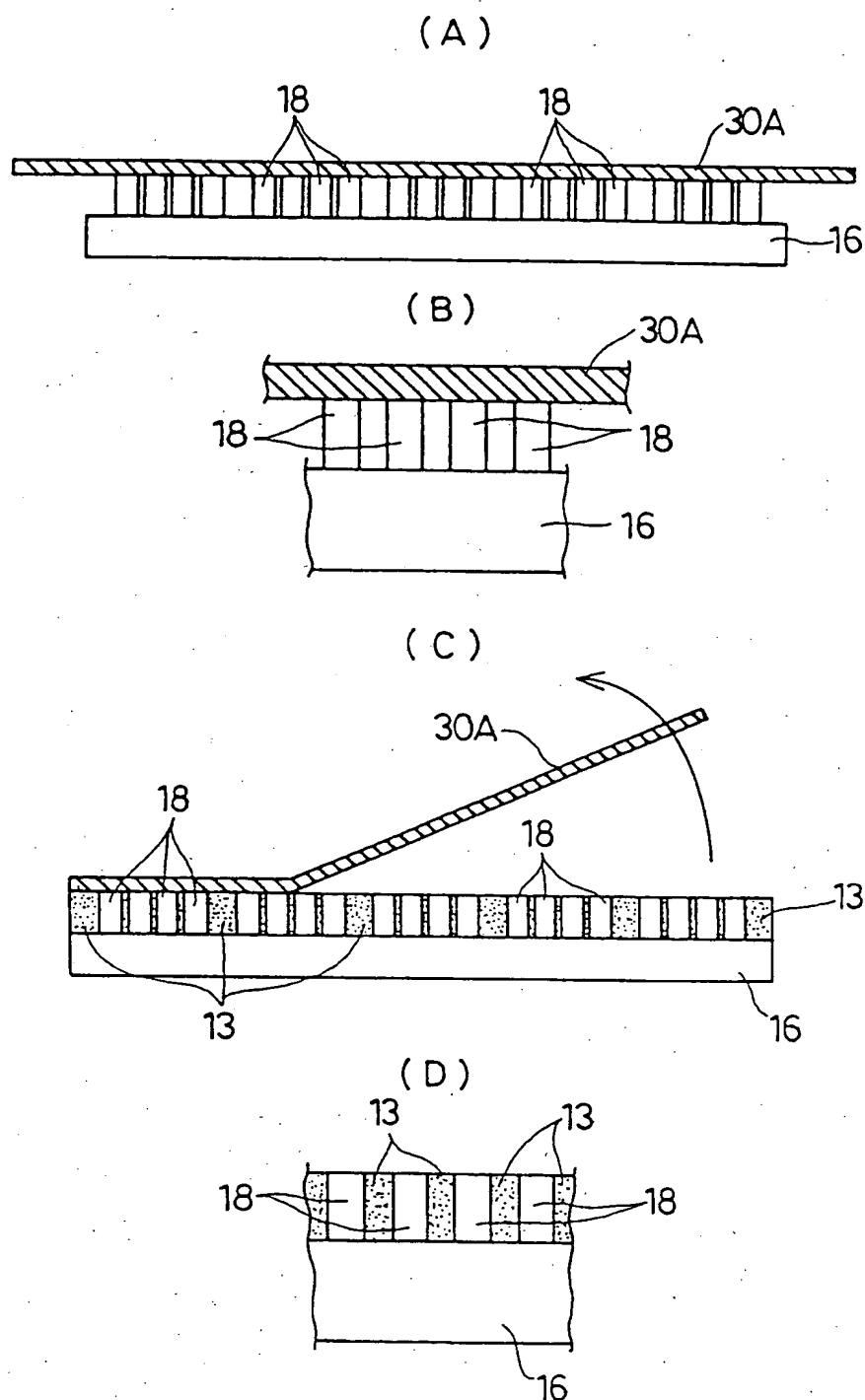
33

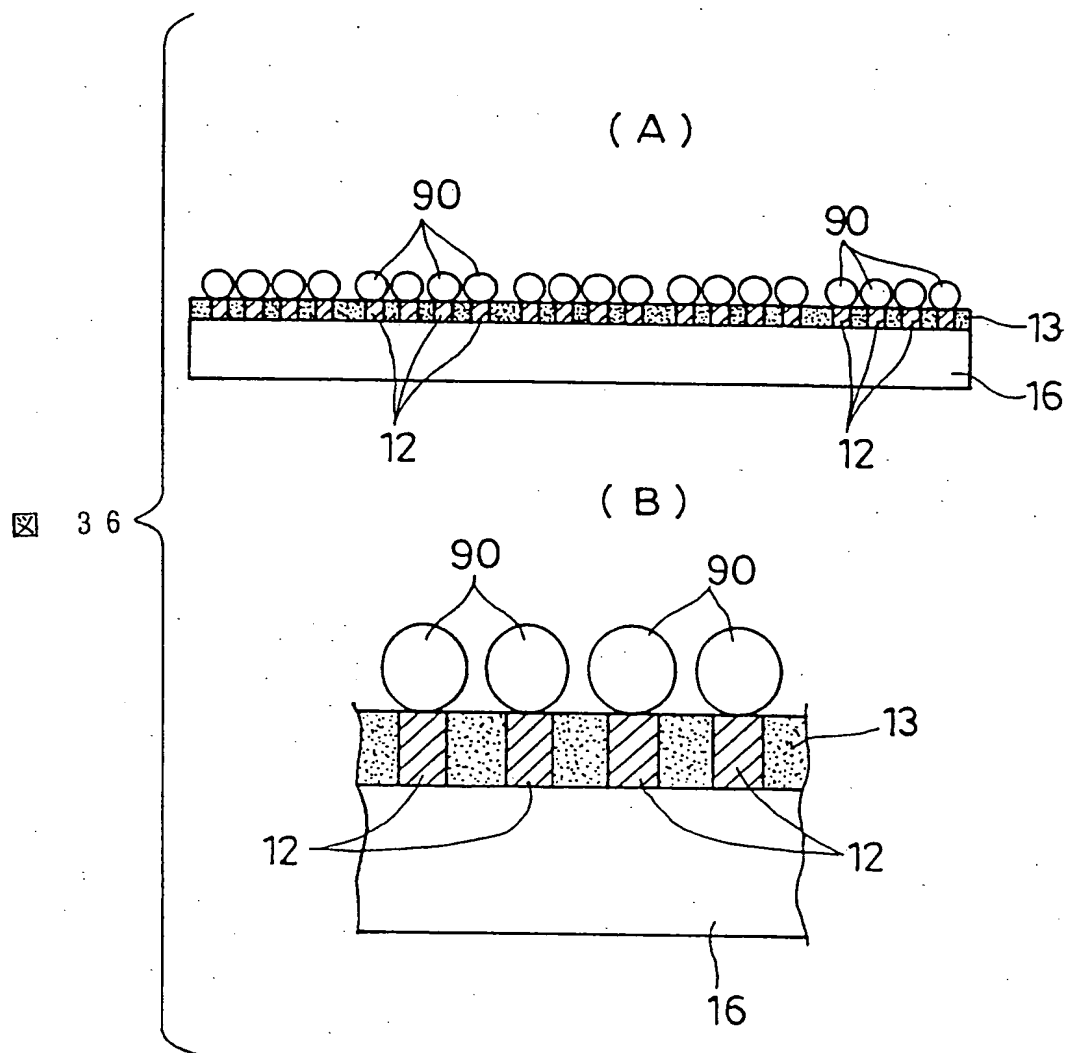


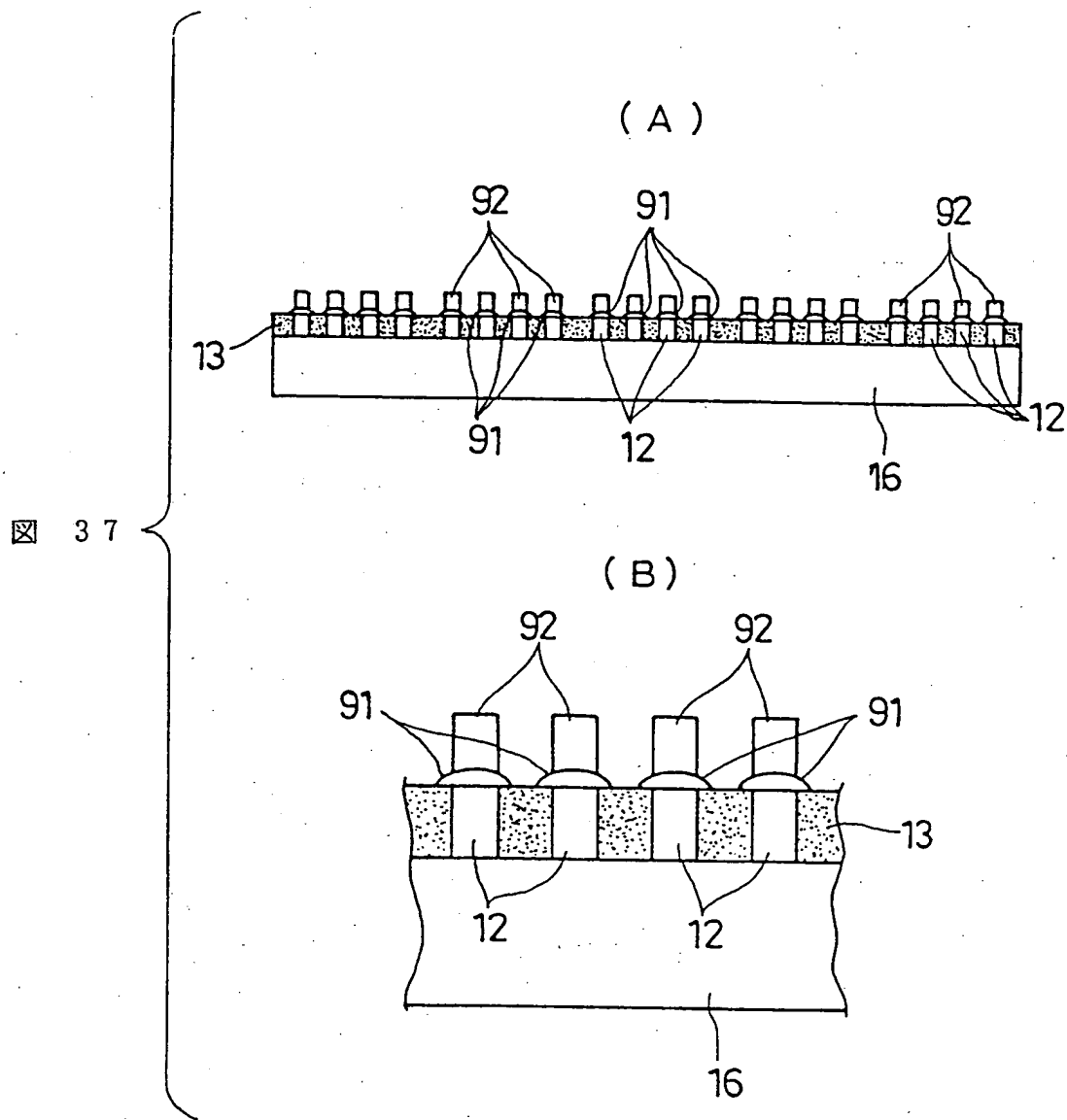
34



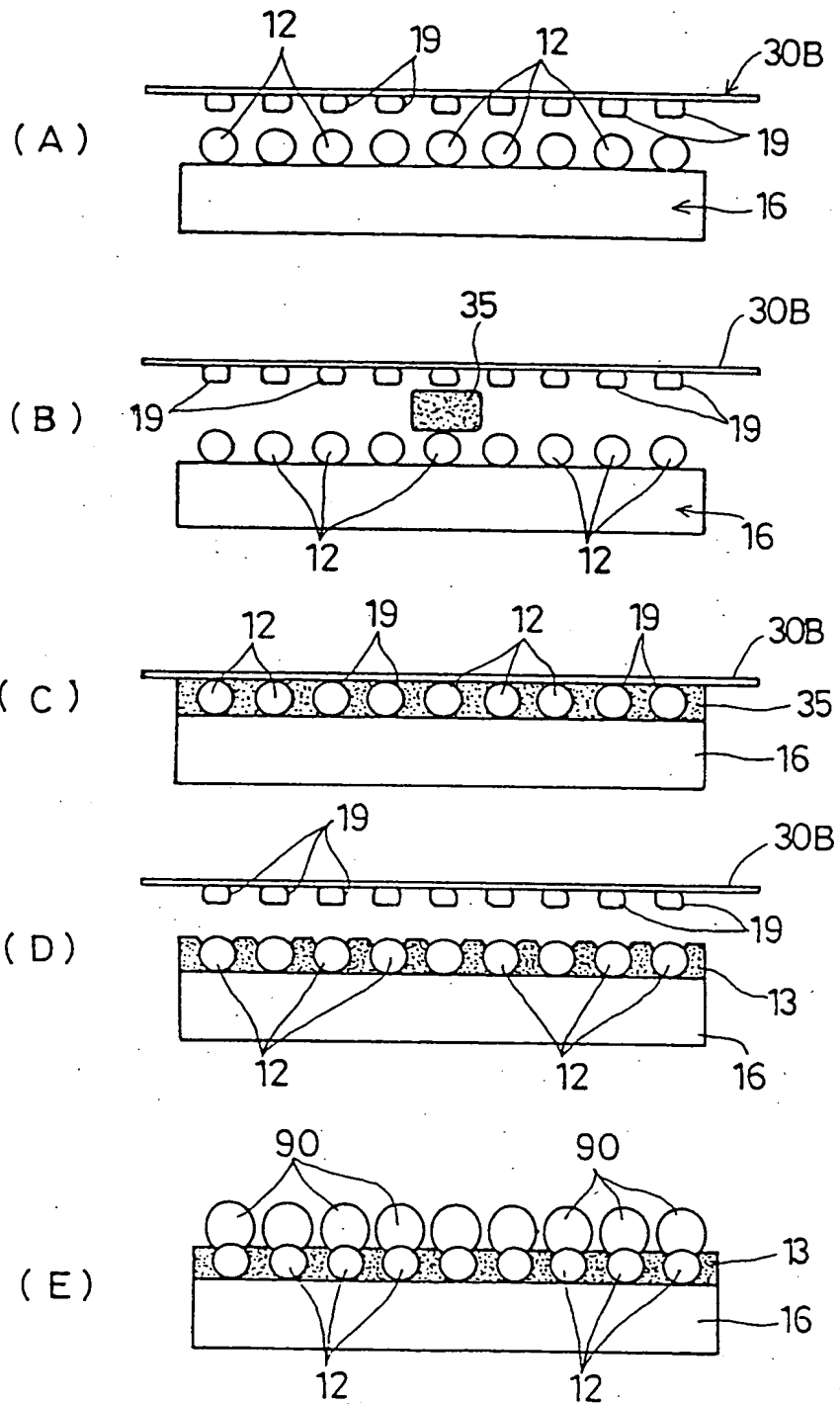
35



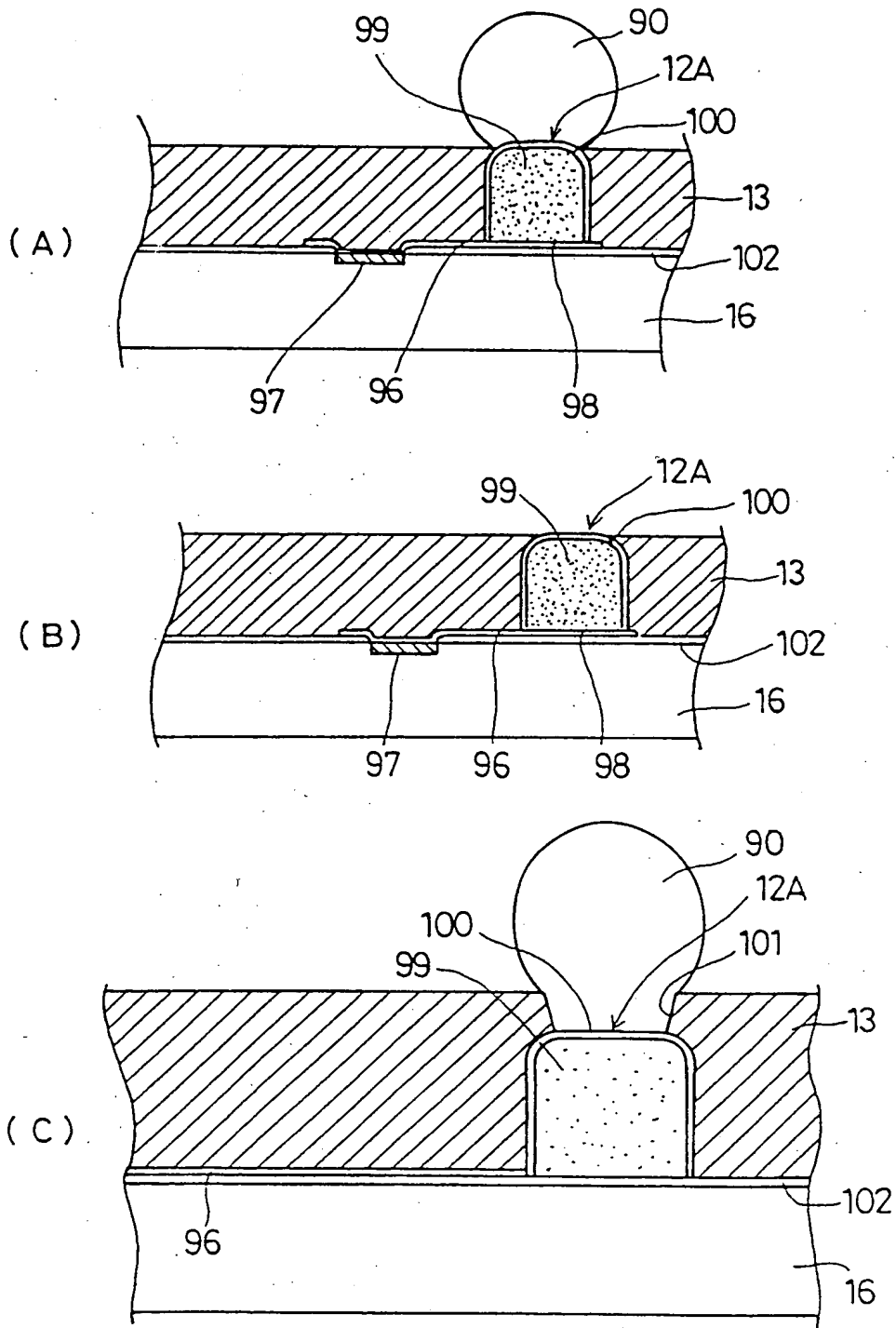




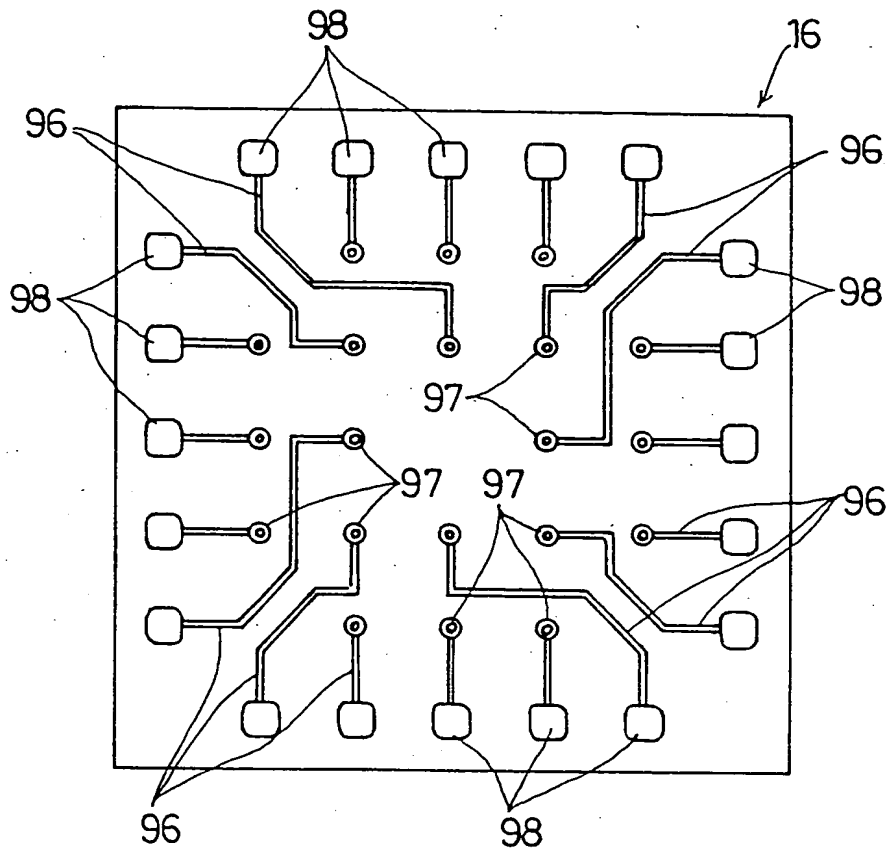
38



39



40



41

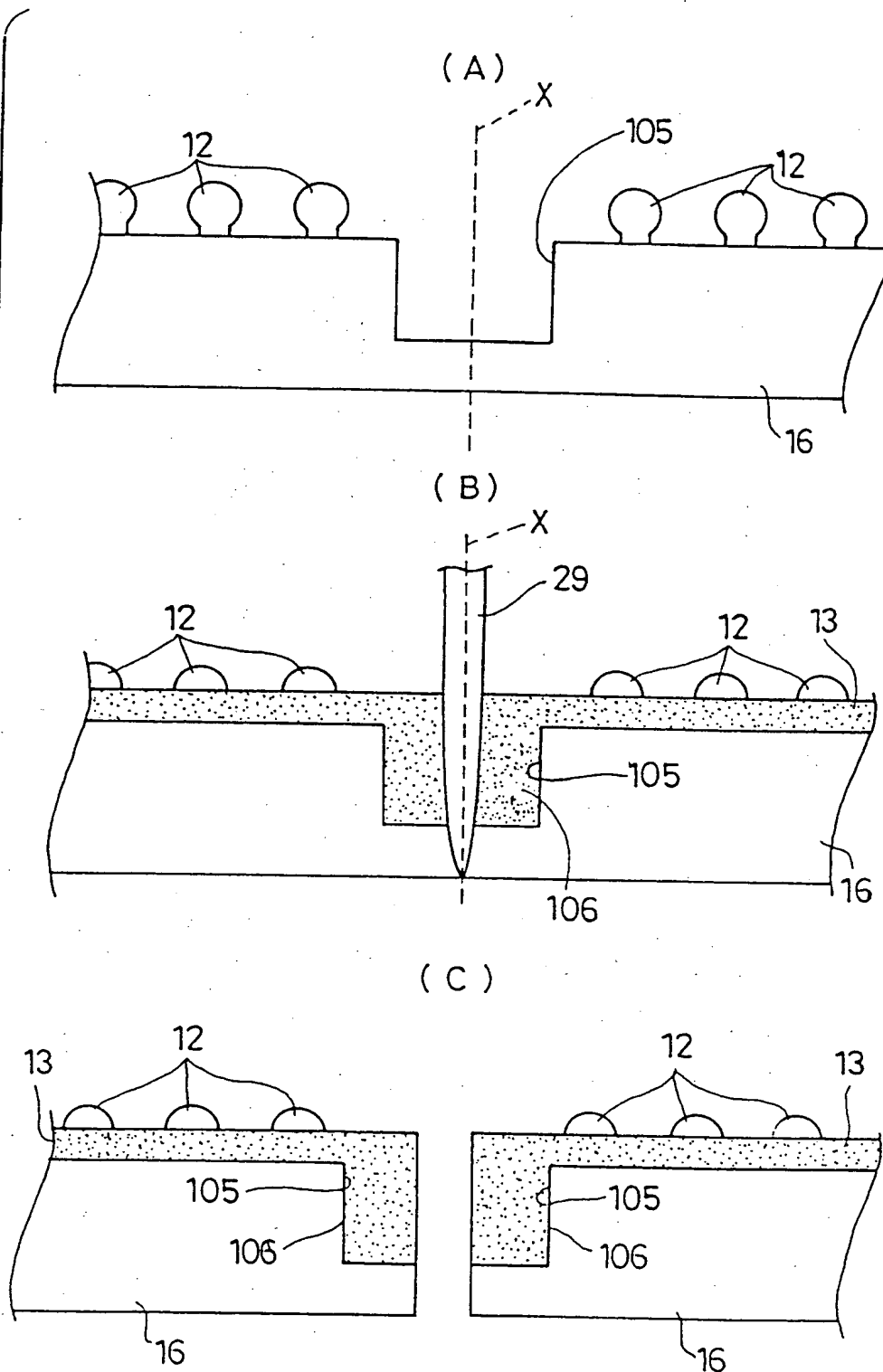
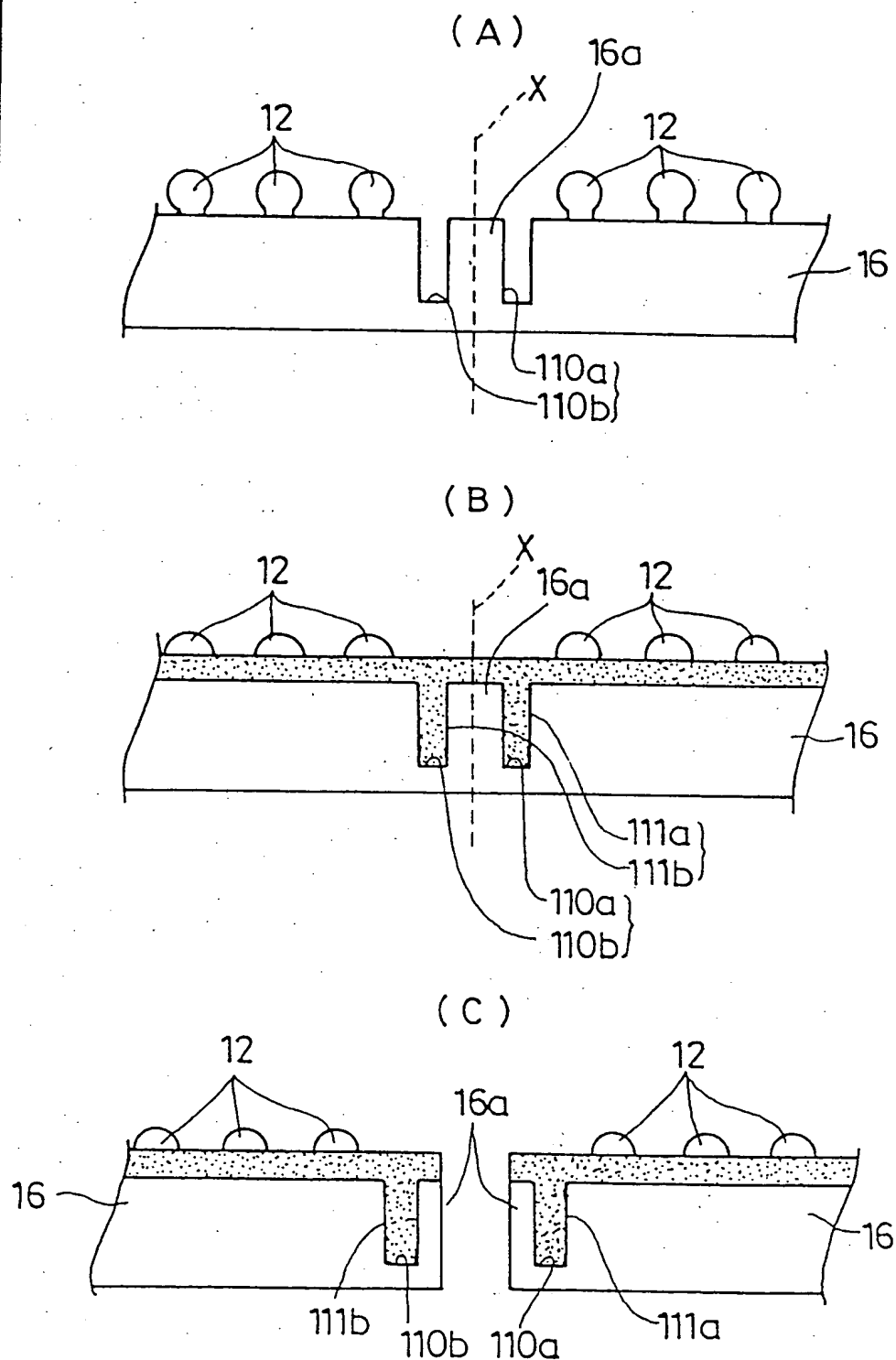
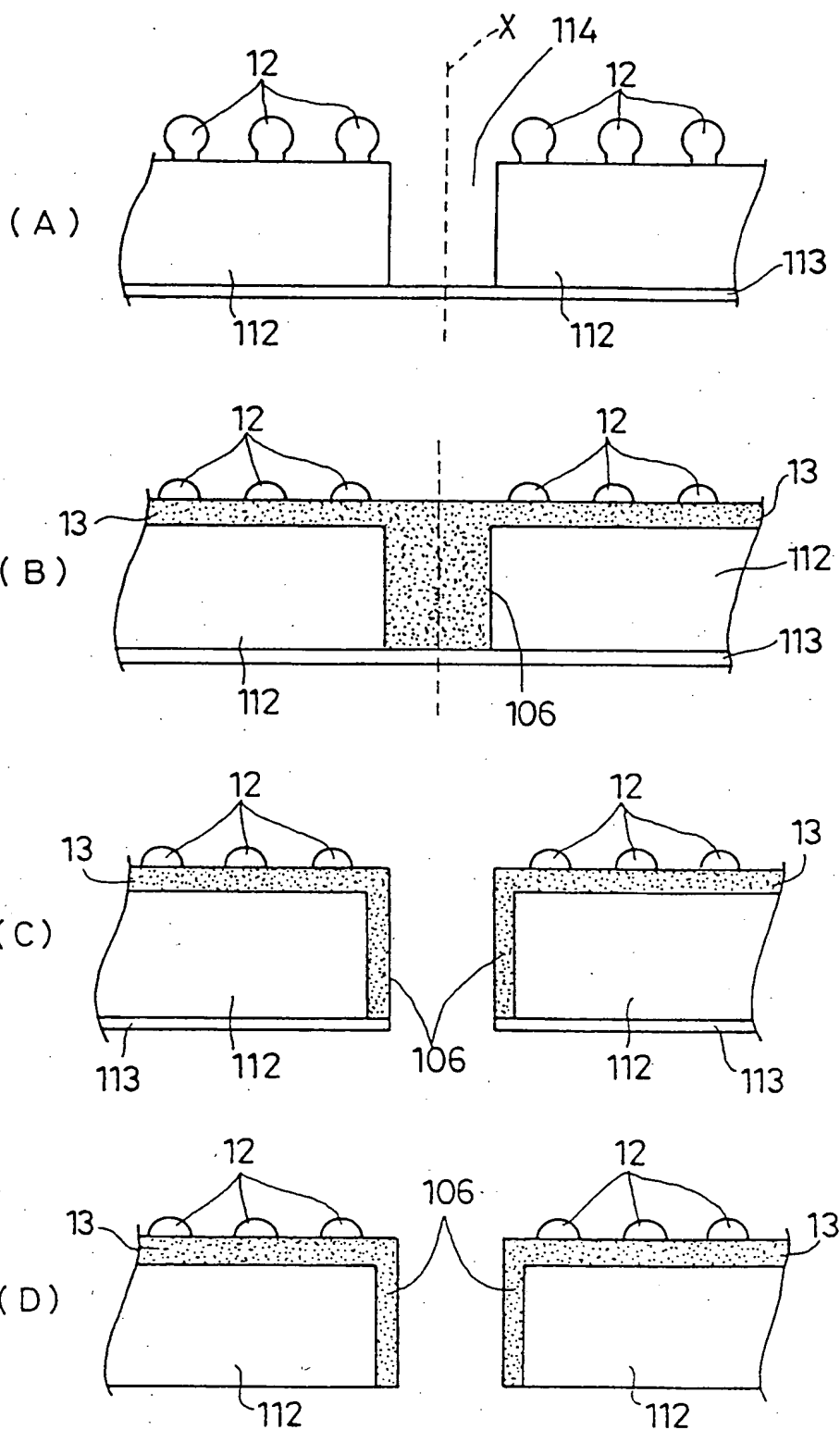


図 42



43



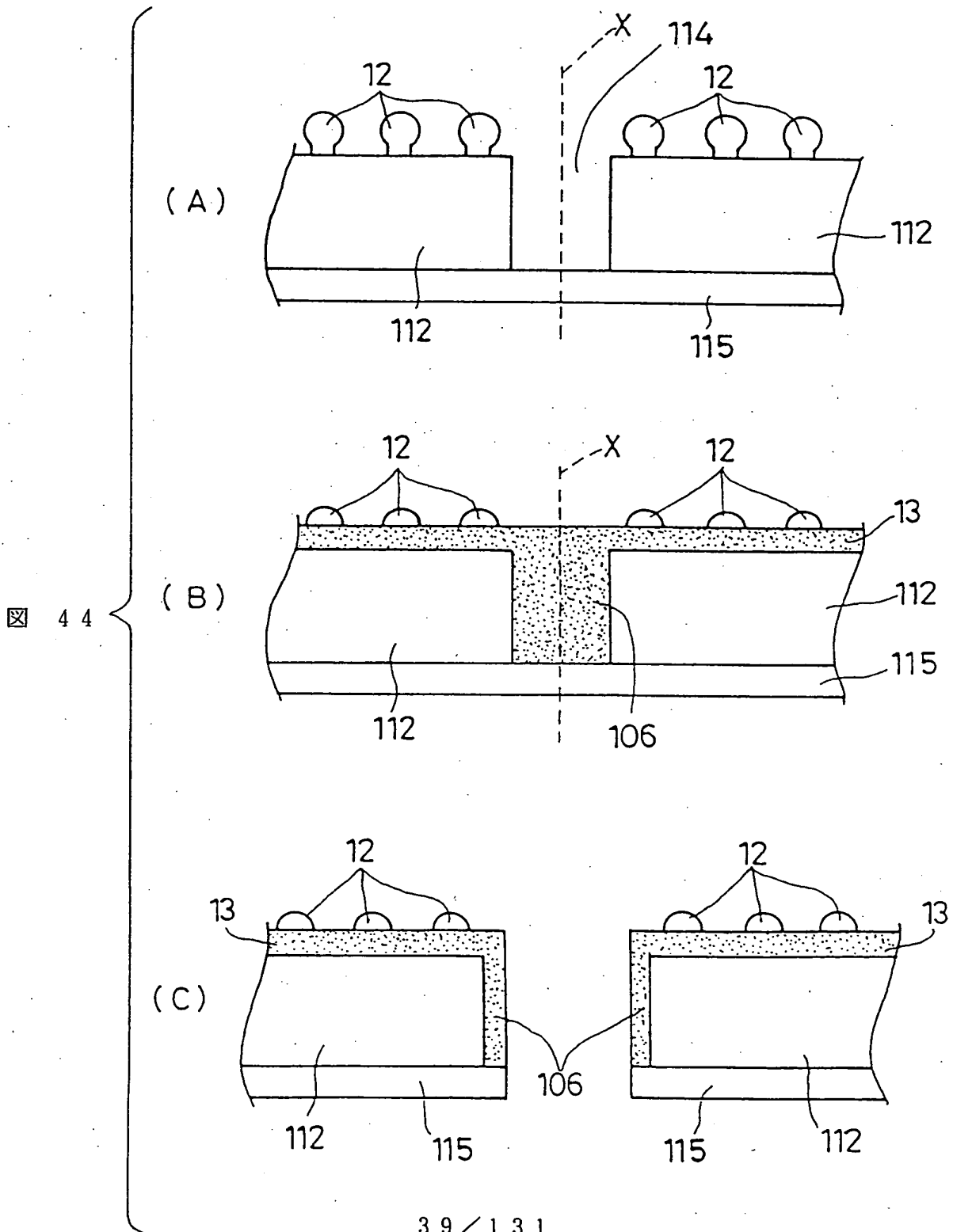


図 45

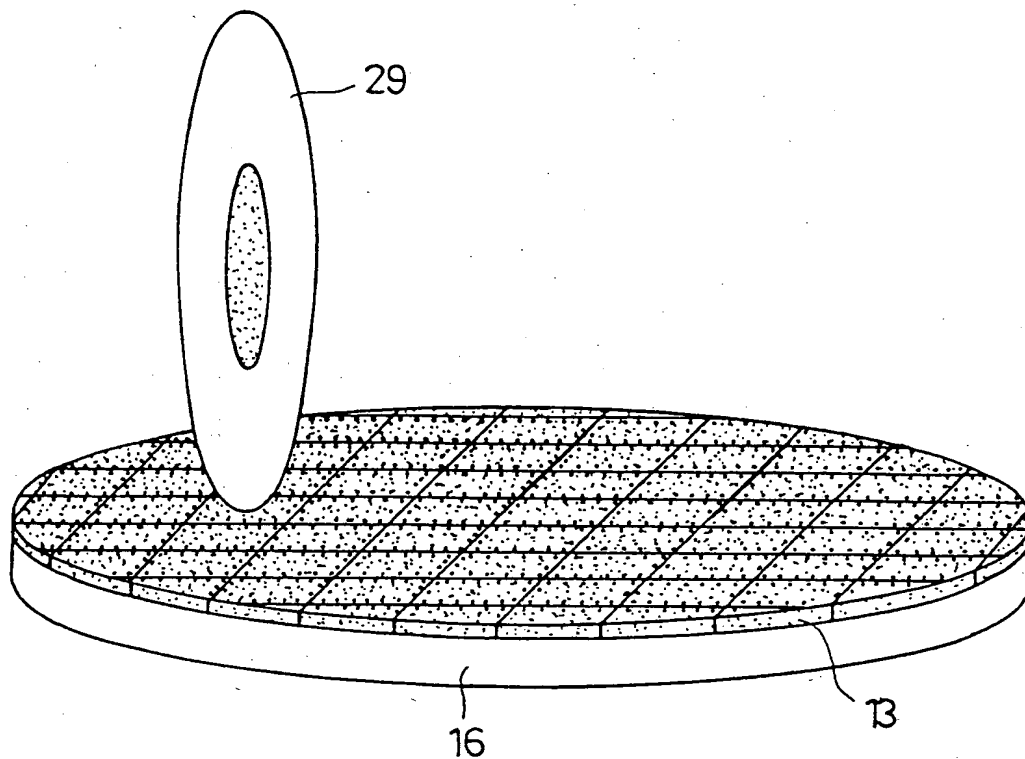
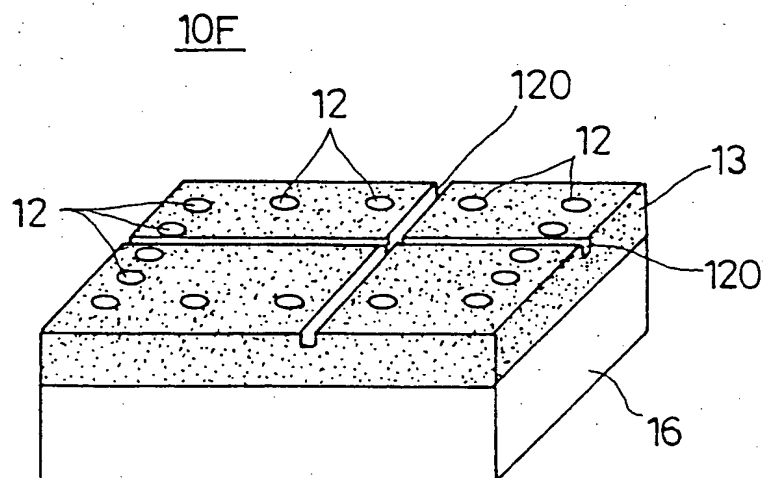
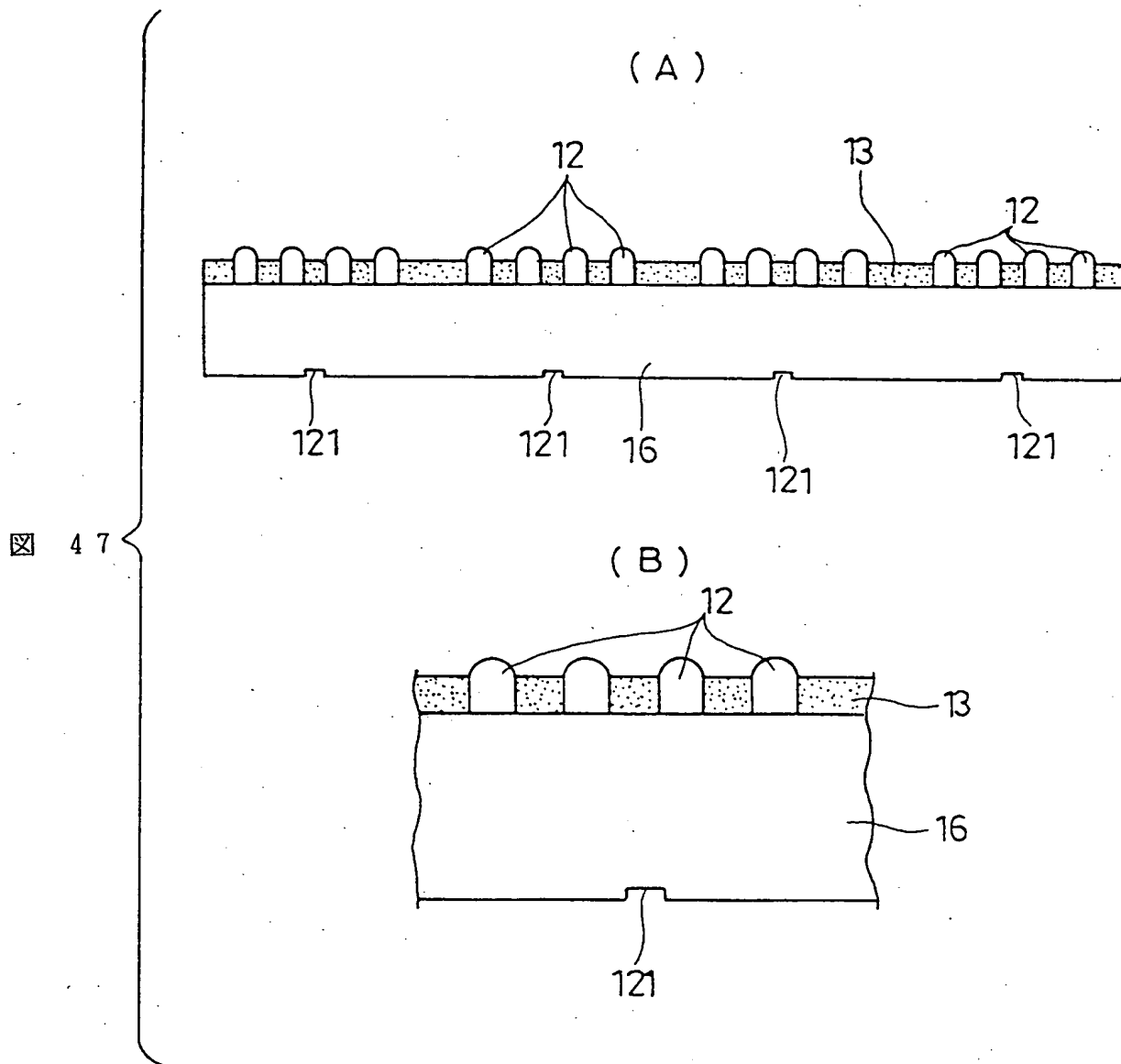
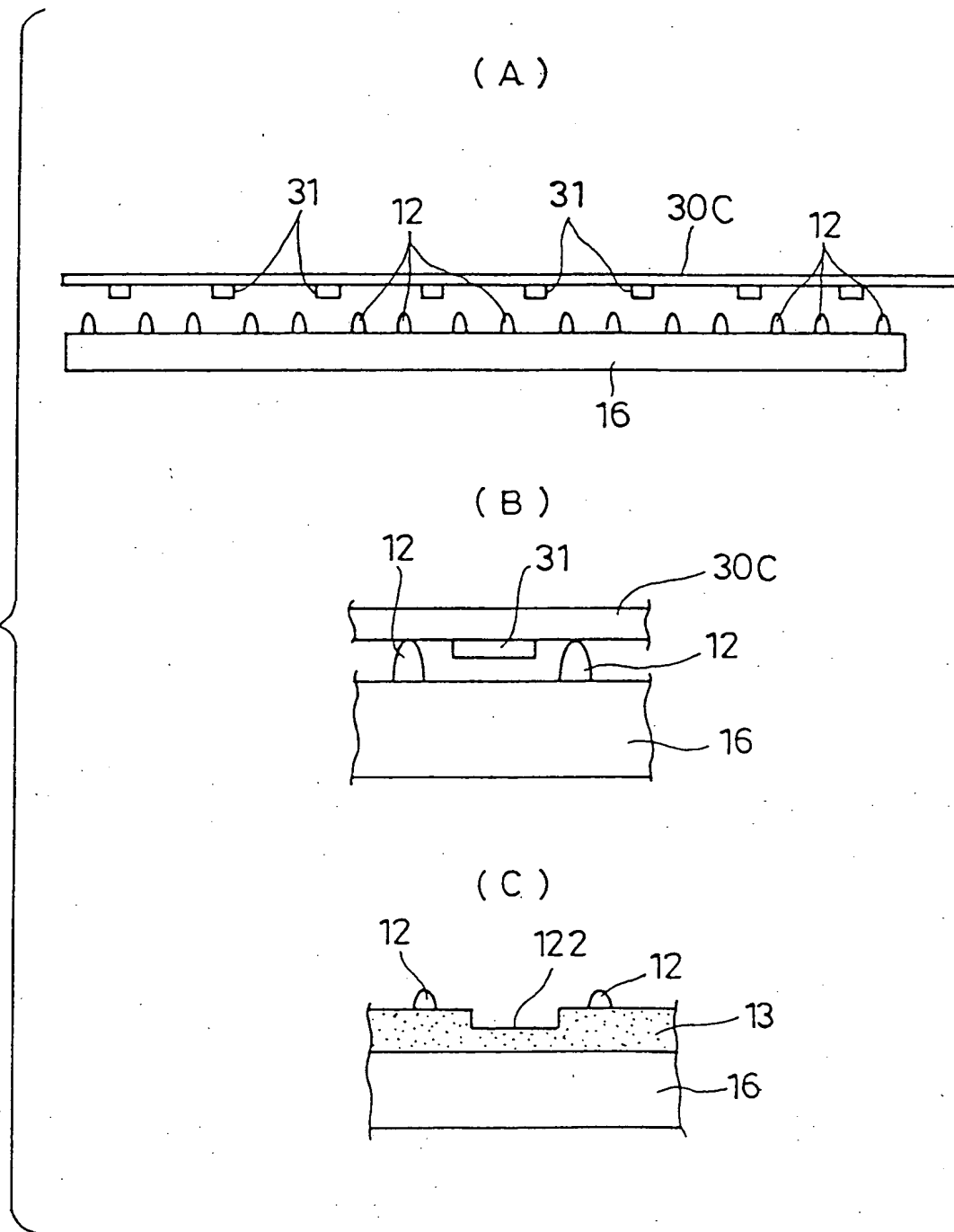


図 46

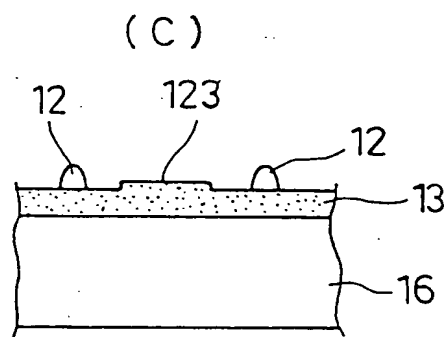
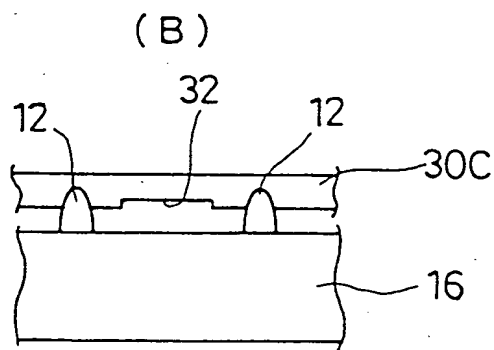
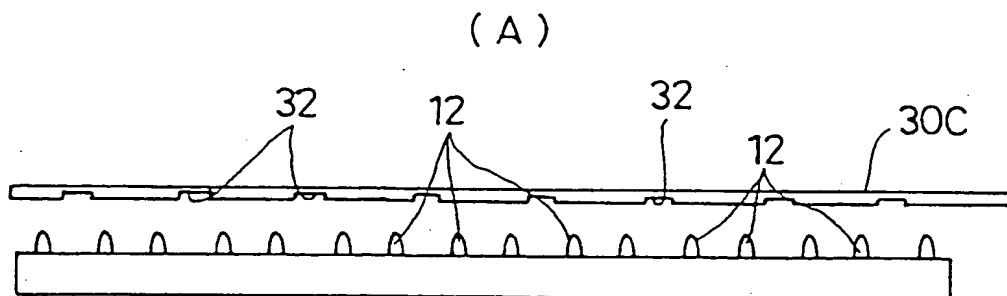




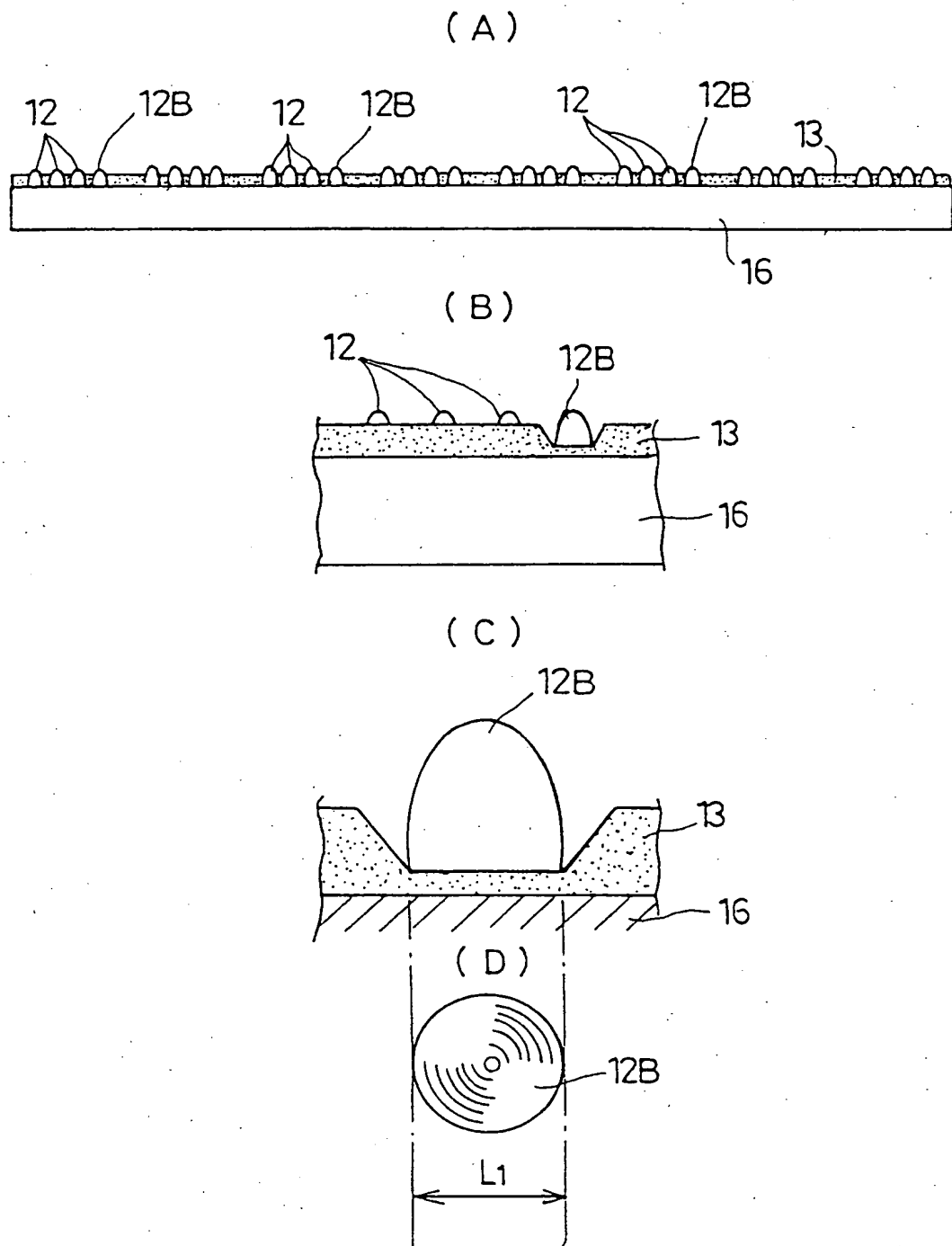
48

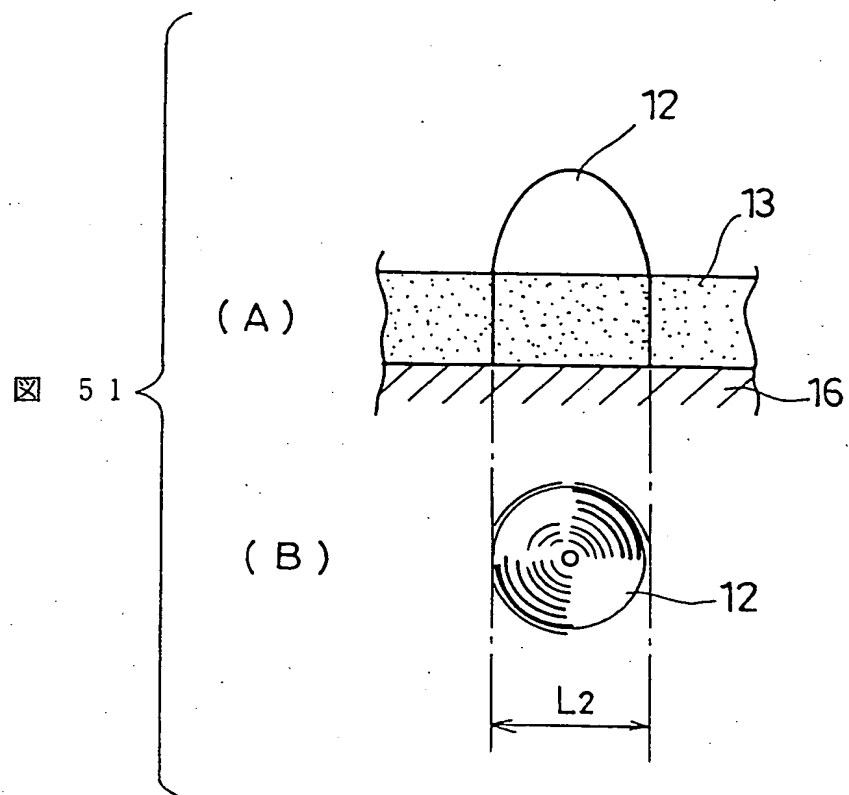


49

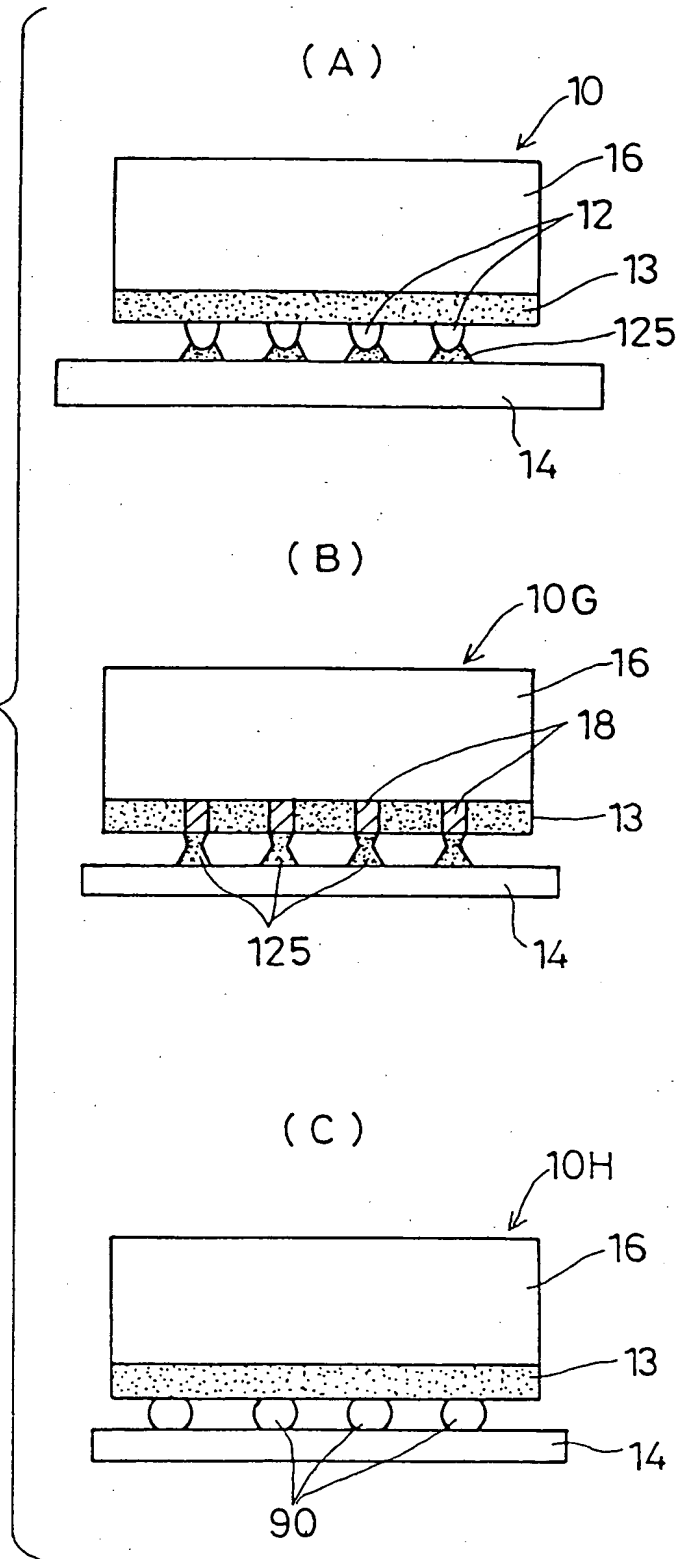


50

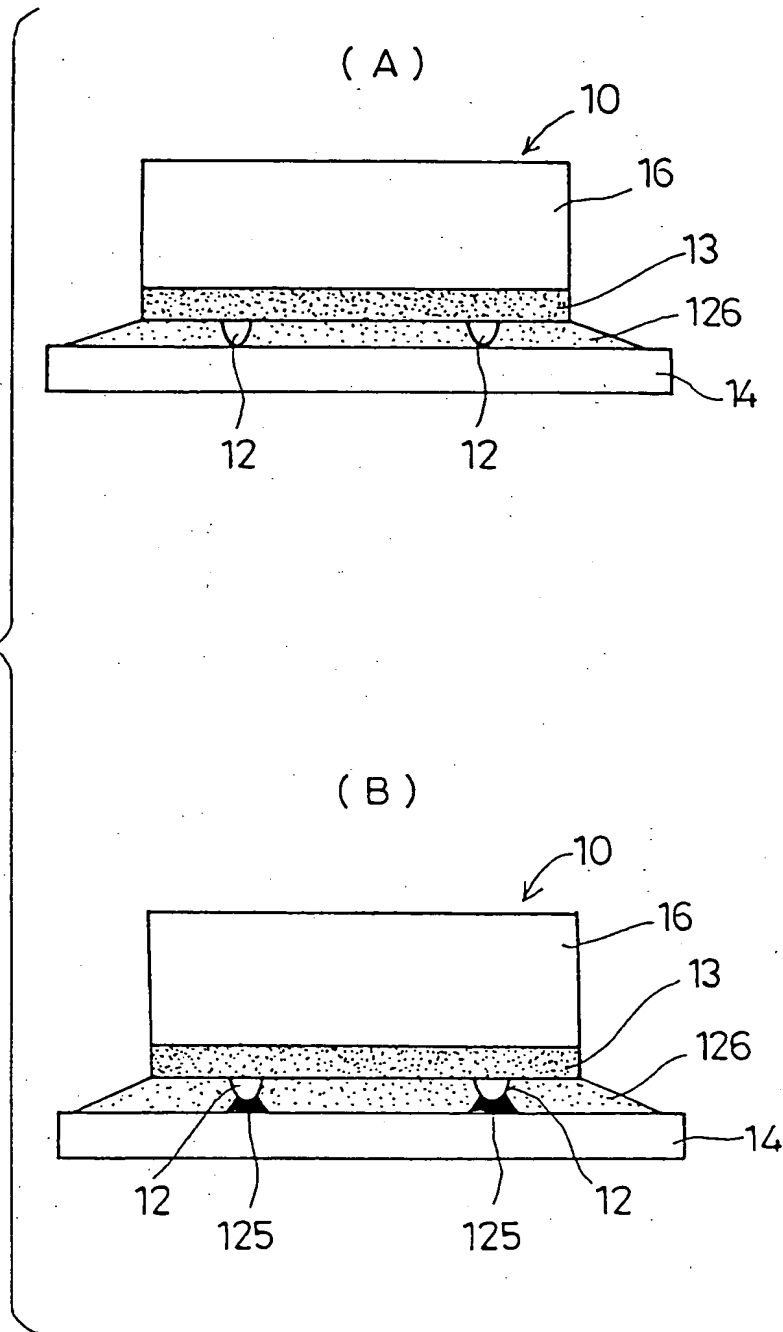




52



53



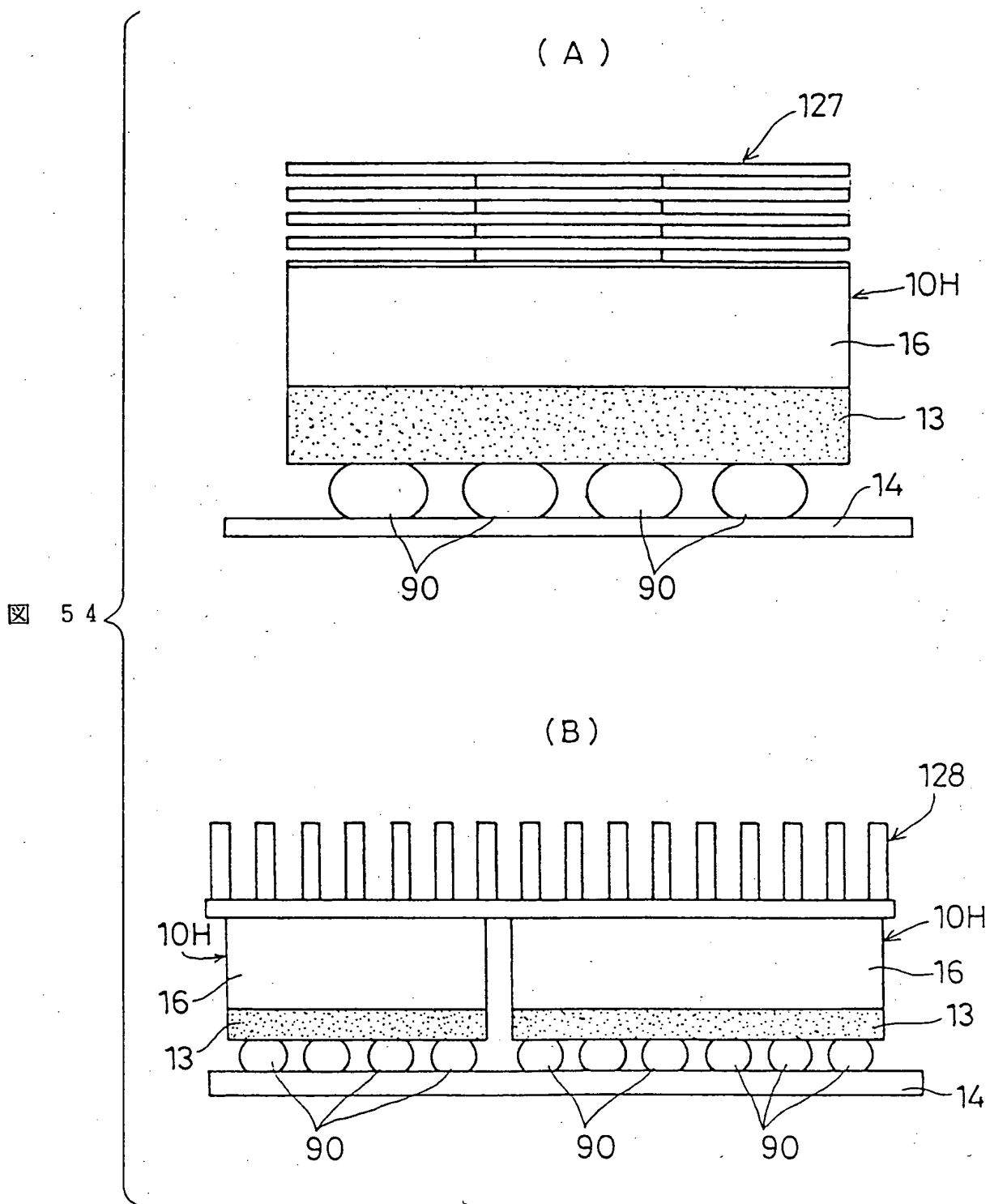


図 55

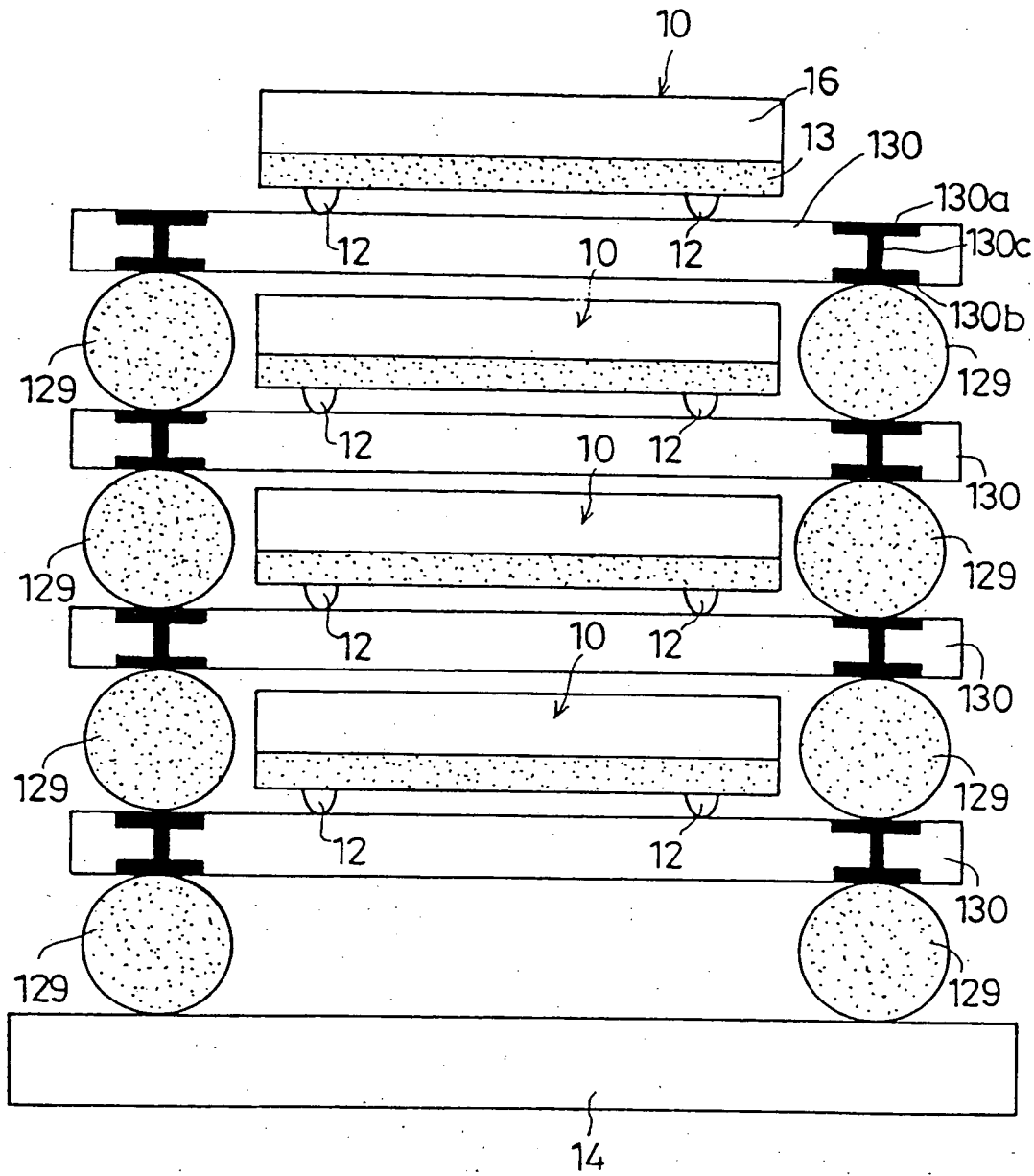


図 56

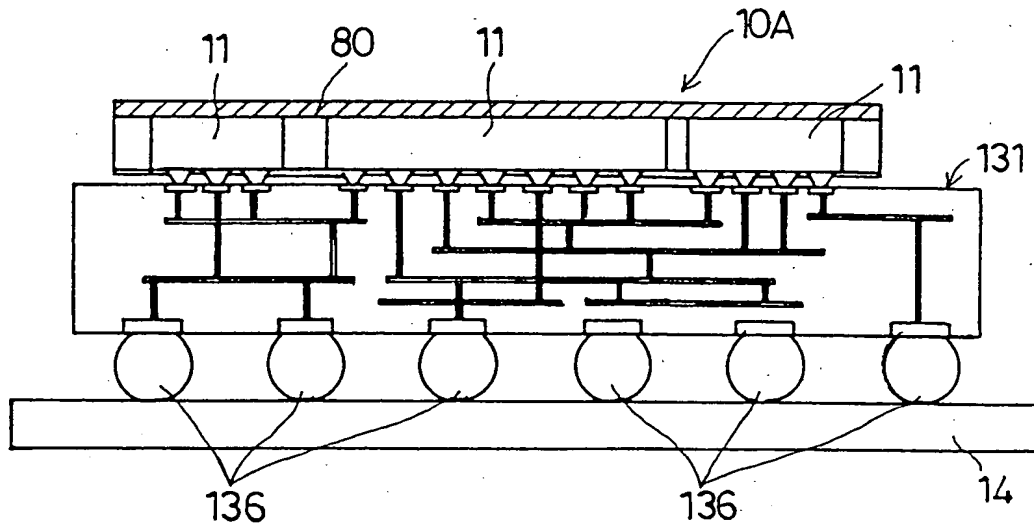


図 57

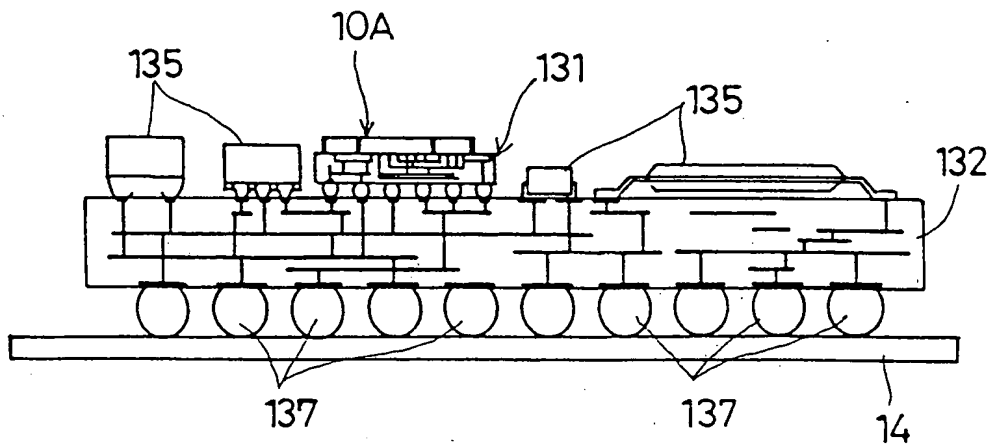


図 58

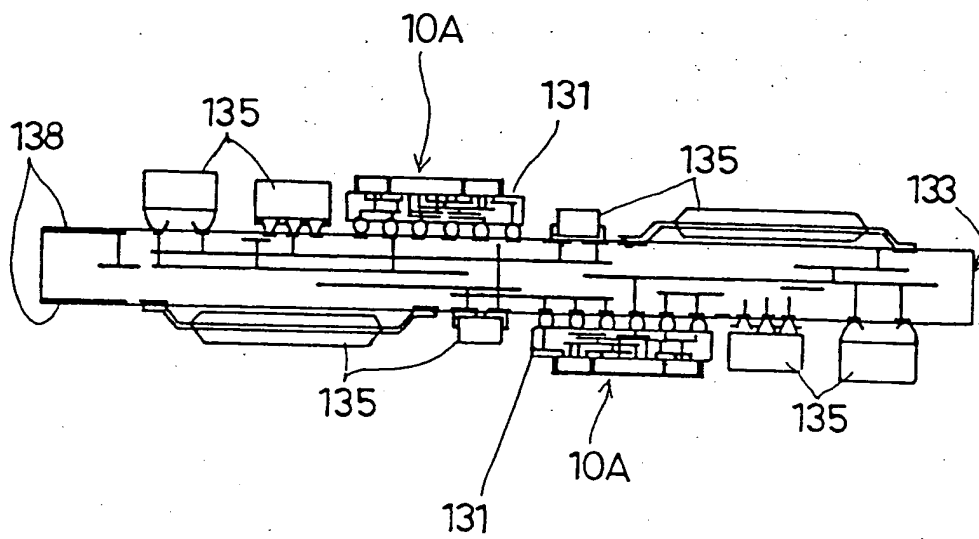


図 59

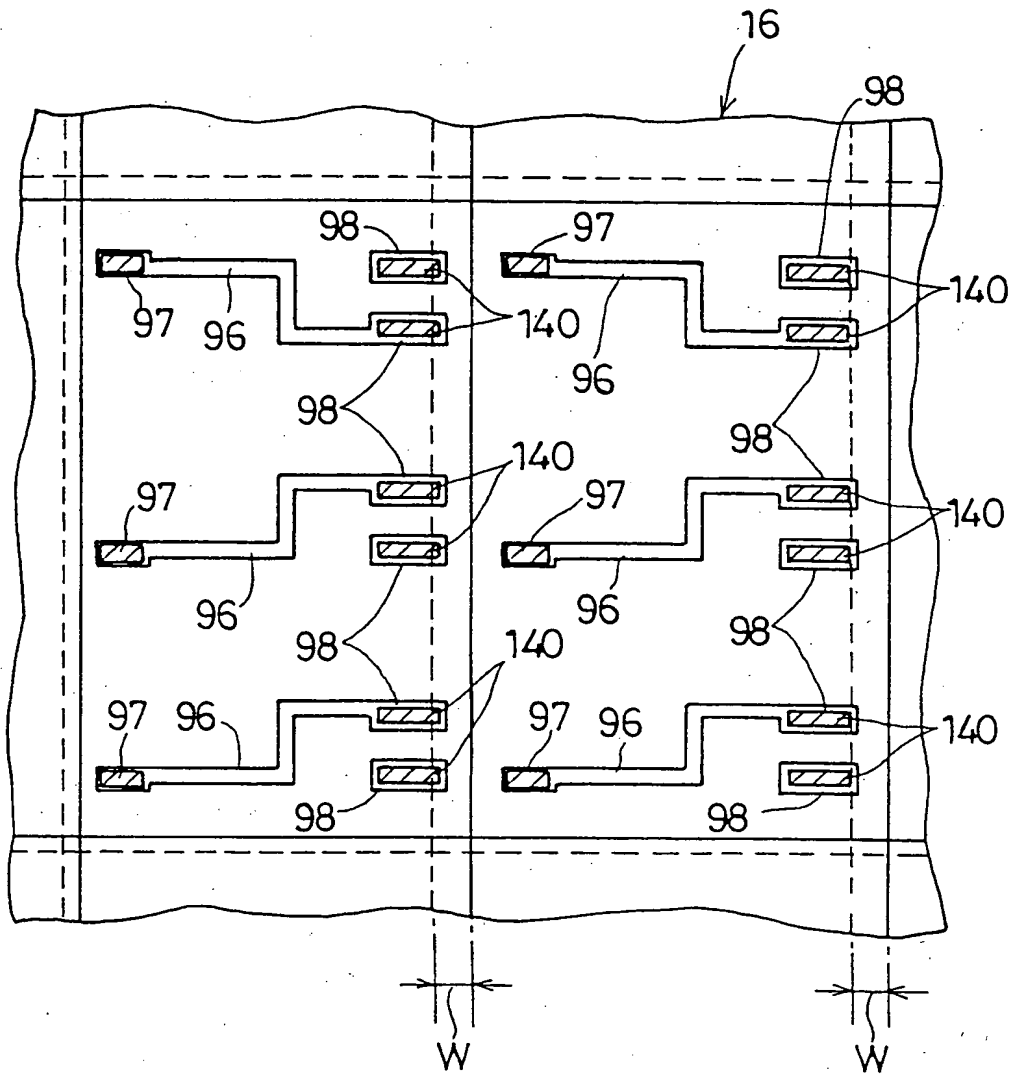
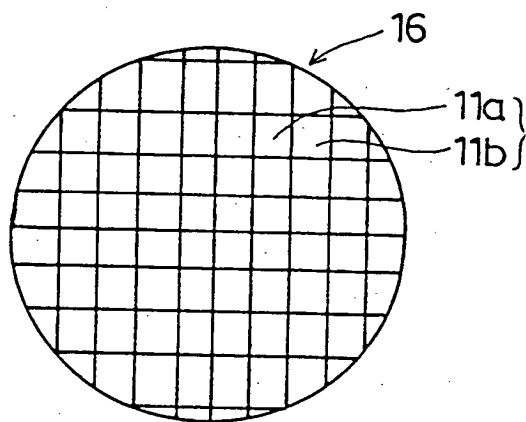
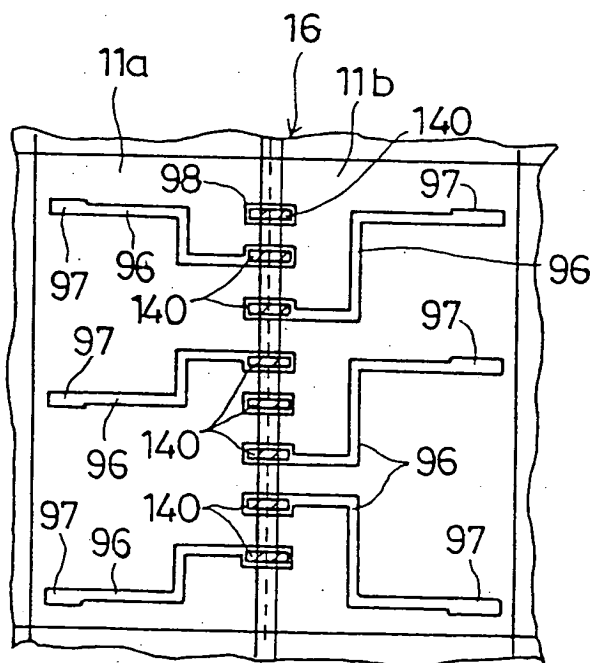


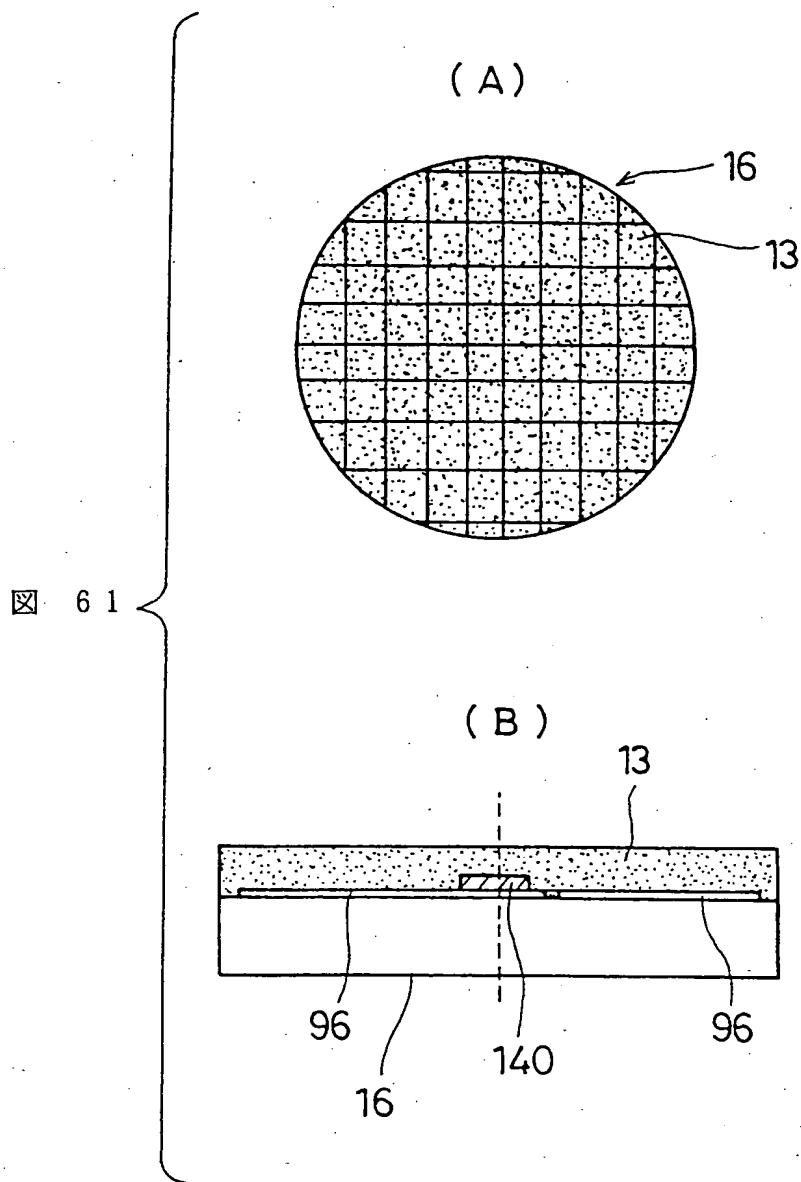
図 60

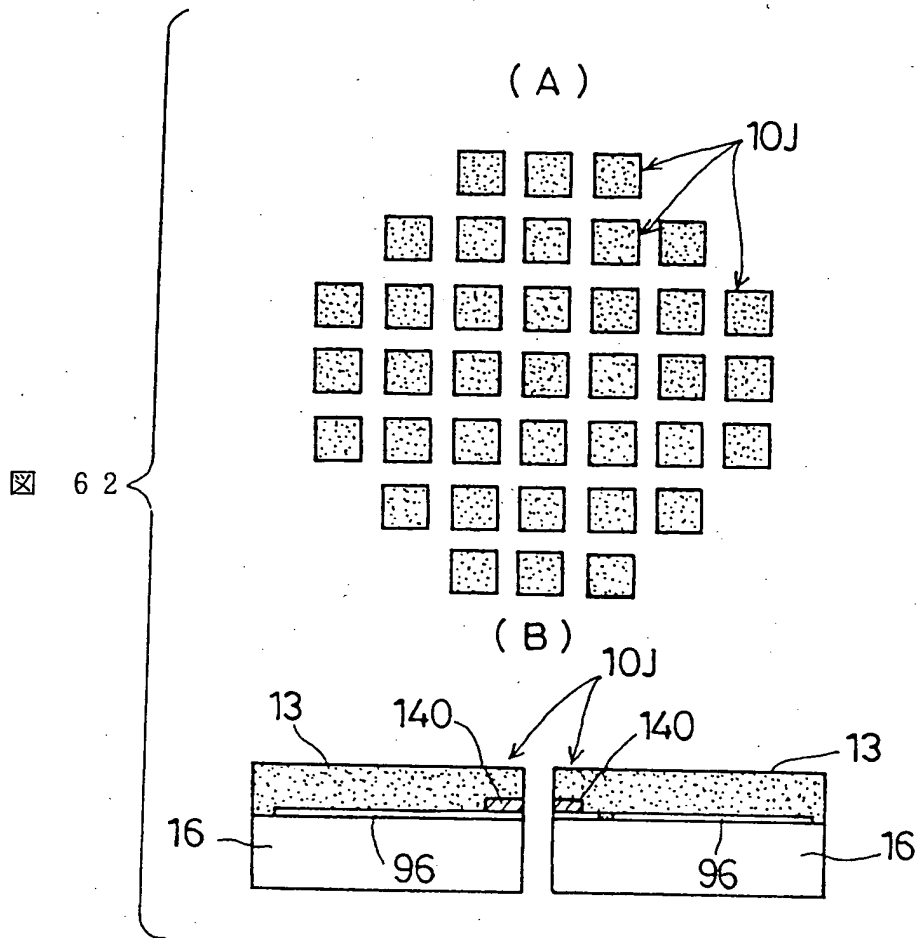
(A)



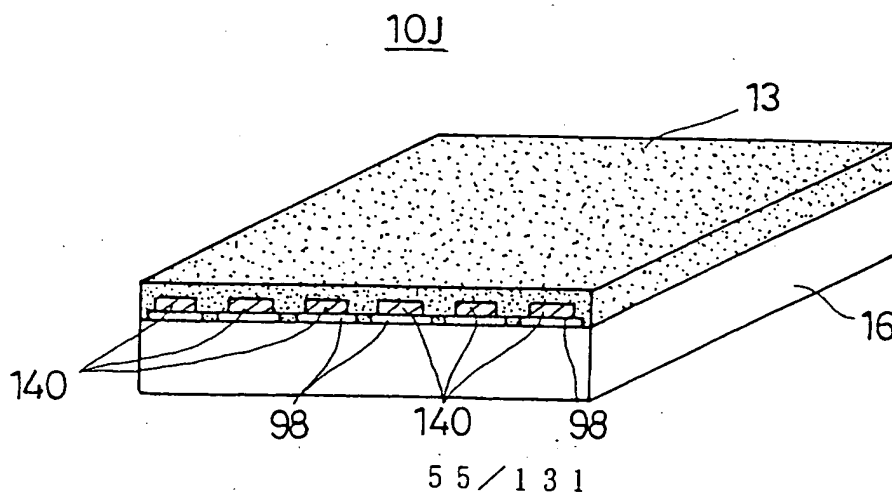
(B)





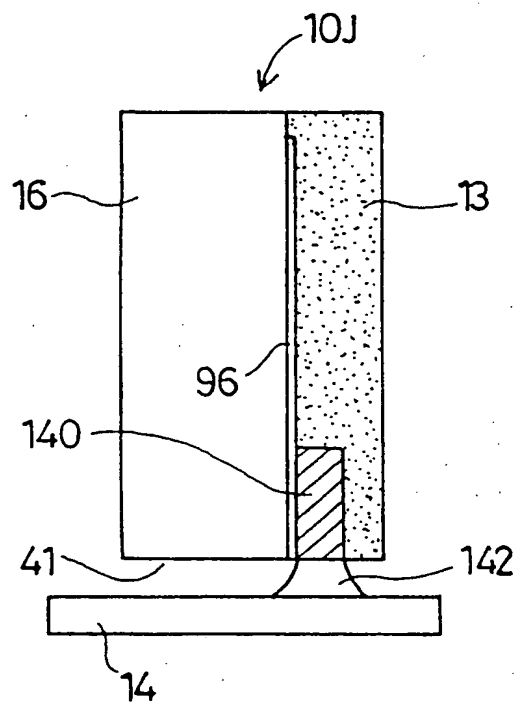


6 3

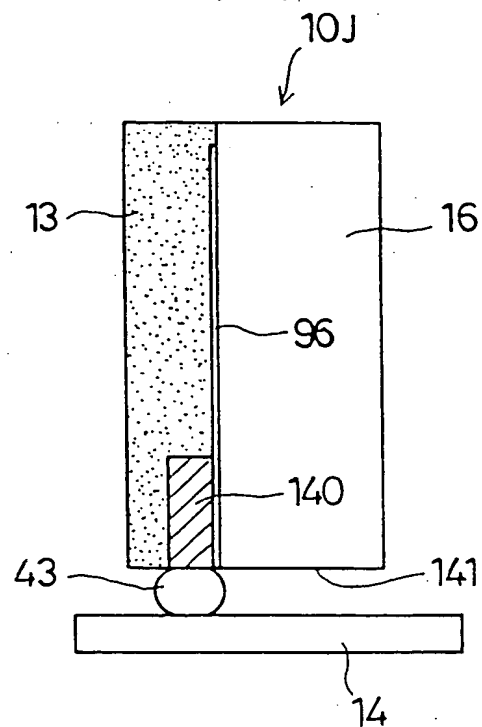


64

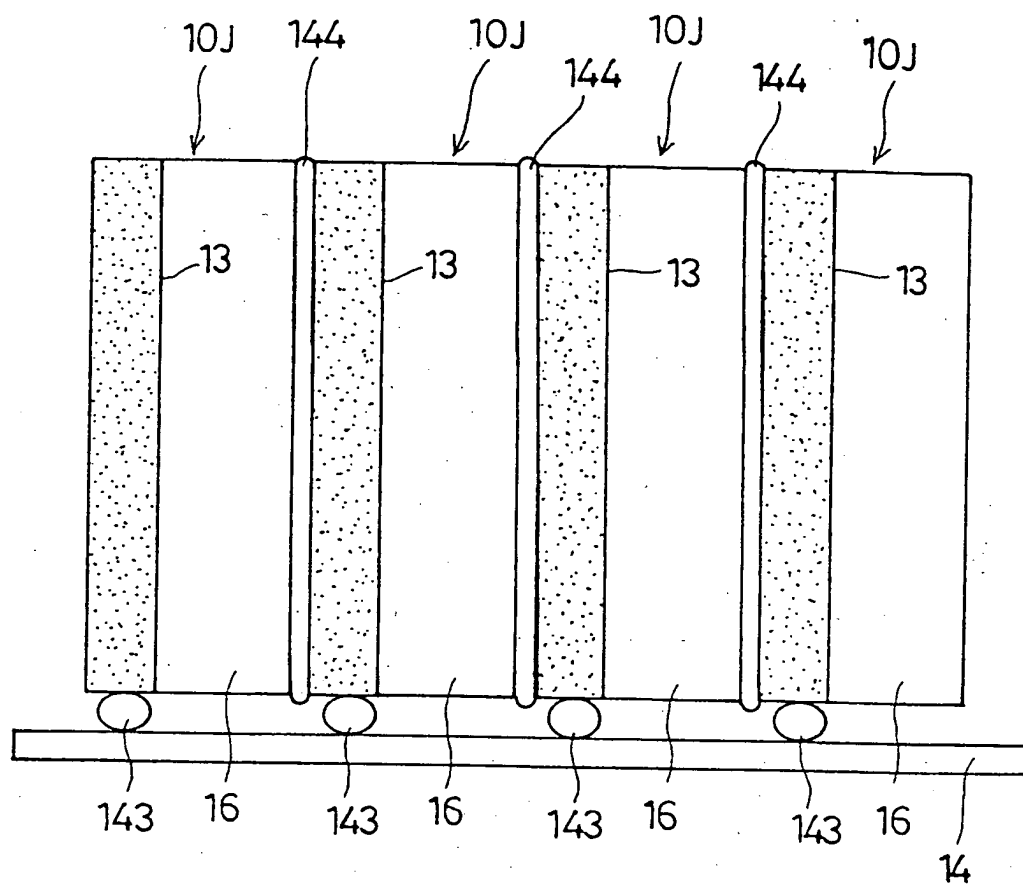
(A)



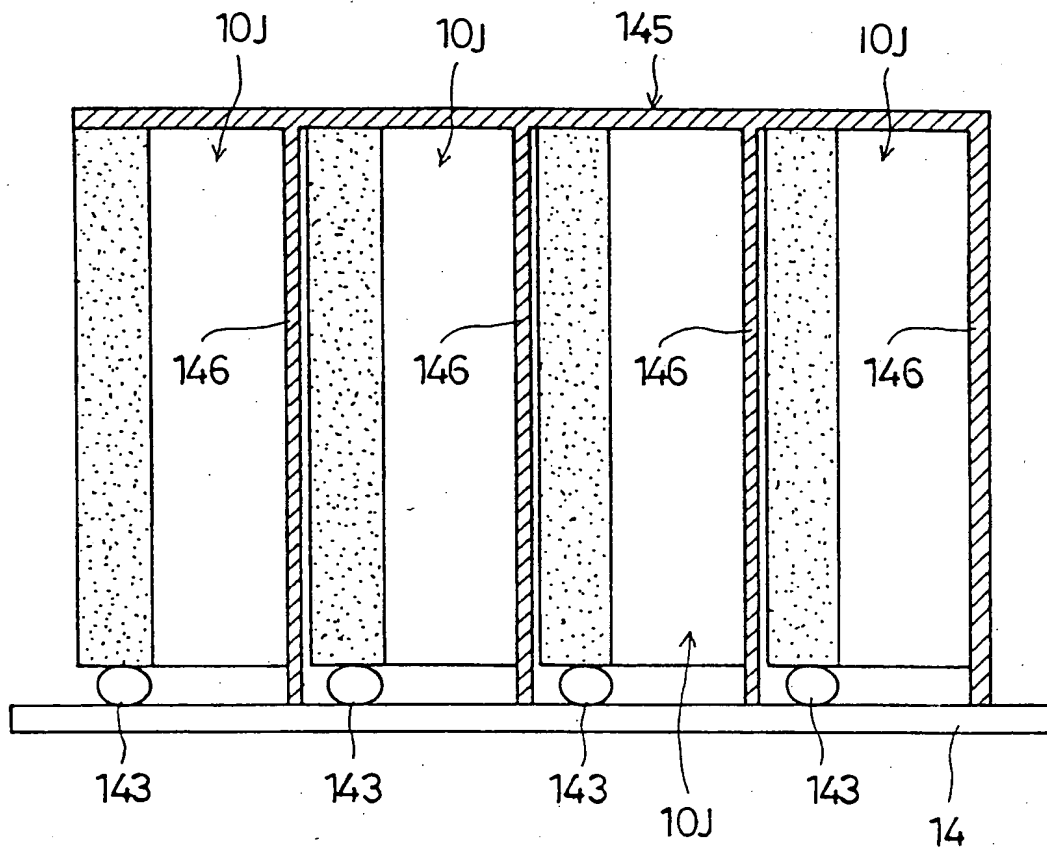
(B)



6 5



66



67

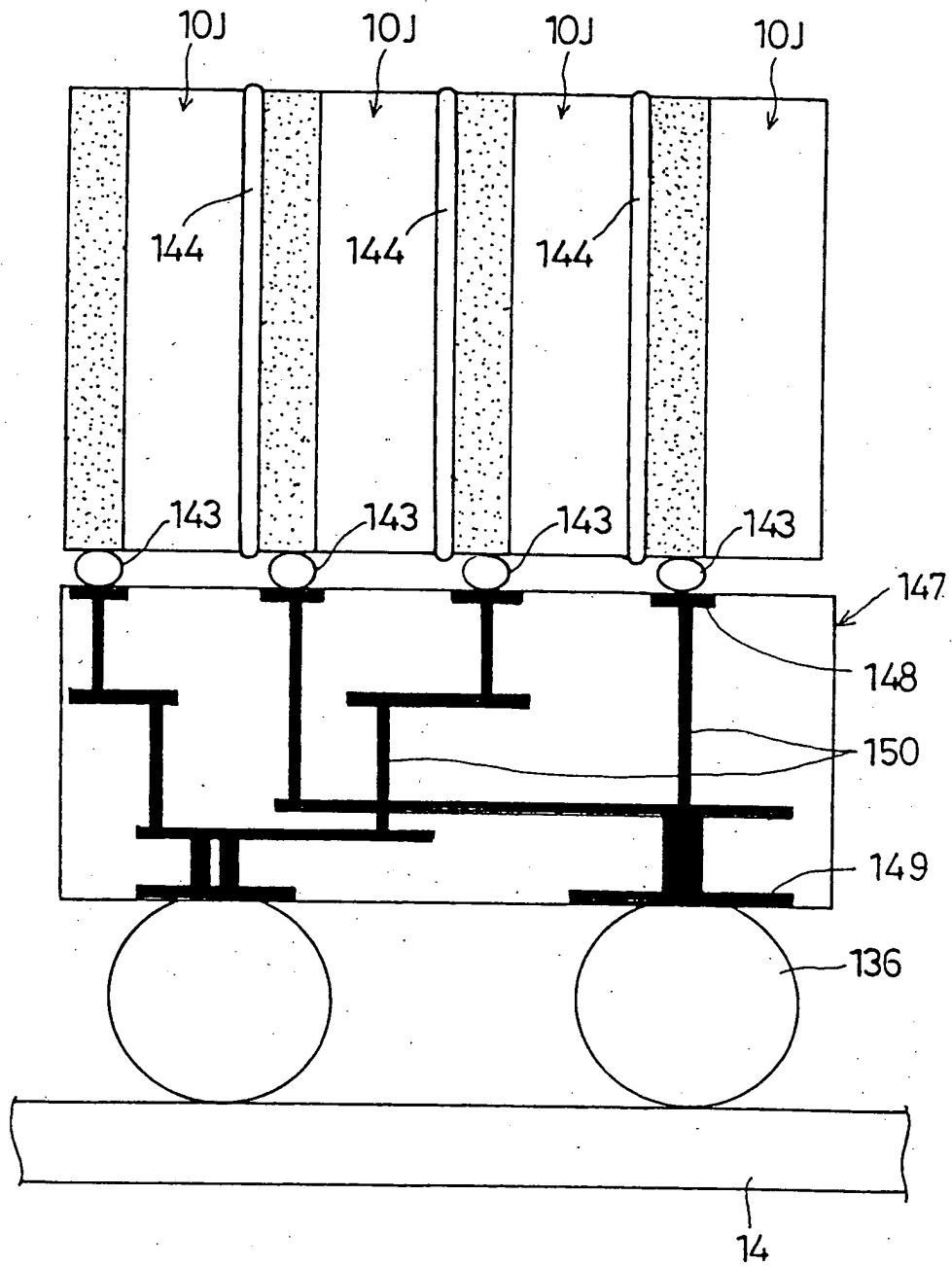


図 68

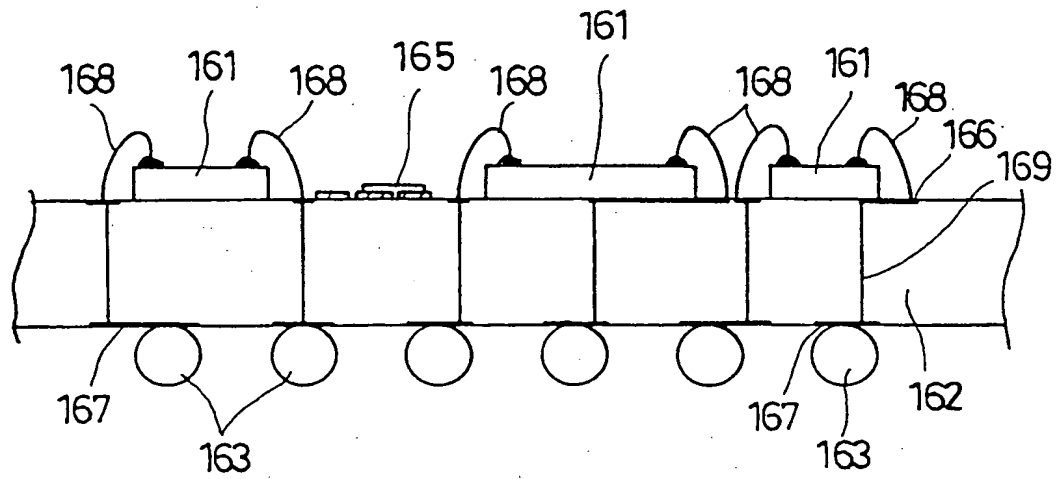


図 69

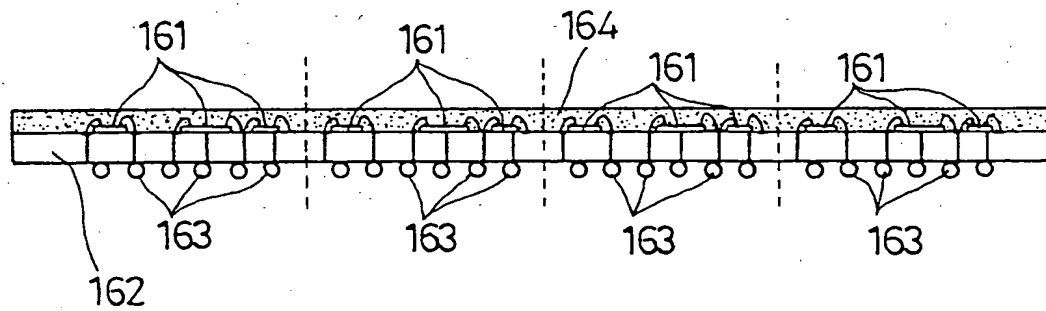


図 70

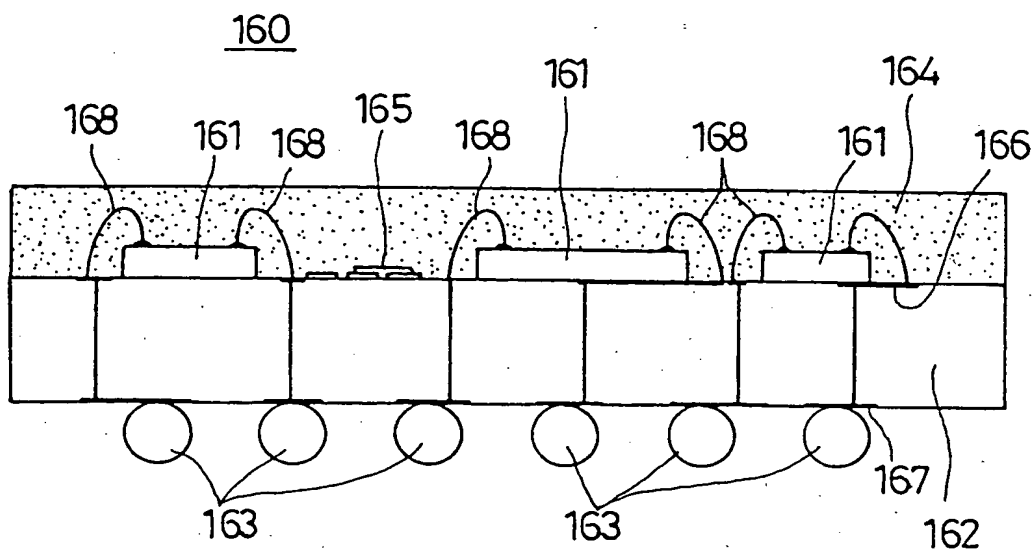


図 71

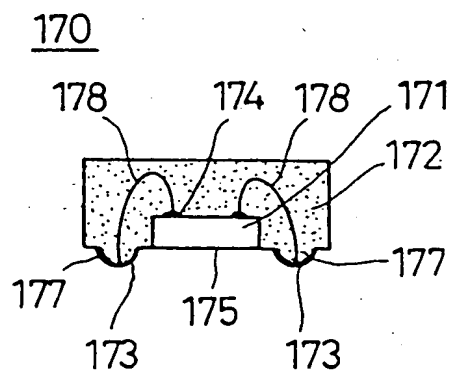


図 7 2

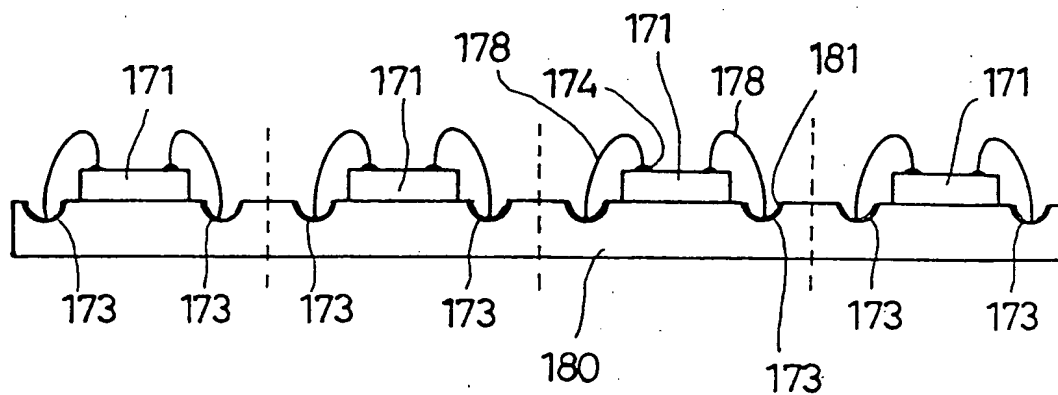


図 7 3

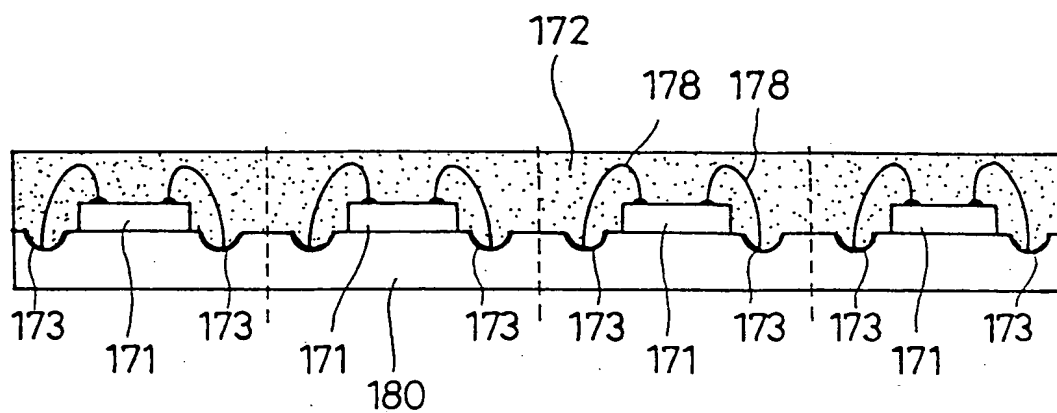


図 7 4

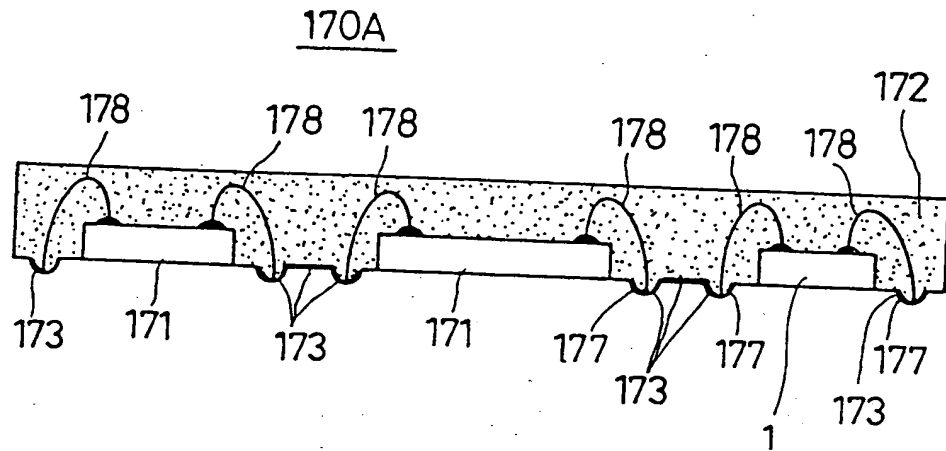


図 7 5

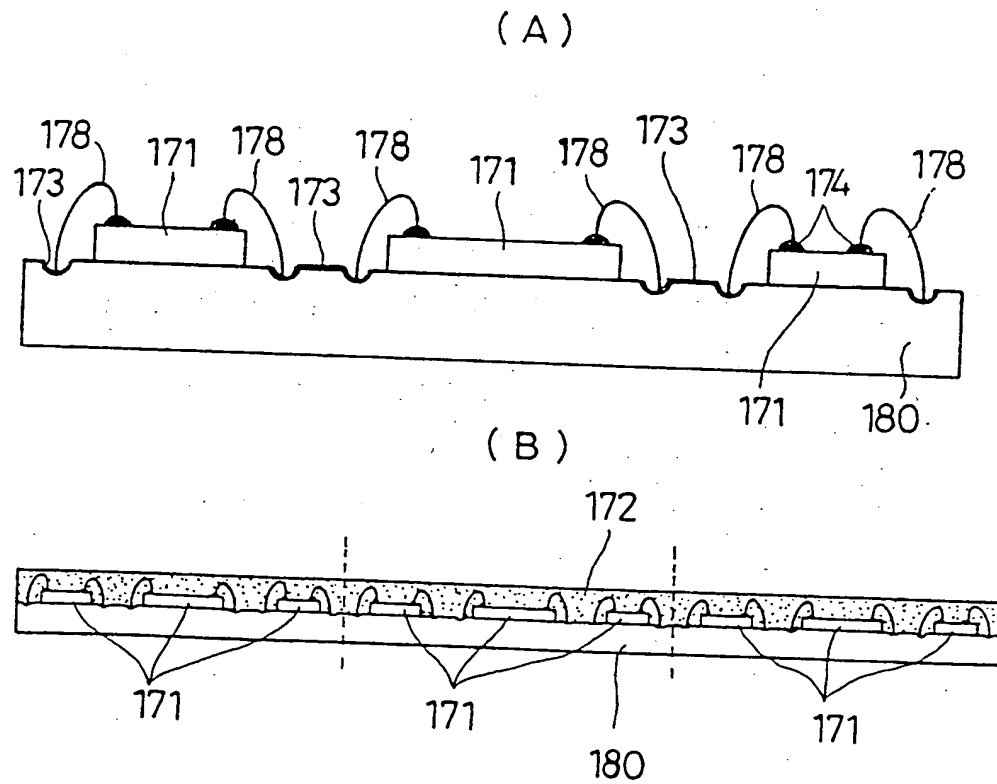


図 76

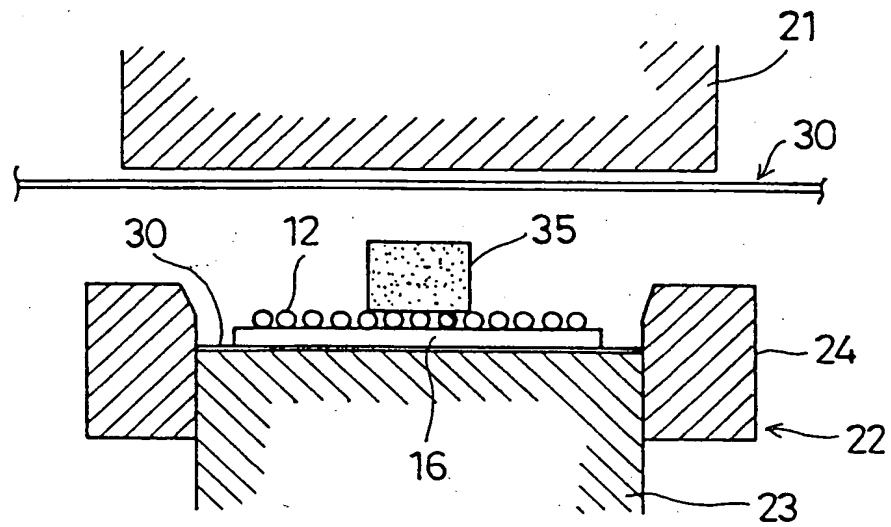


図 77

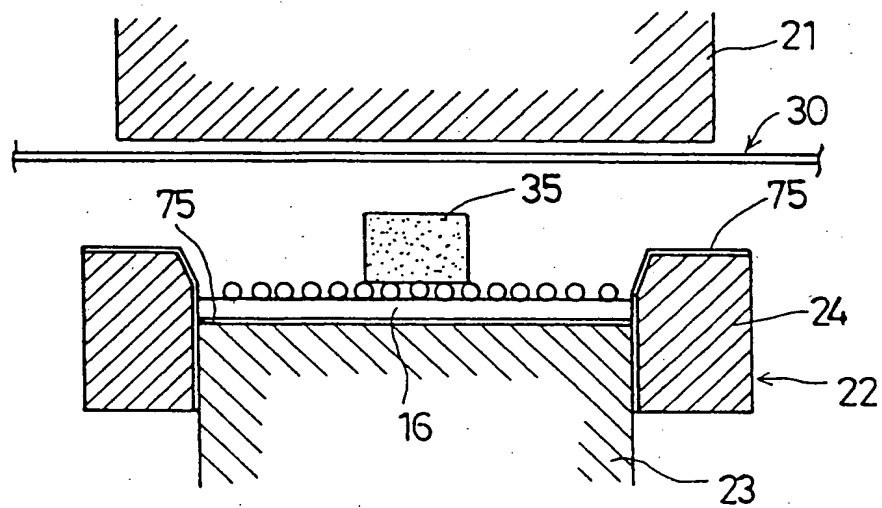
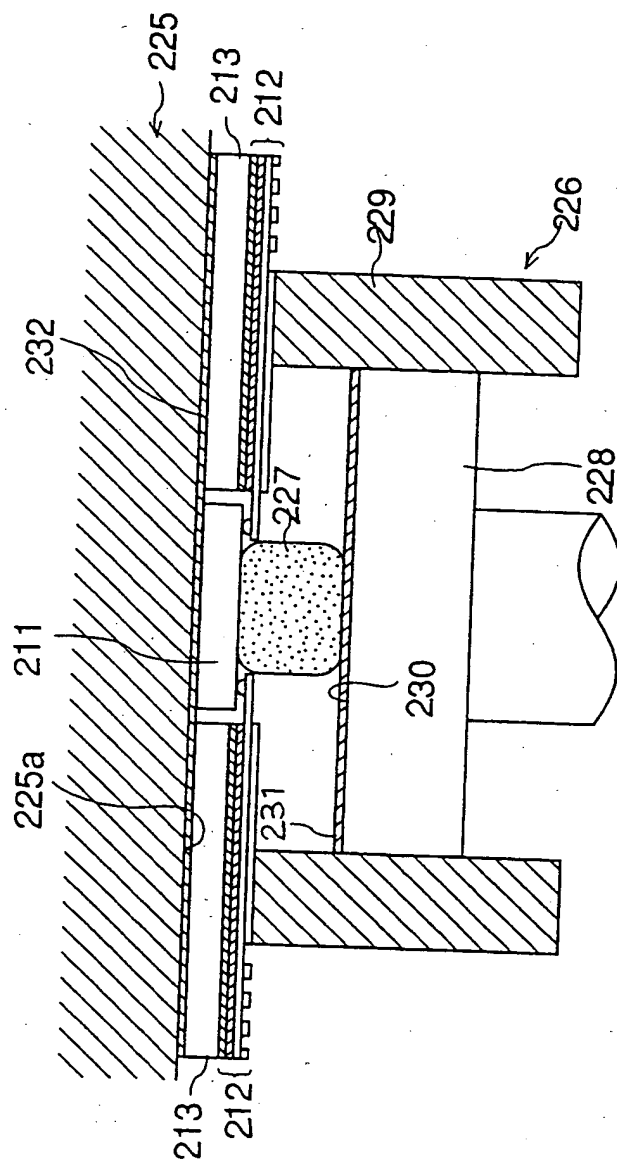
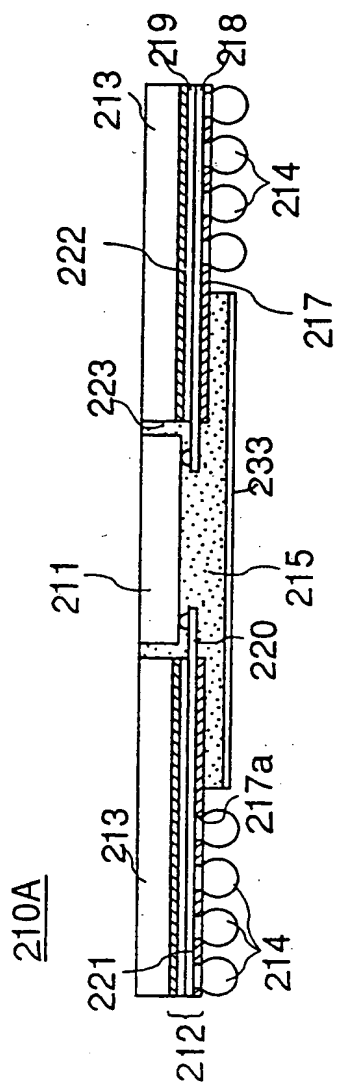


図 80

224



181



84

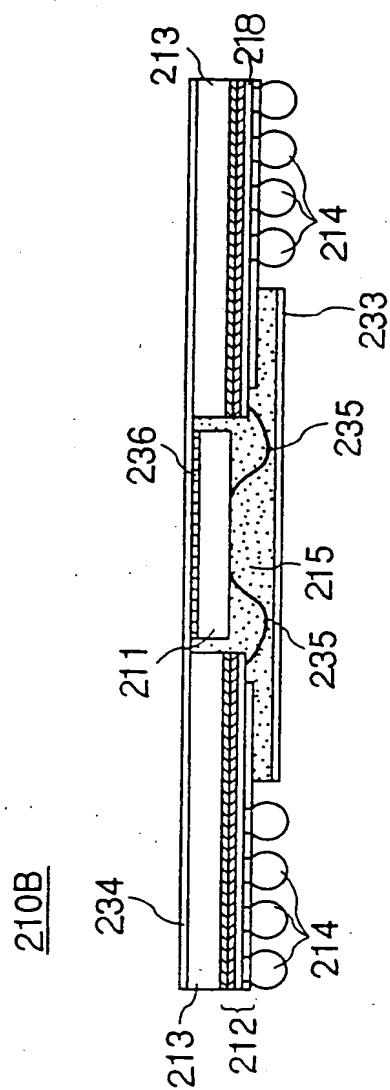
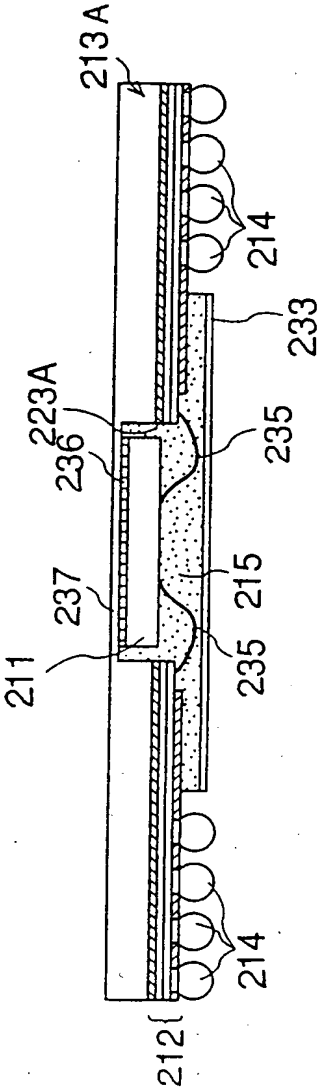


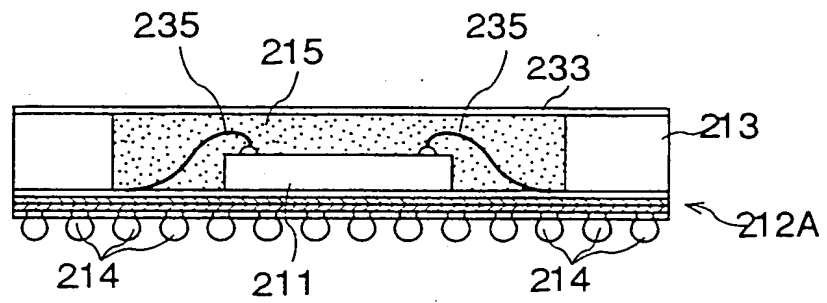
図 8 5

210C

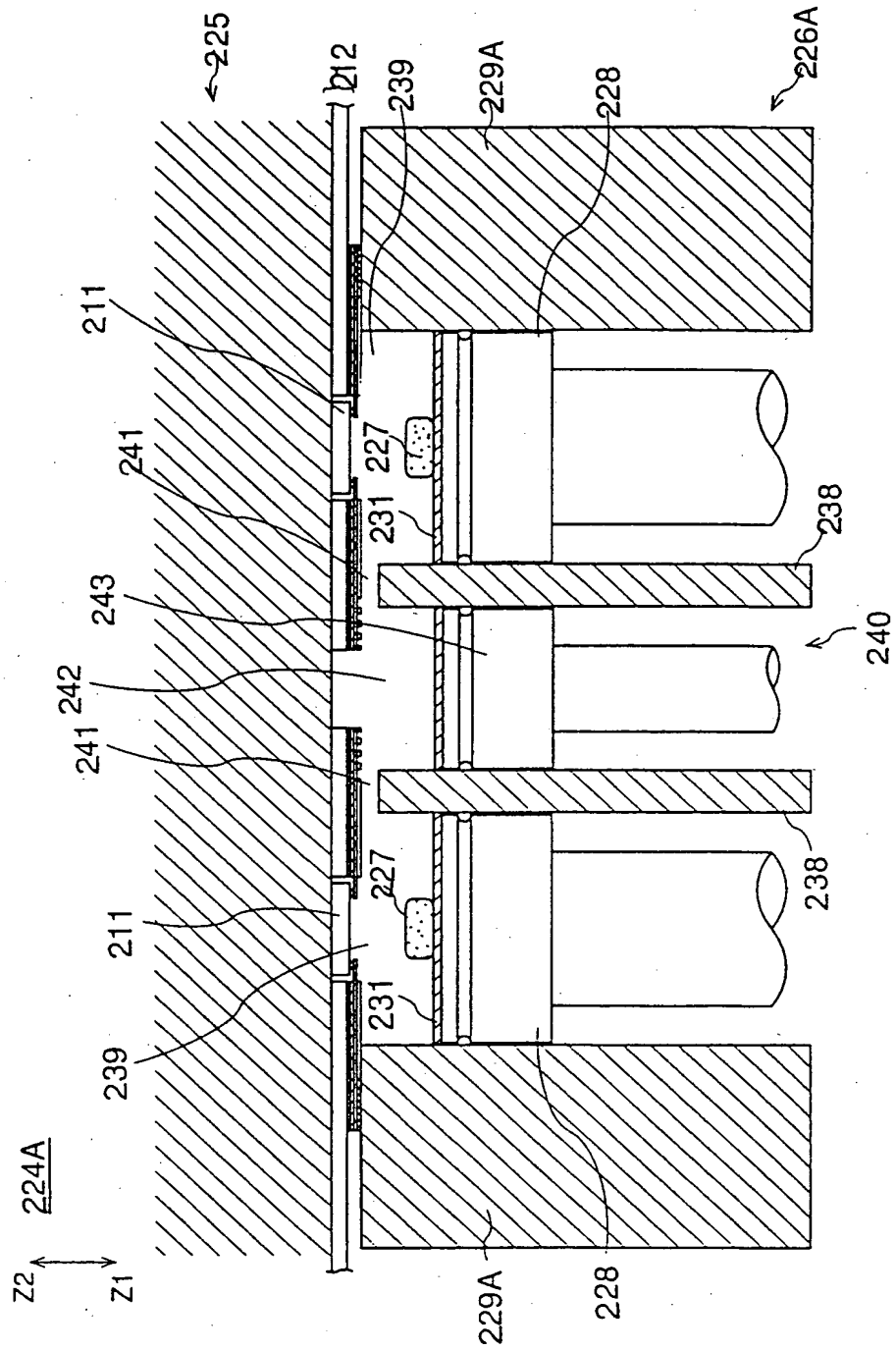


86

210D



87



88

210E

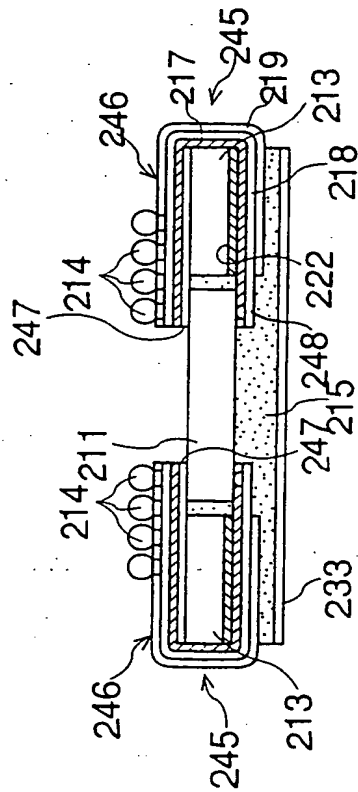


図 89

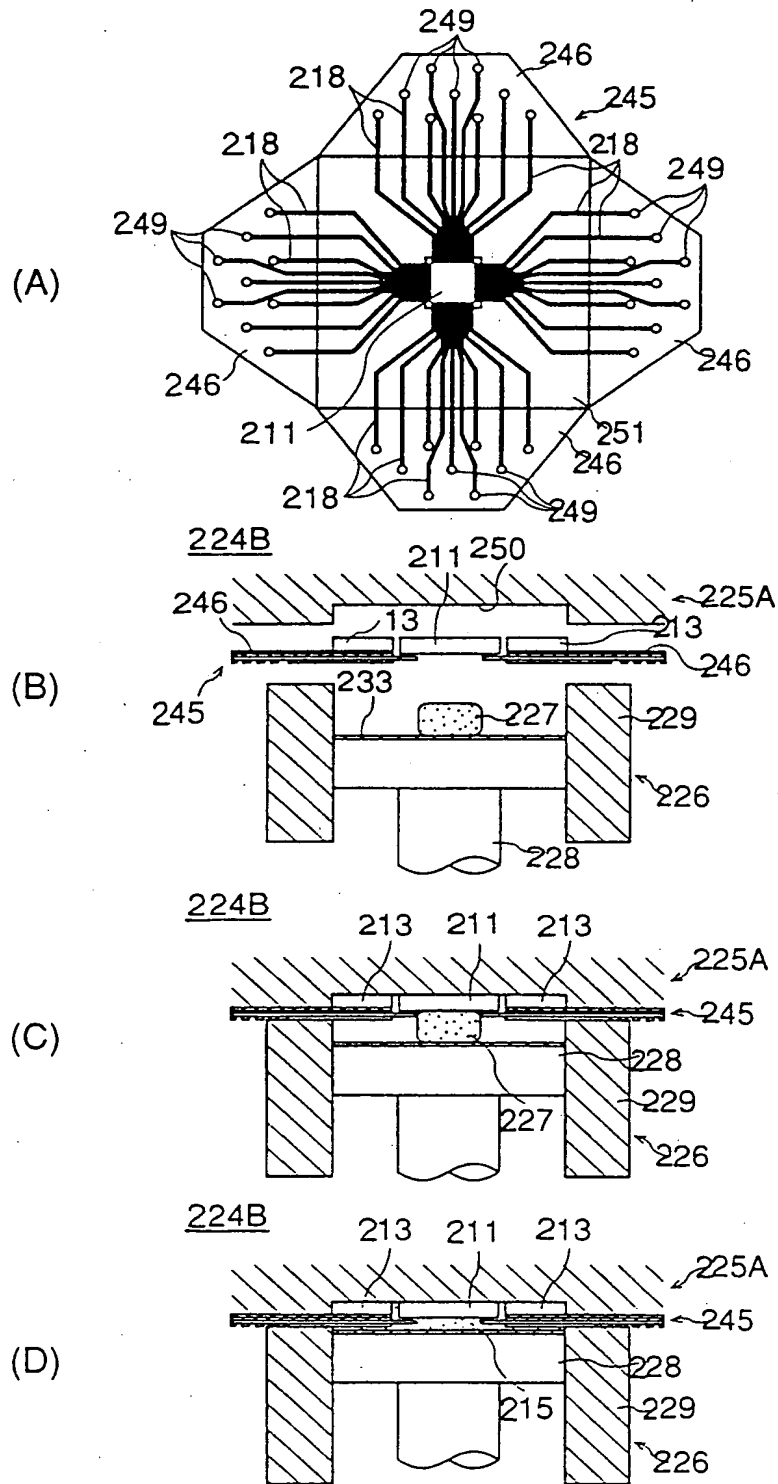
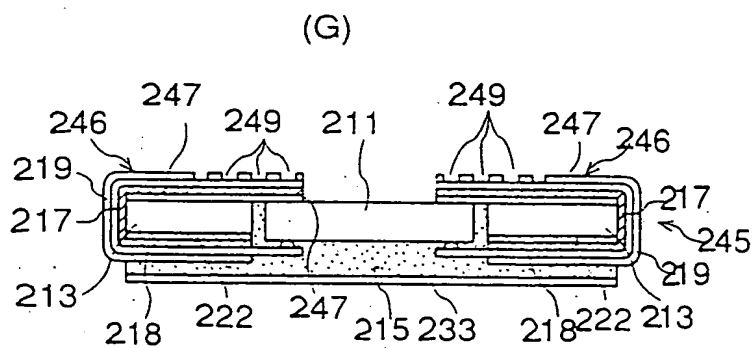
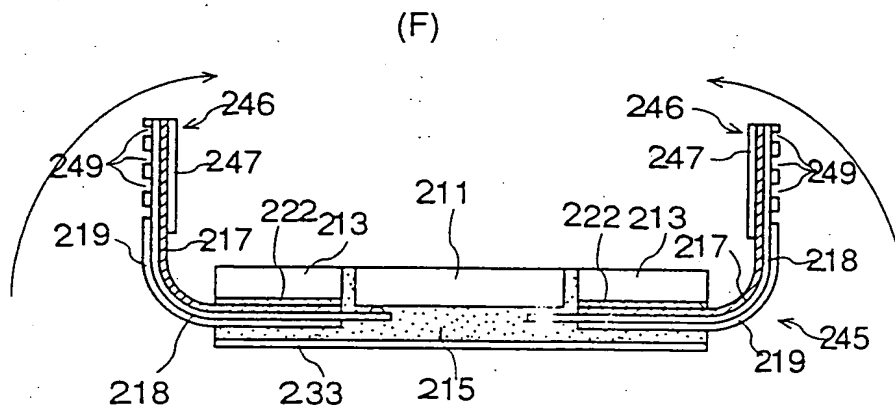
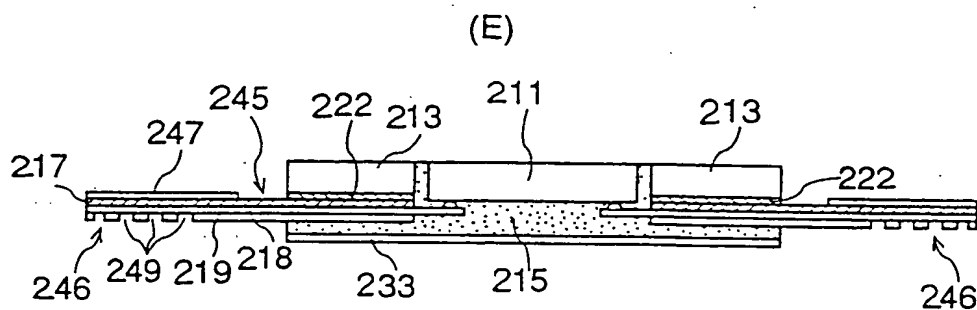
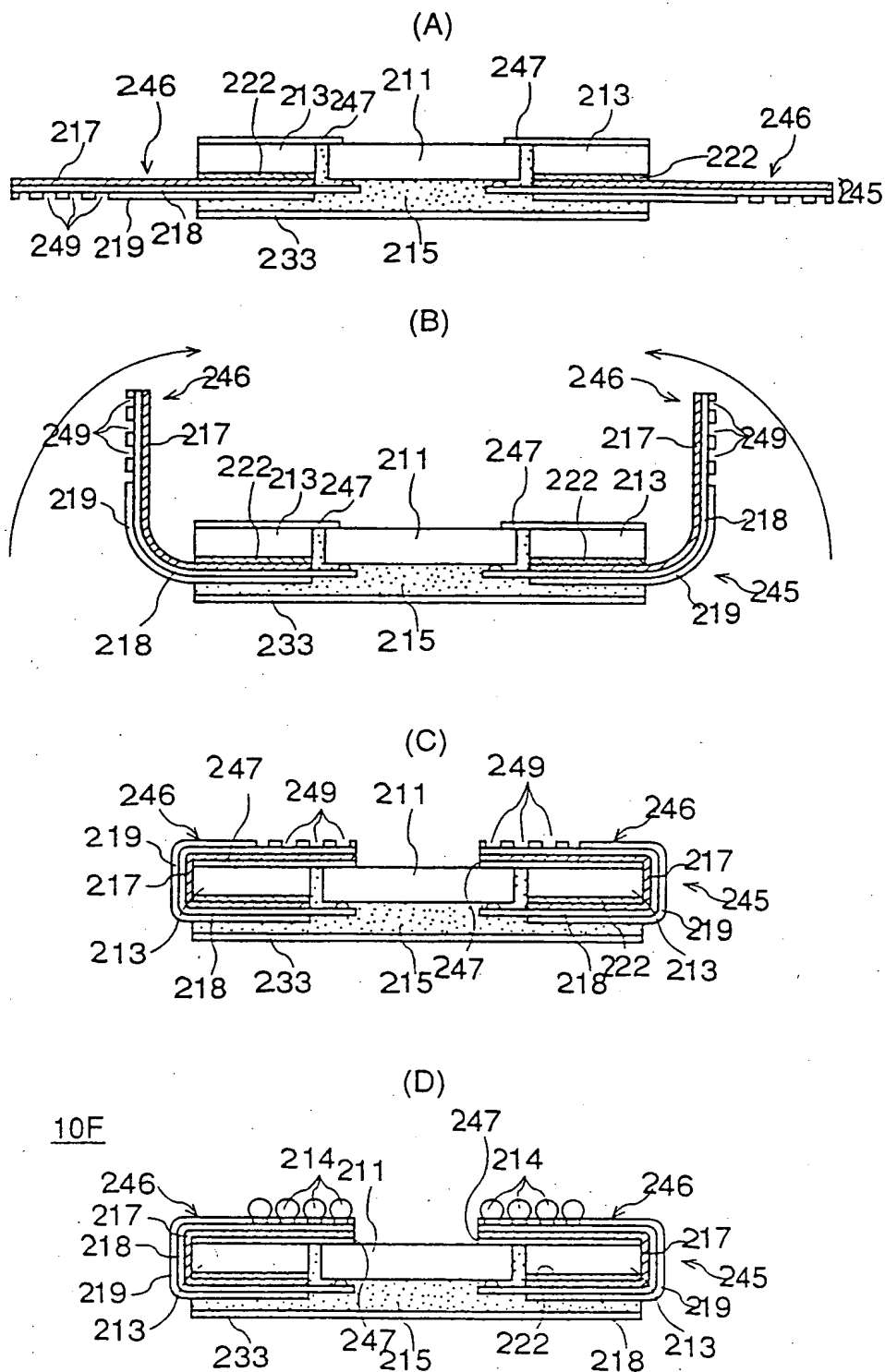


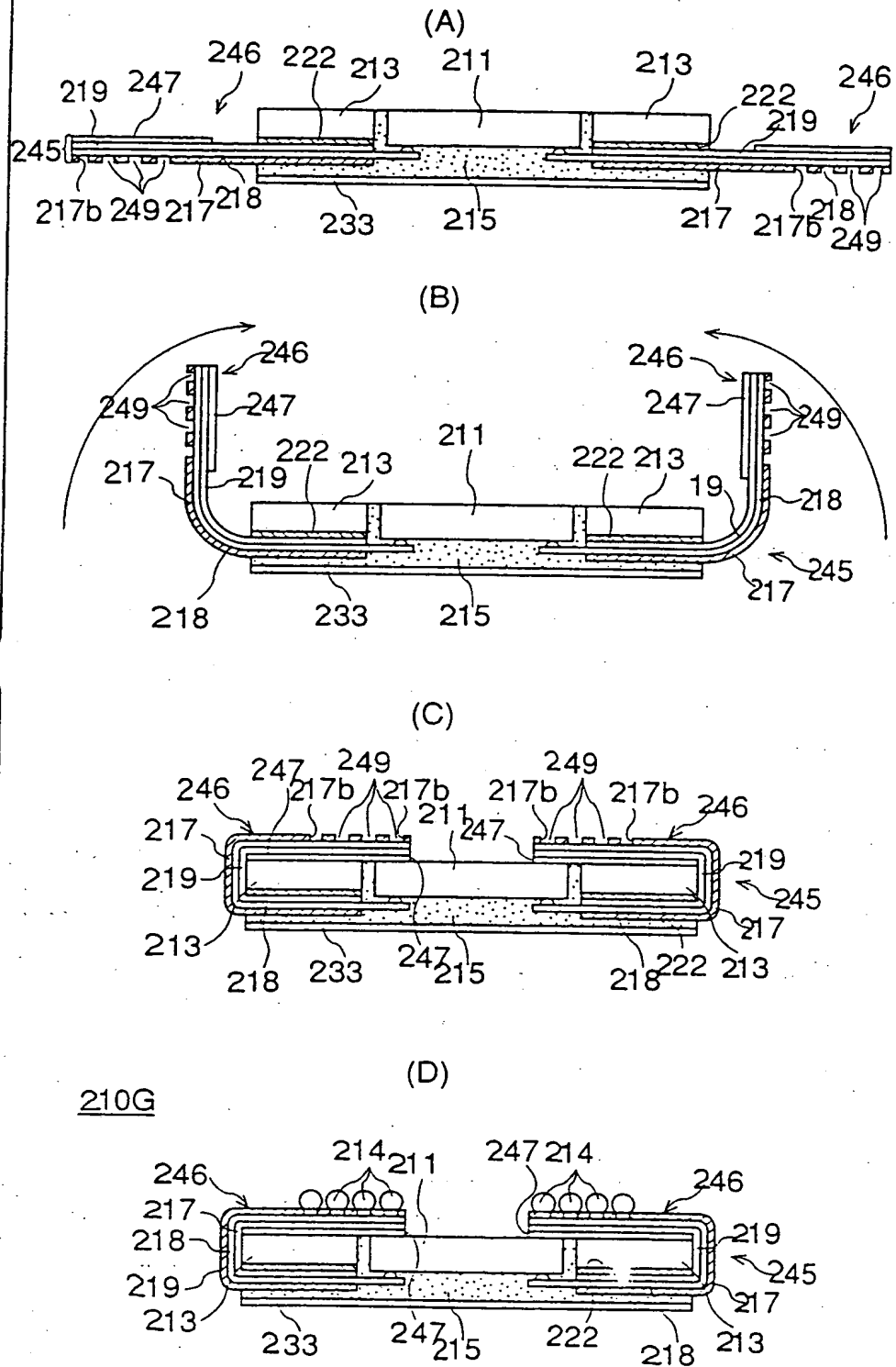
図 90



91



92



93

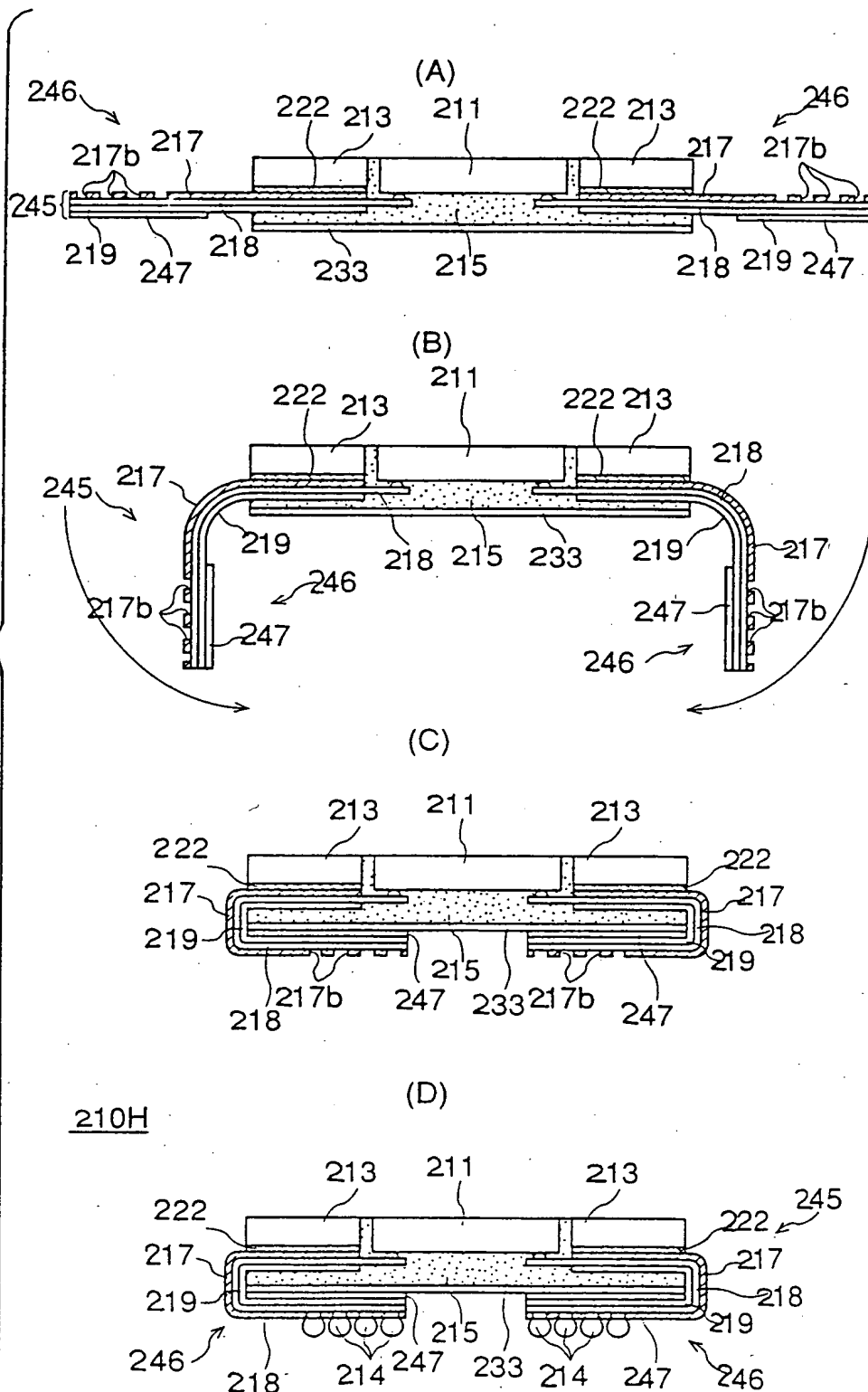
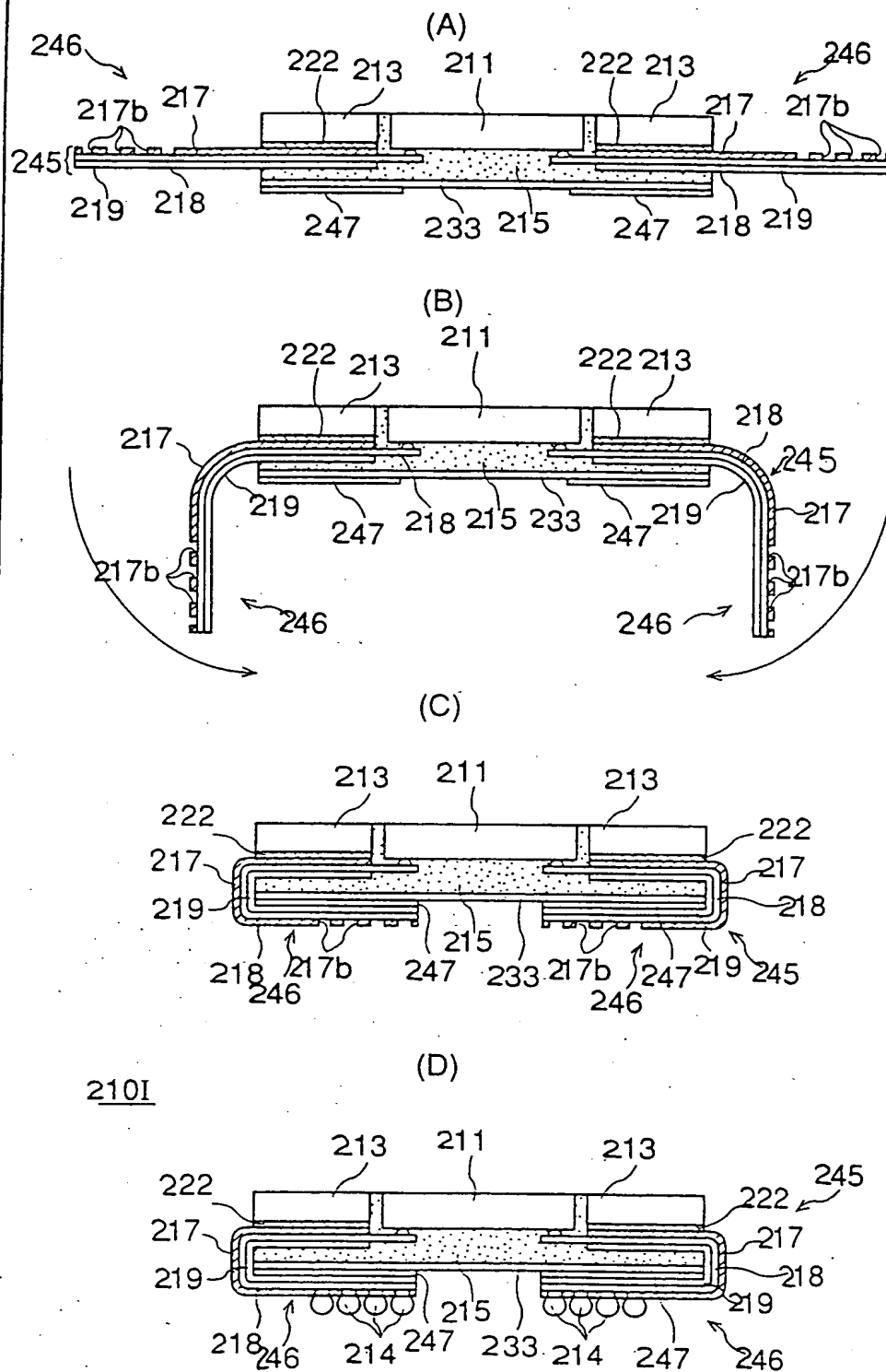
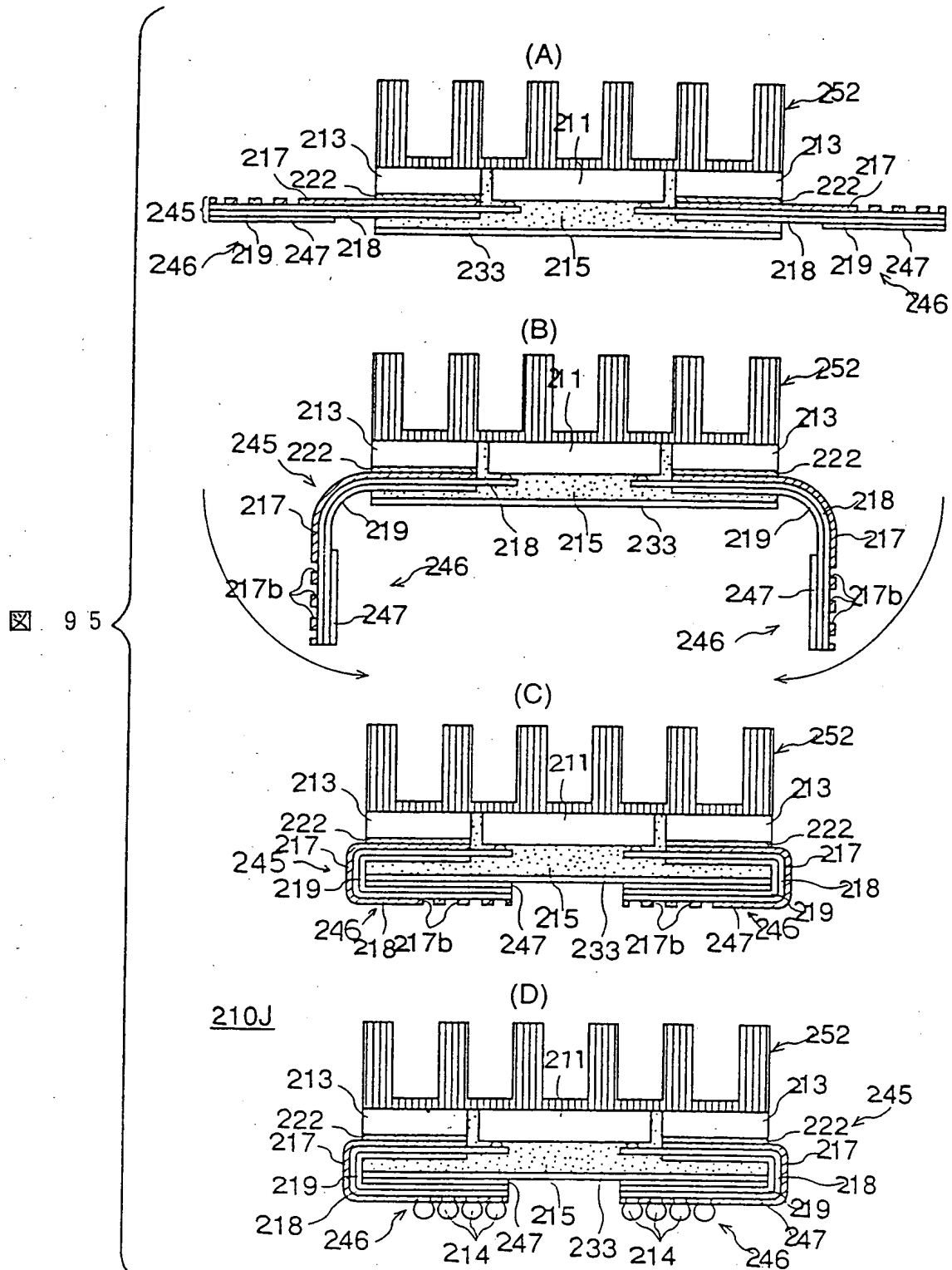


図 94





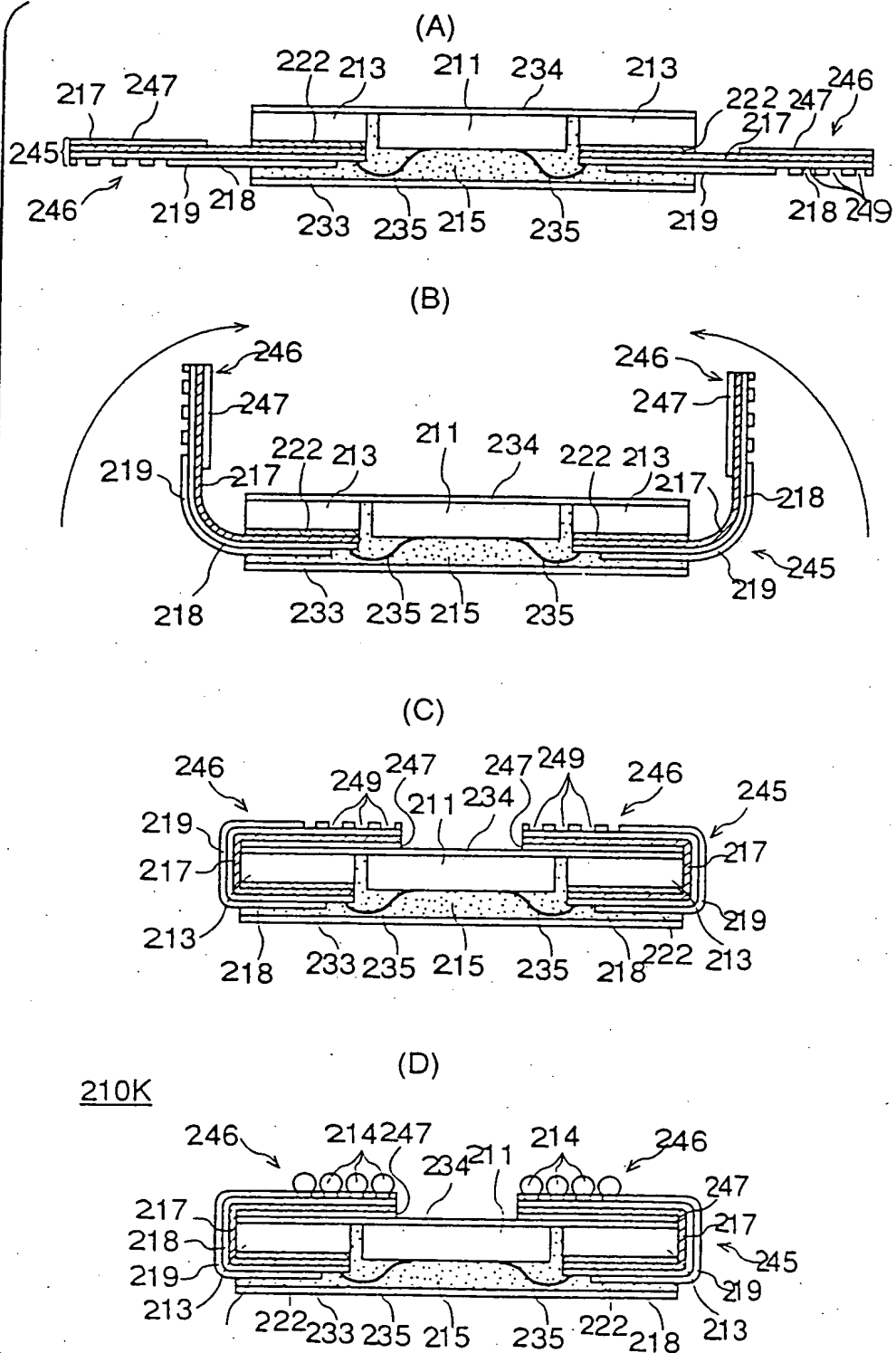
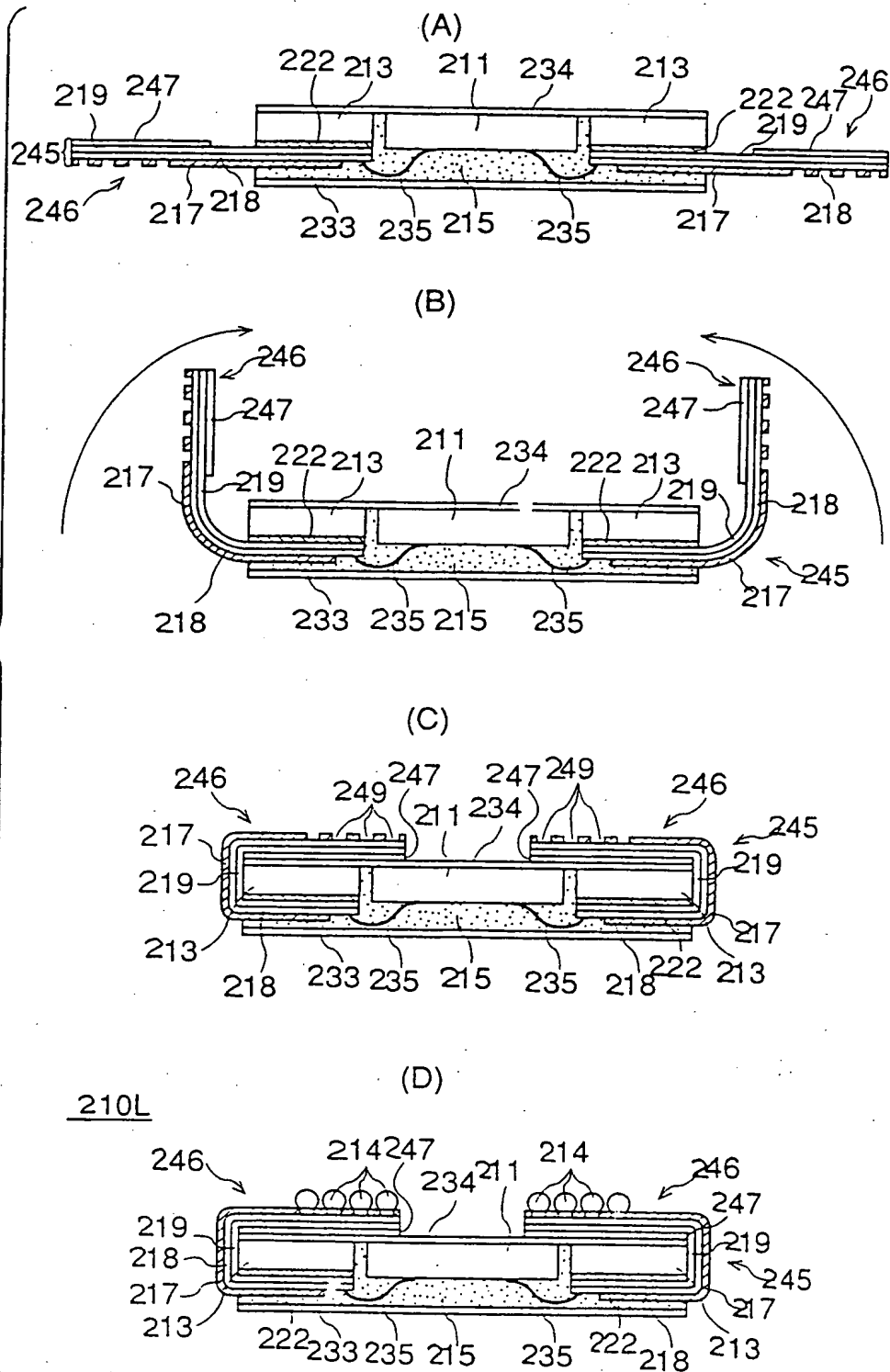
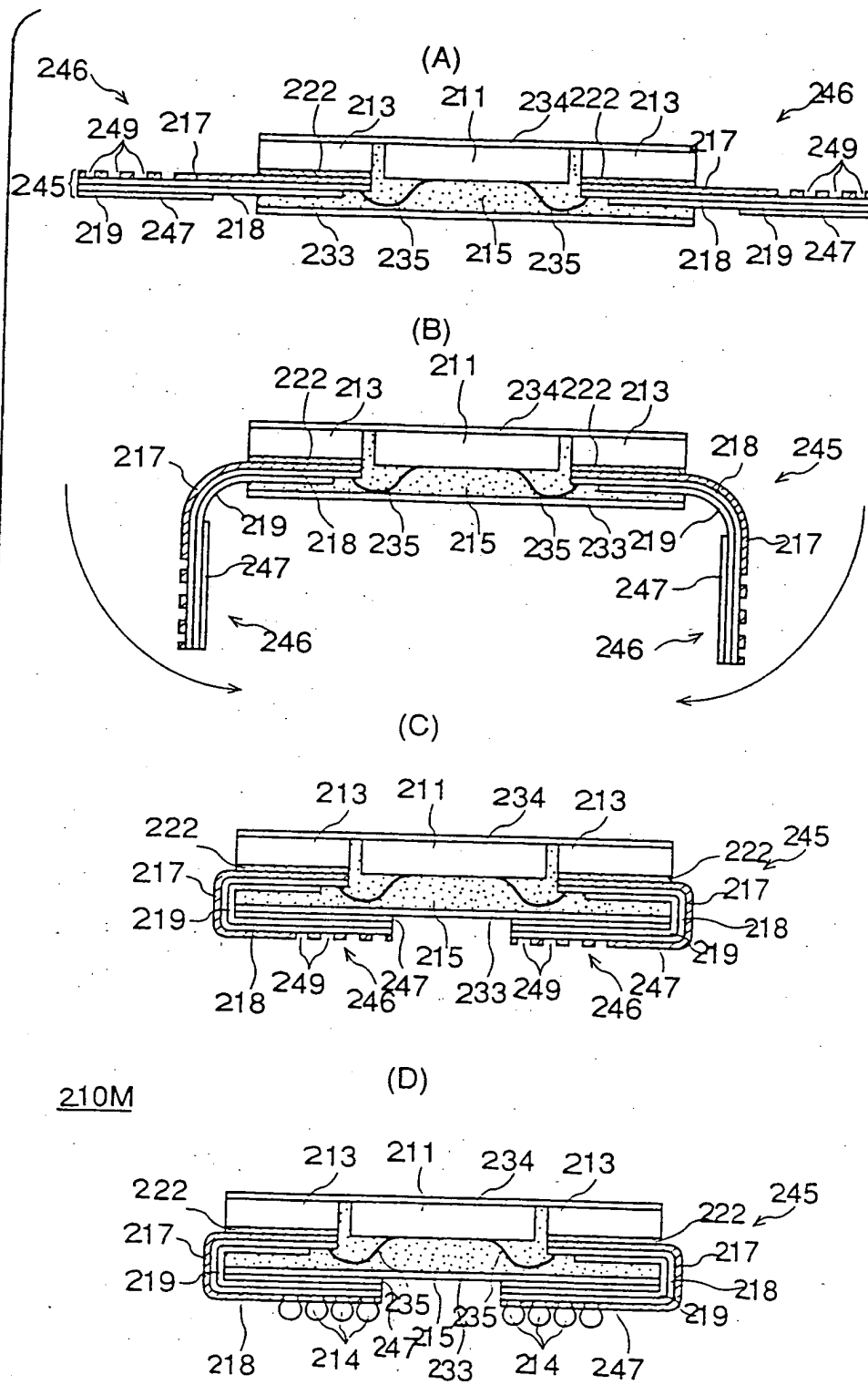


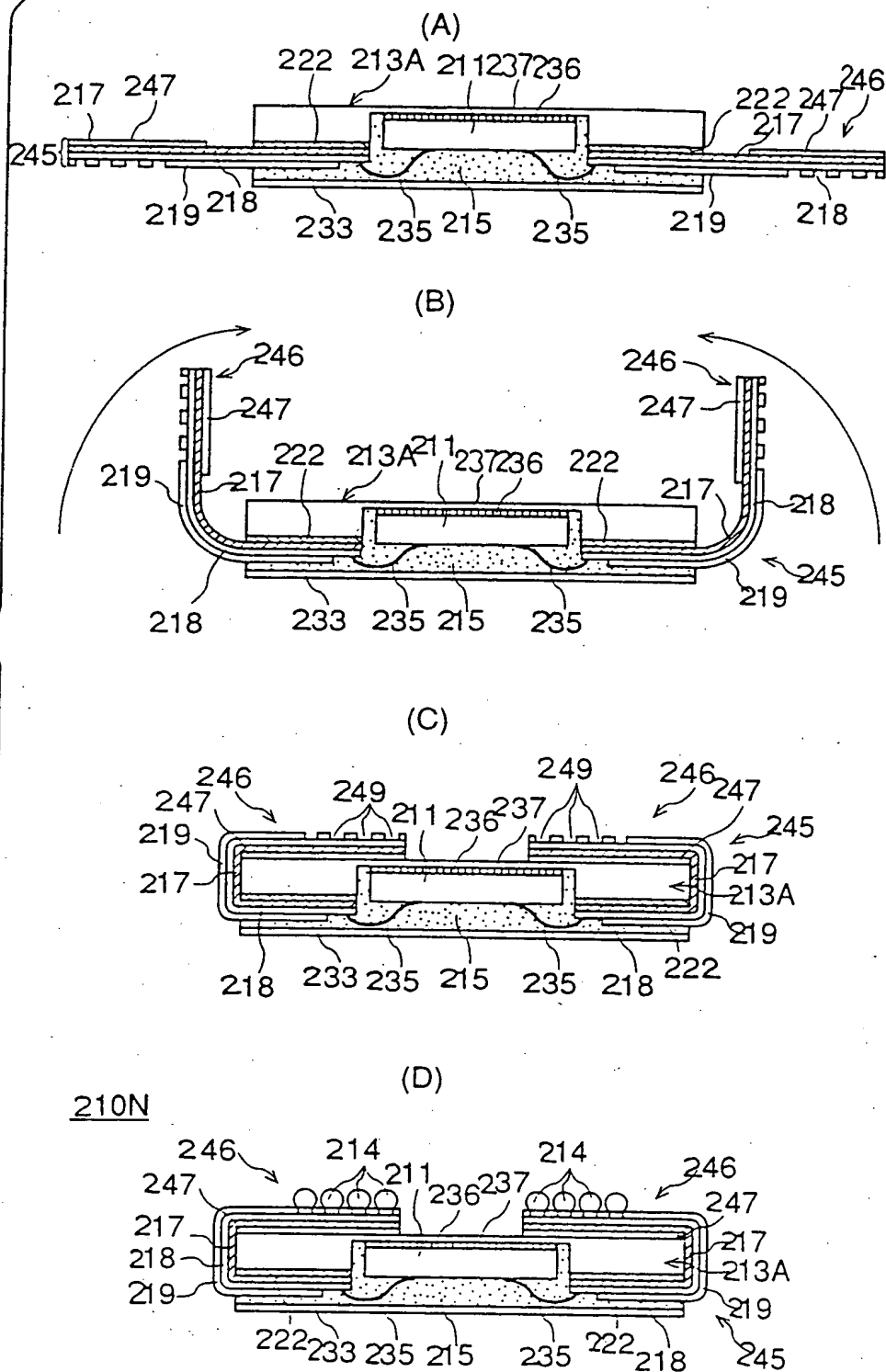
図 97



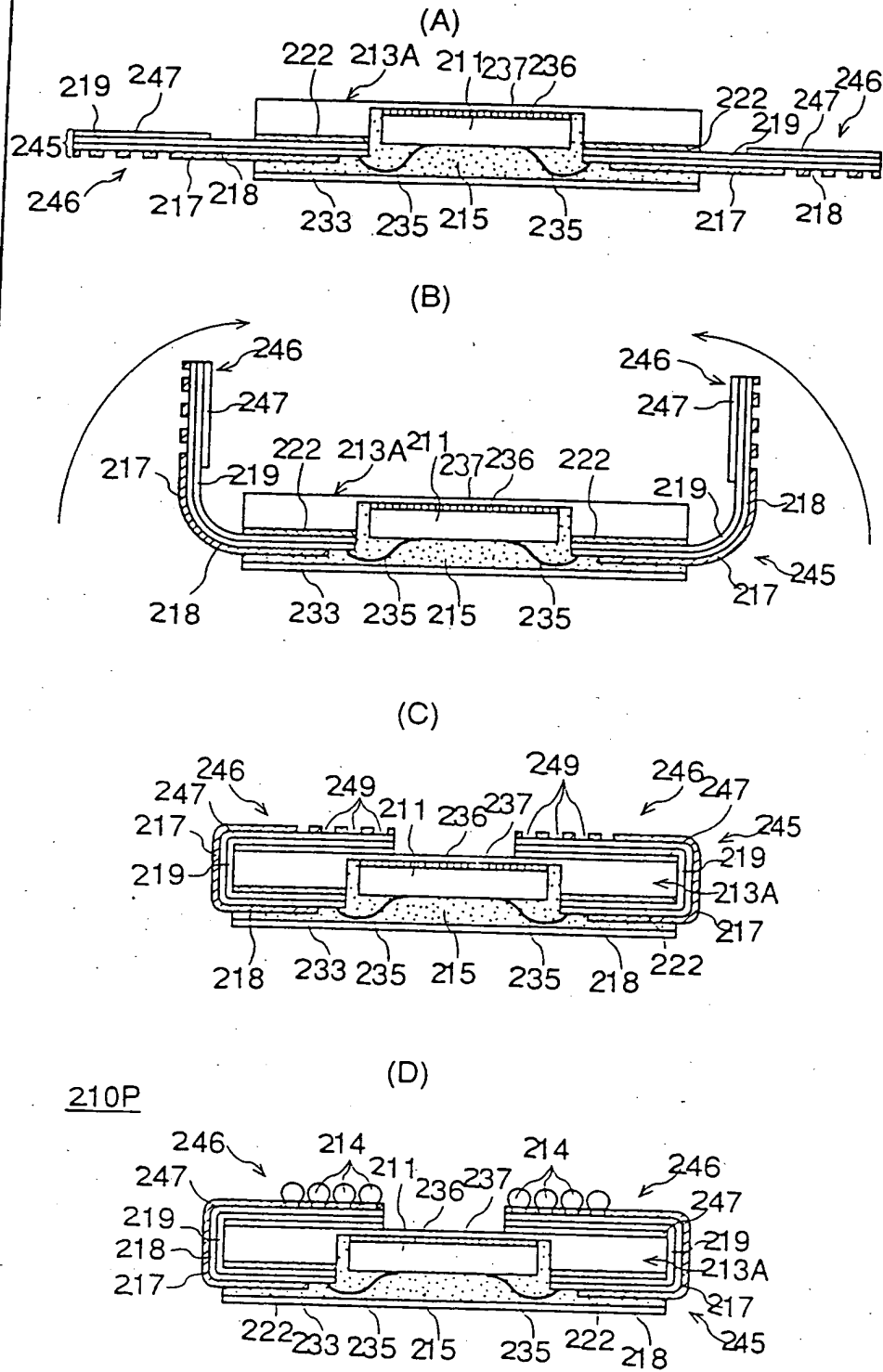
98



99



100



101

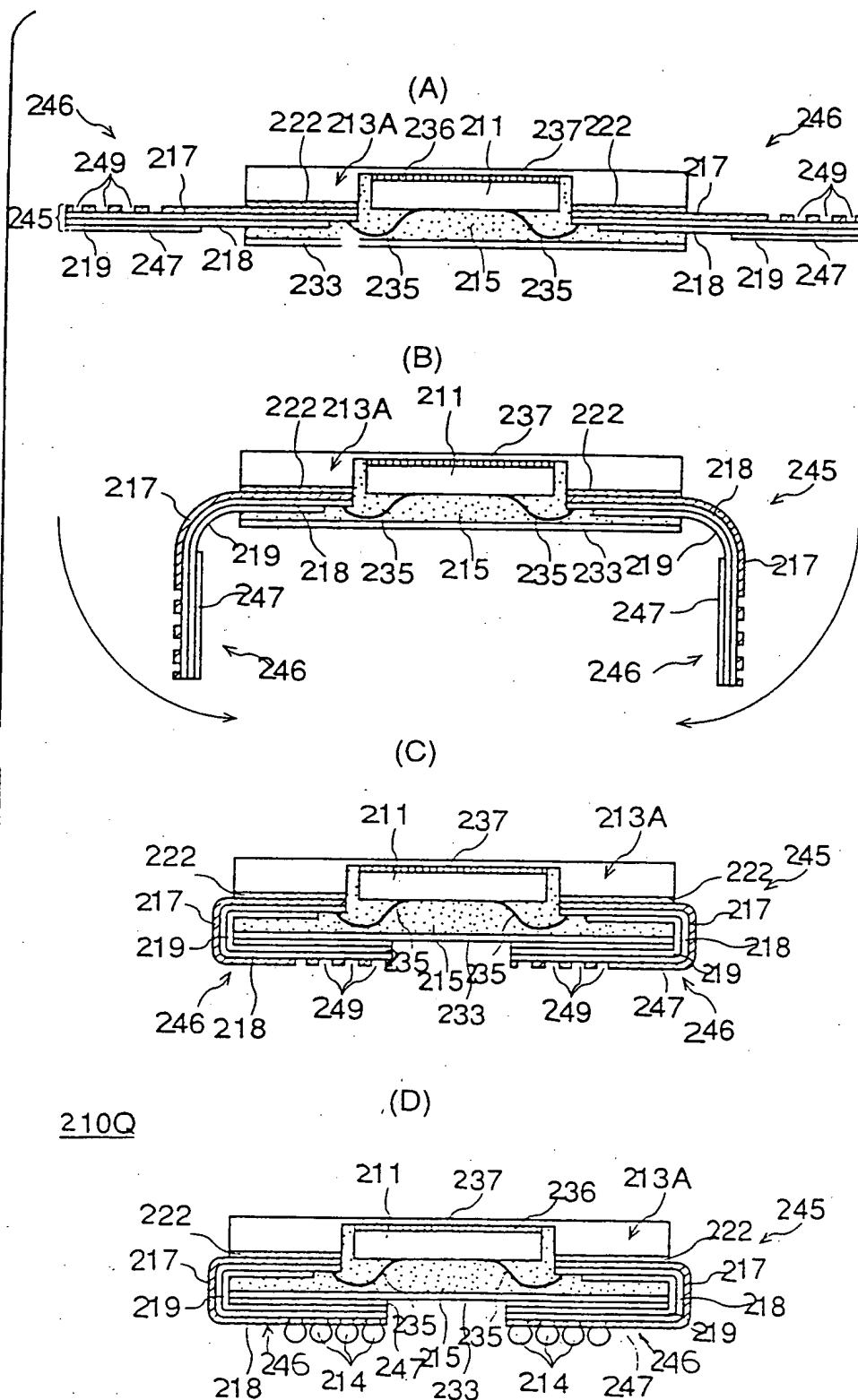


図 103

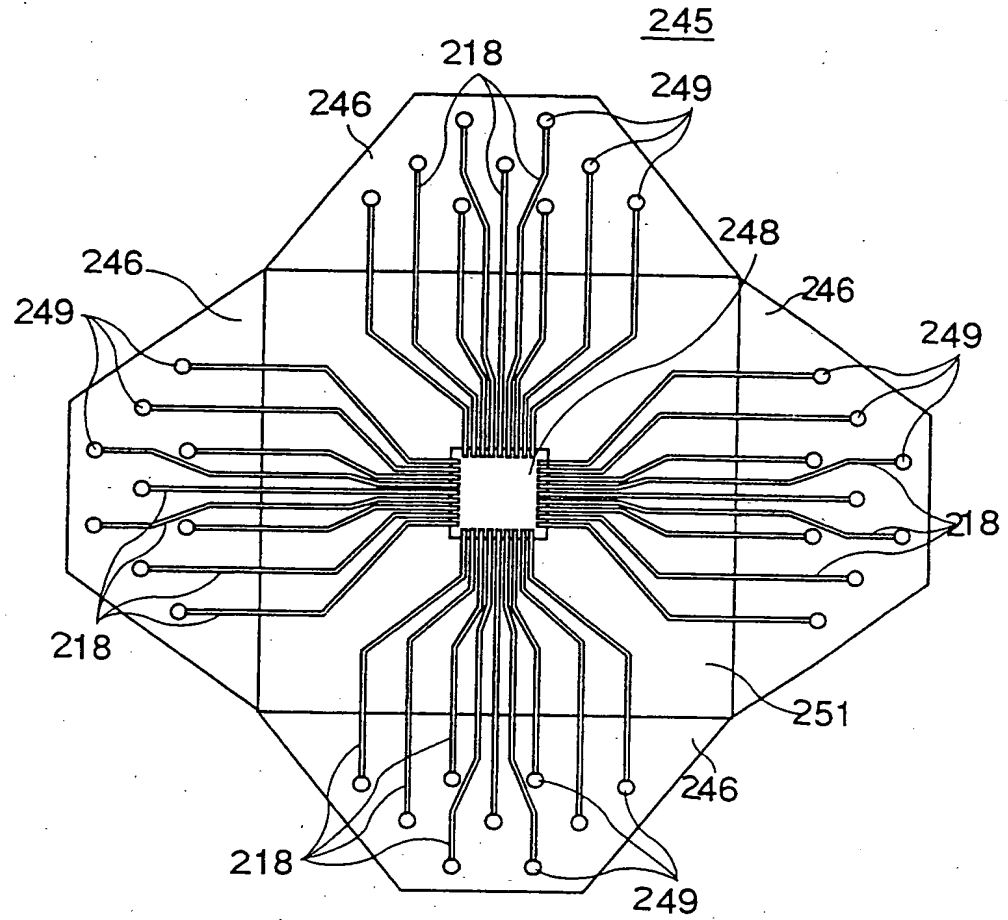
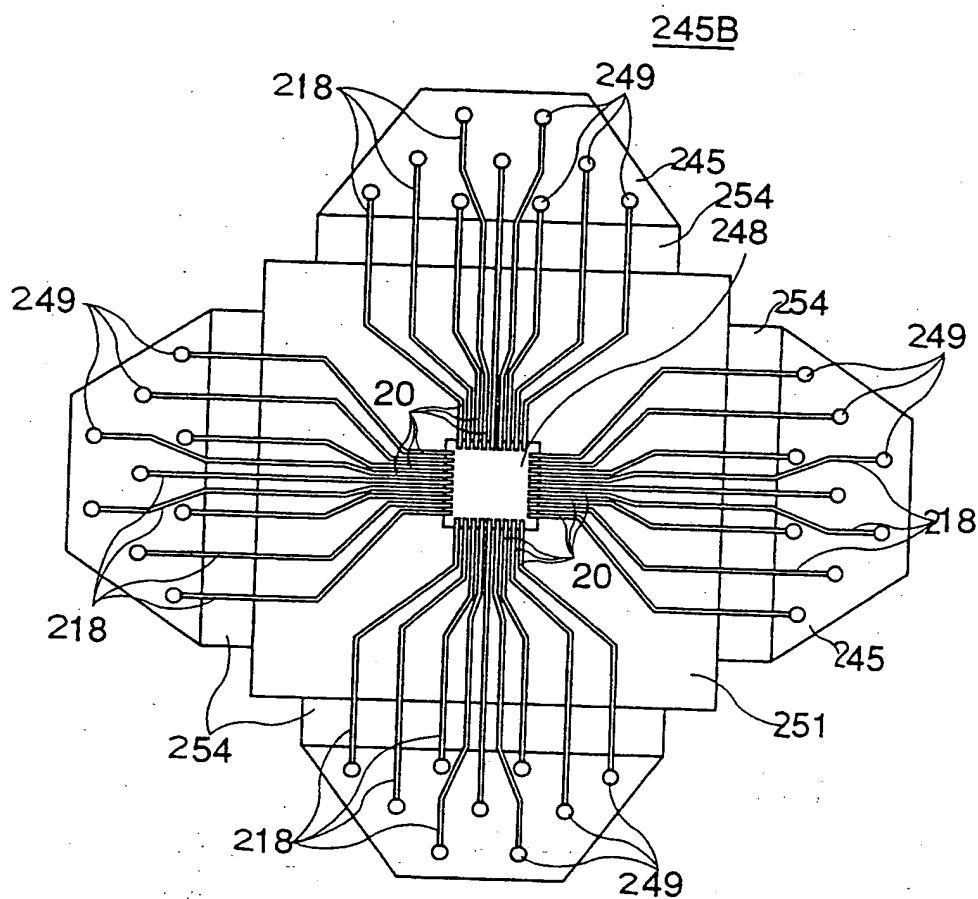
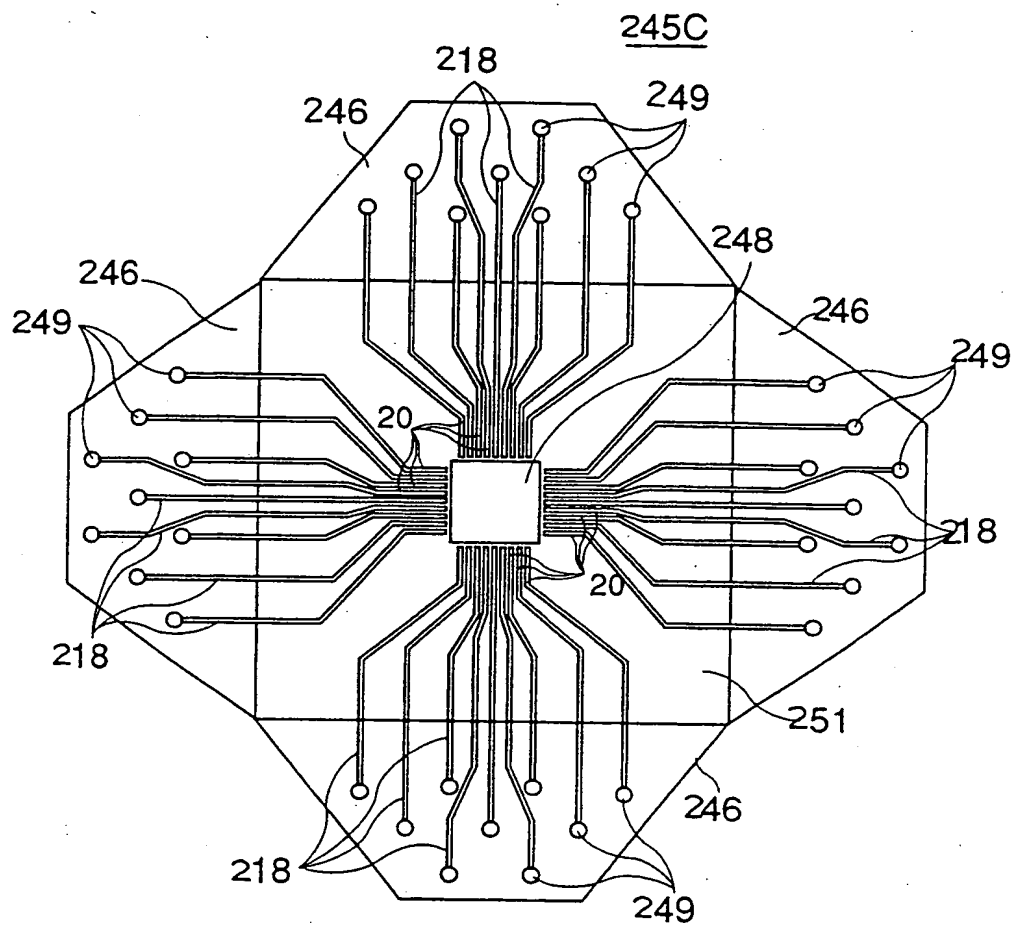


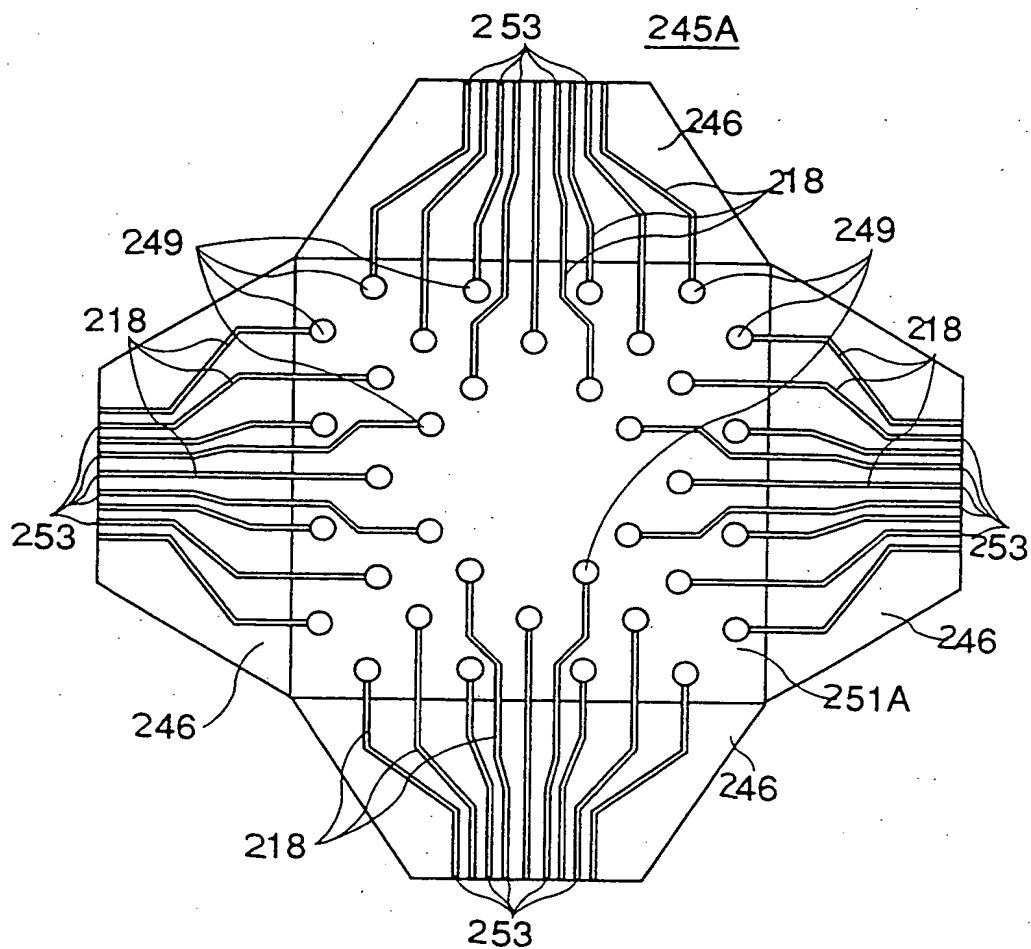
図 104



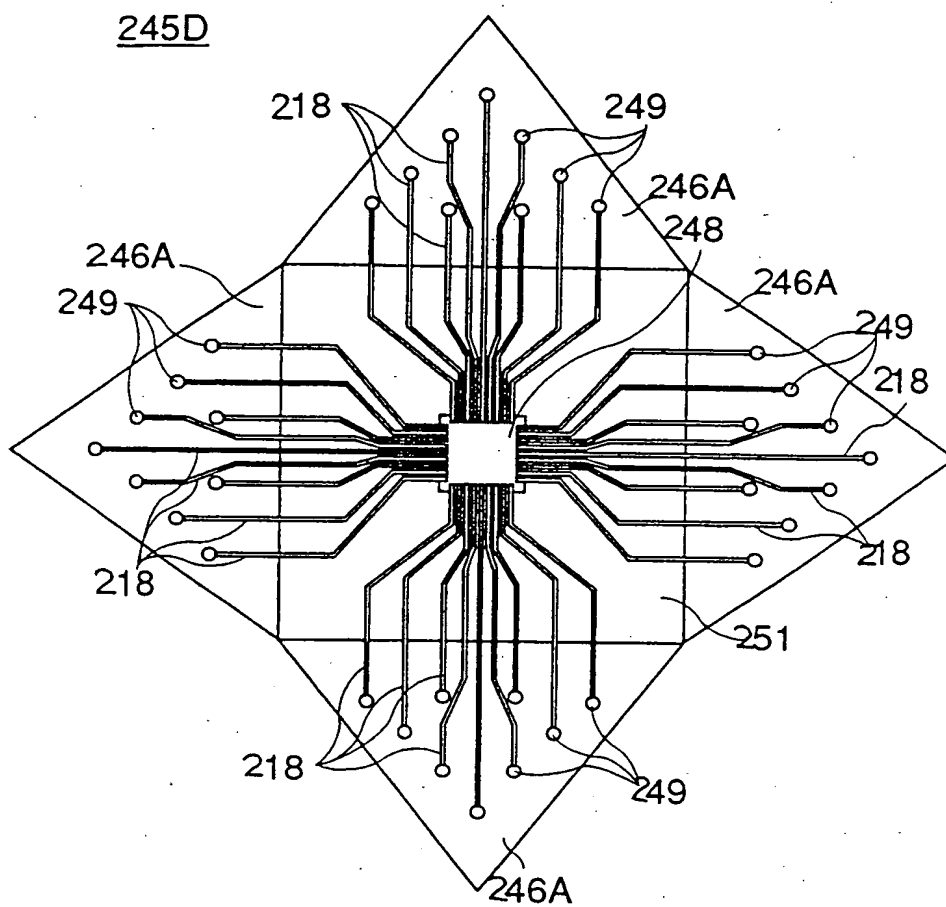
105



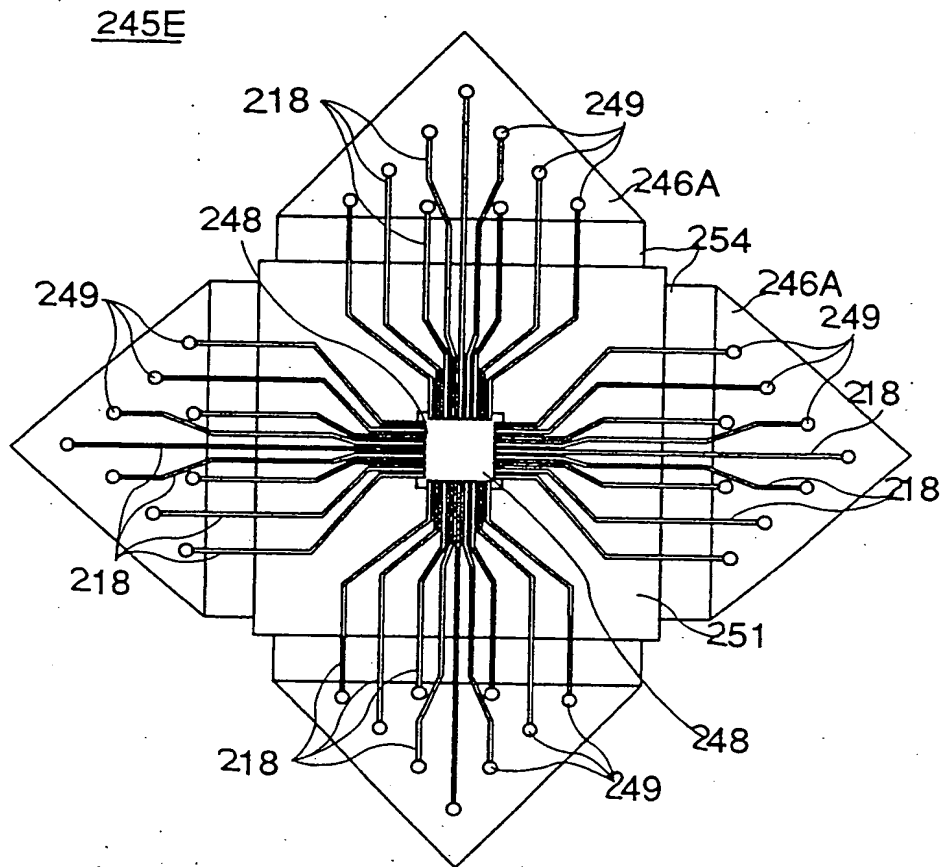
106



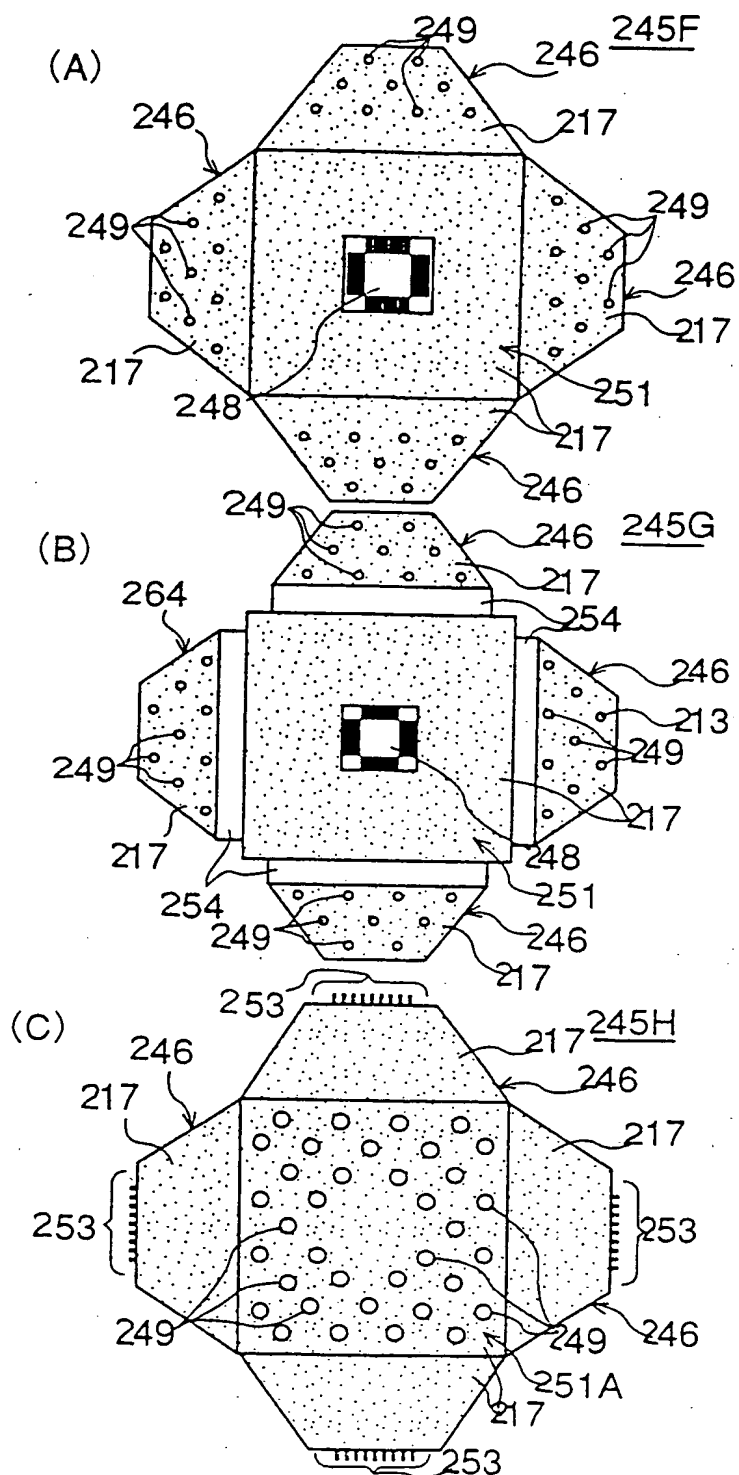
107



108



109



110

245I

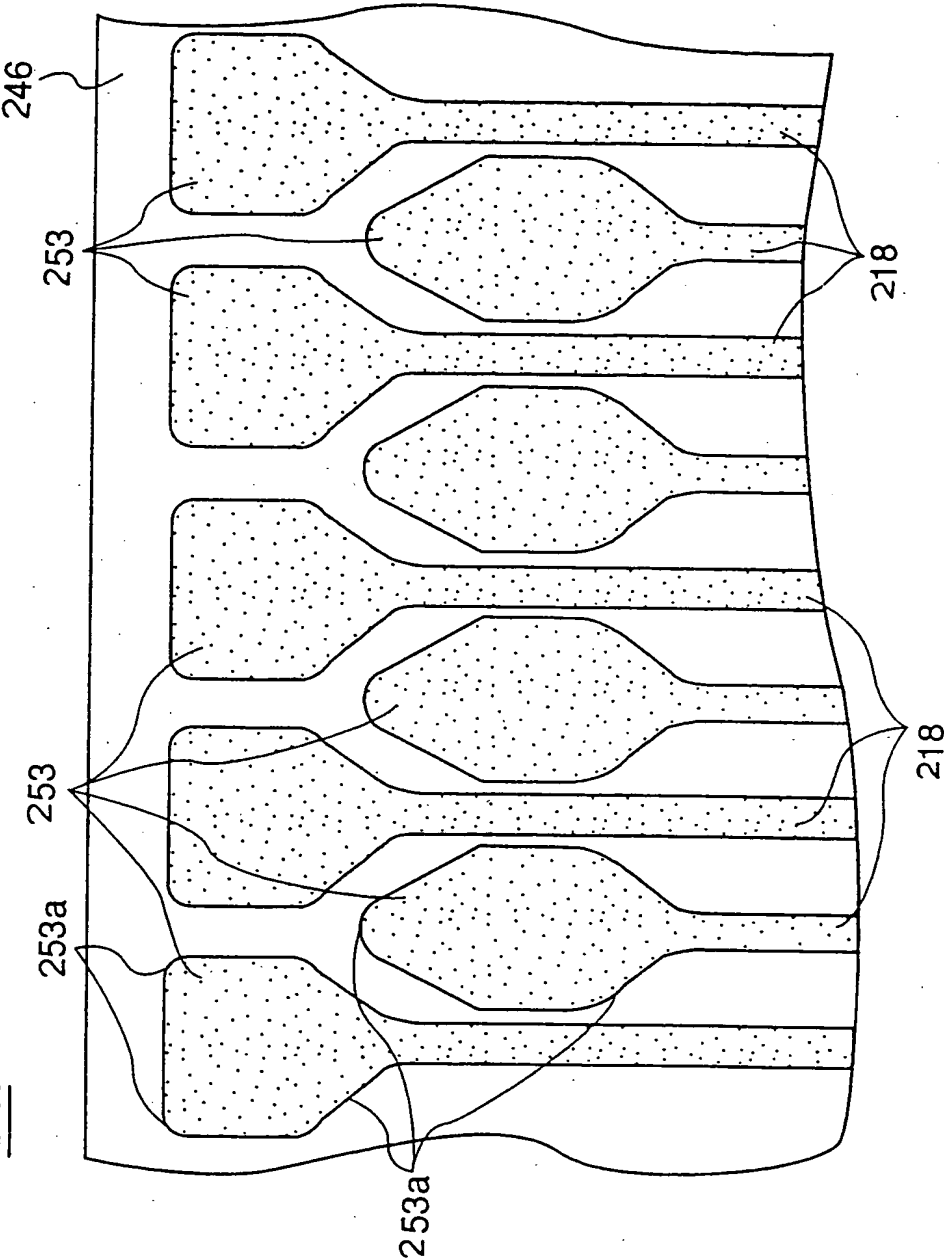
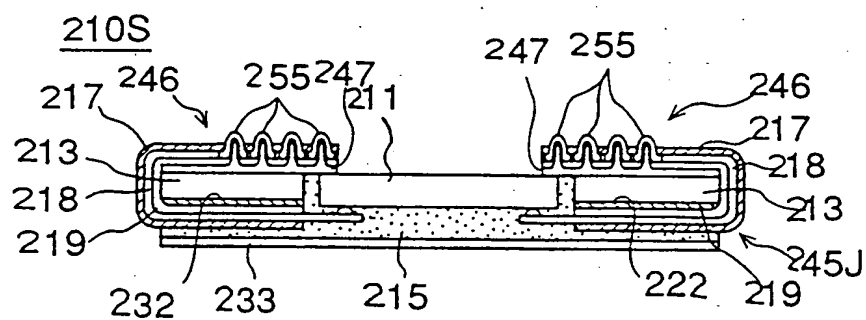
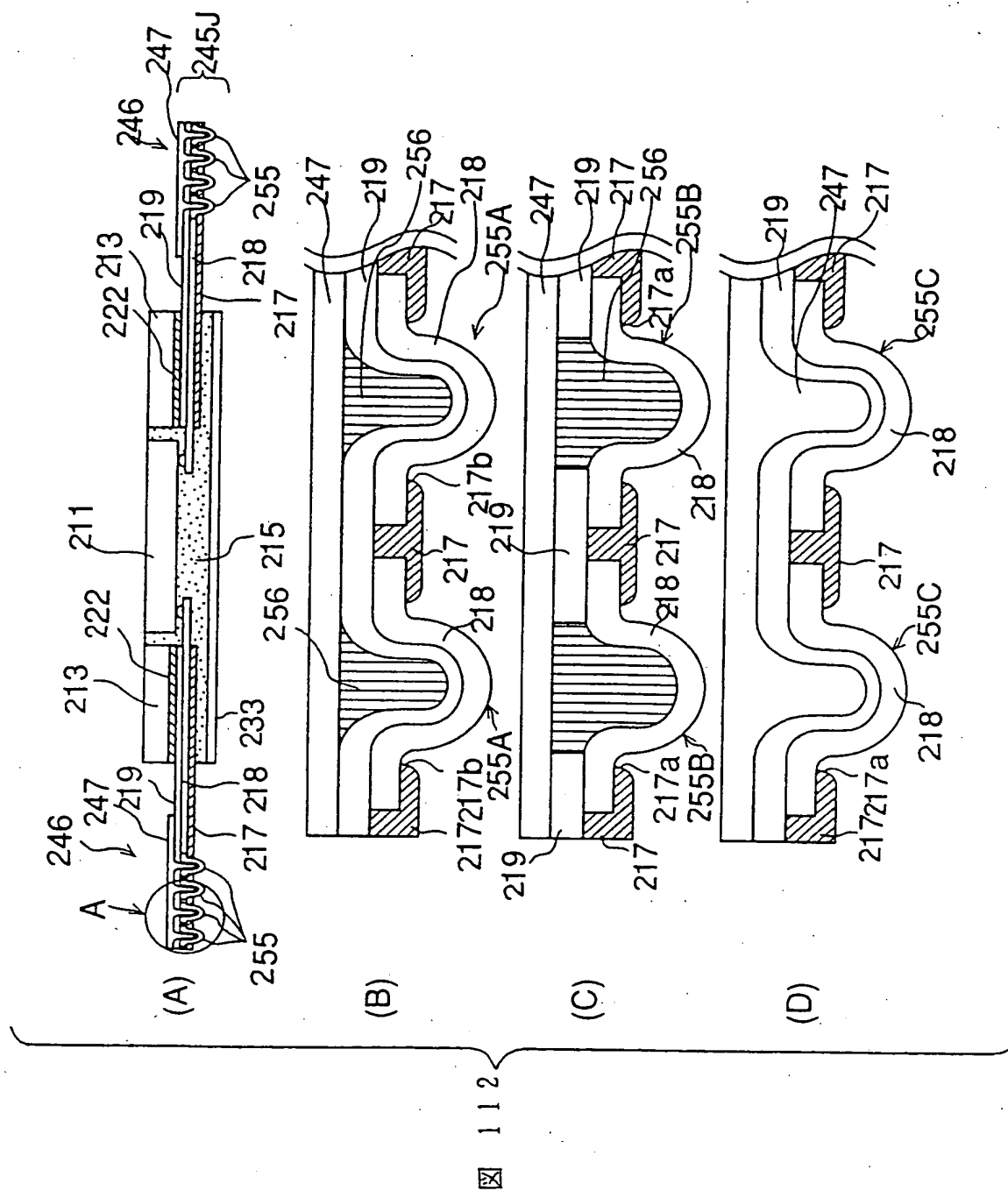
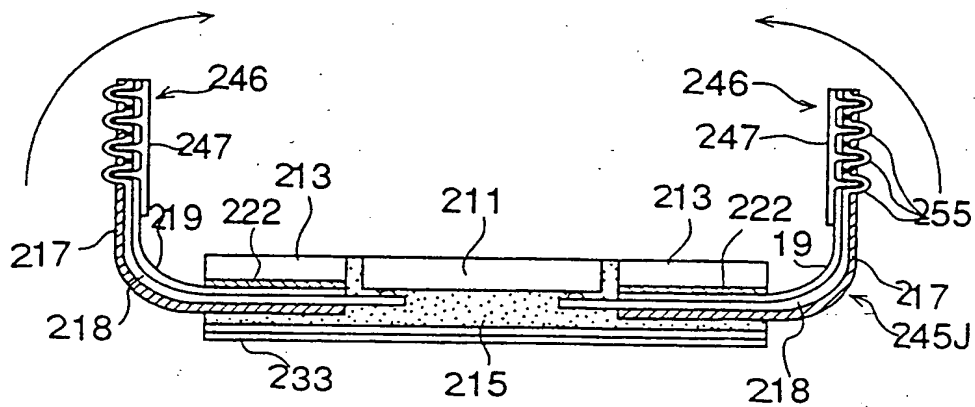


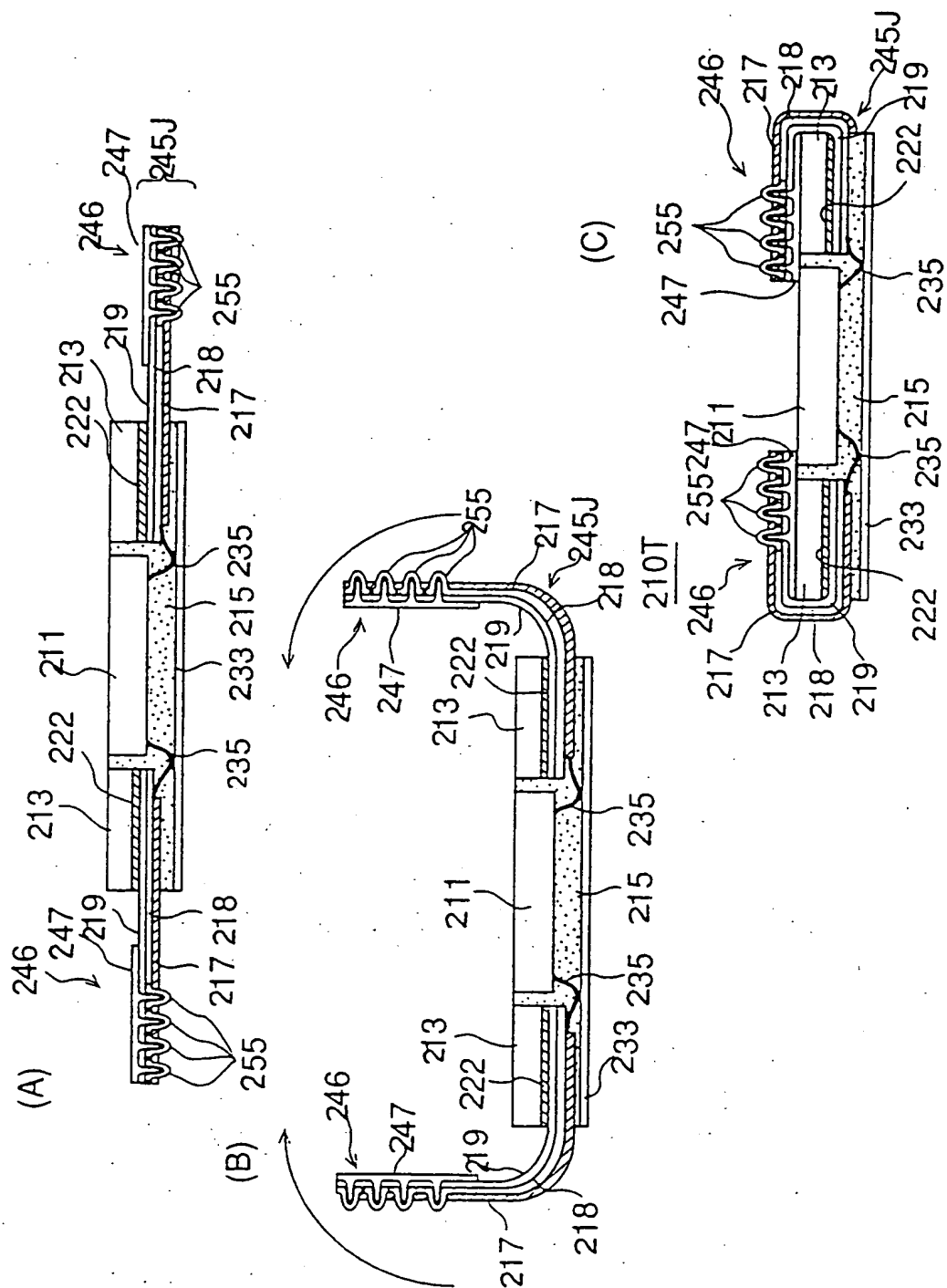
図 111



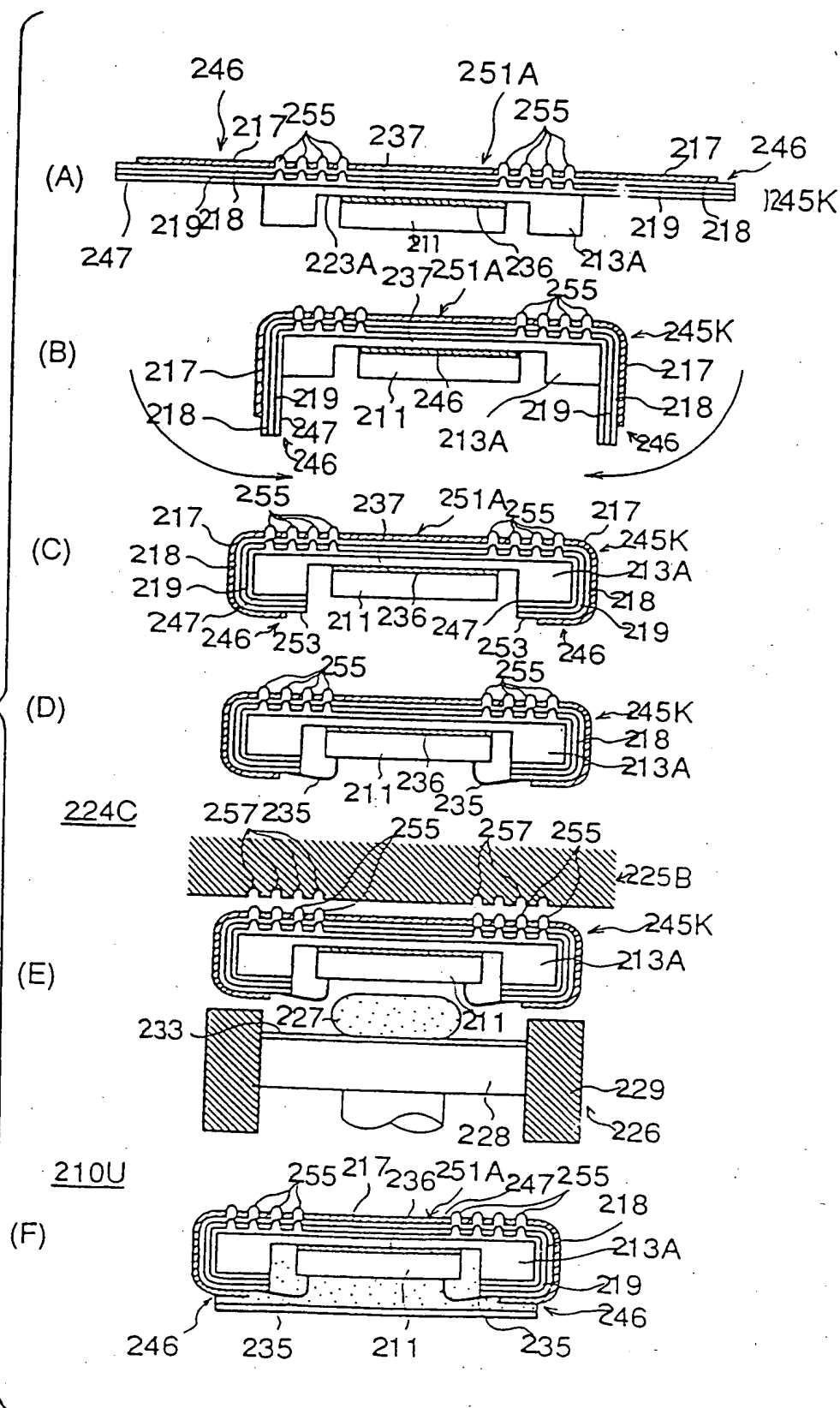


113





115



116

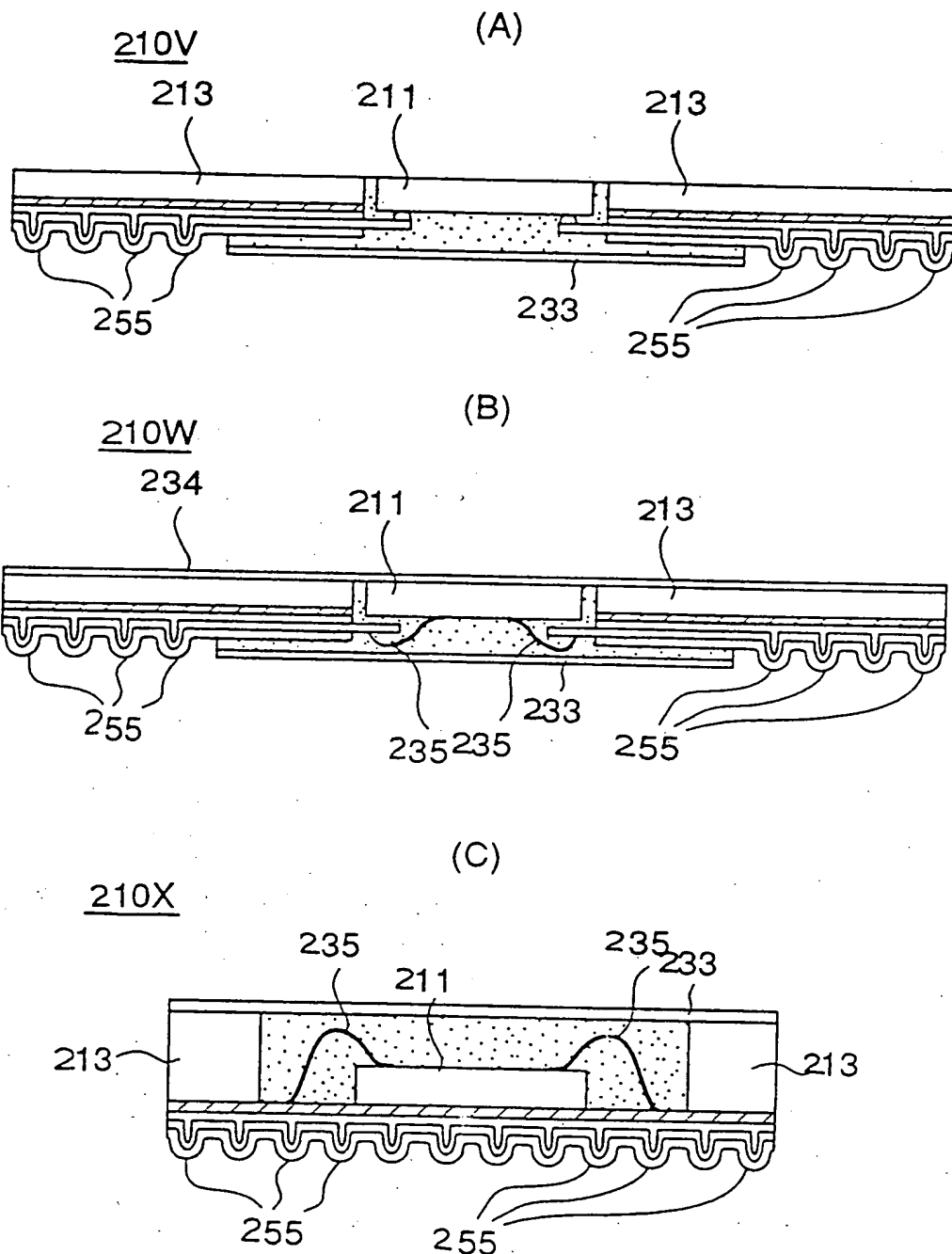
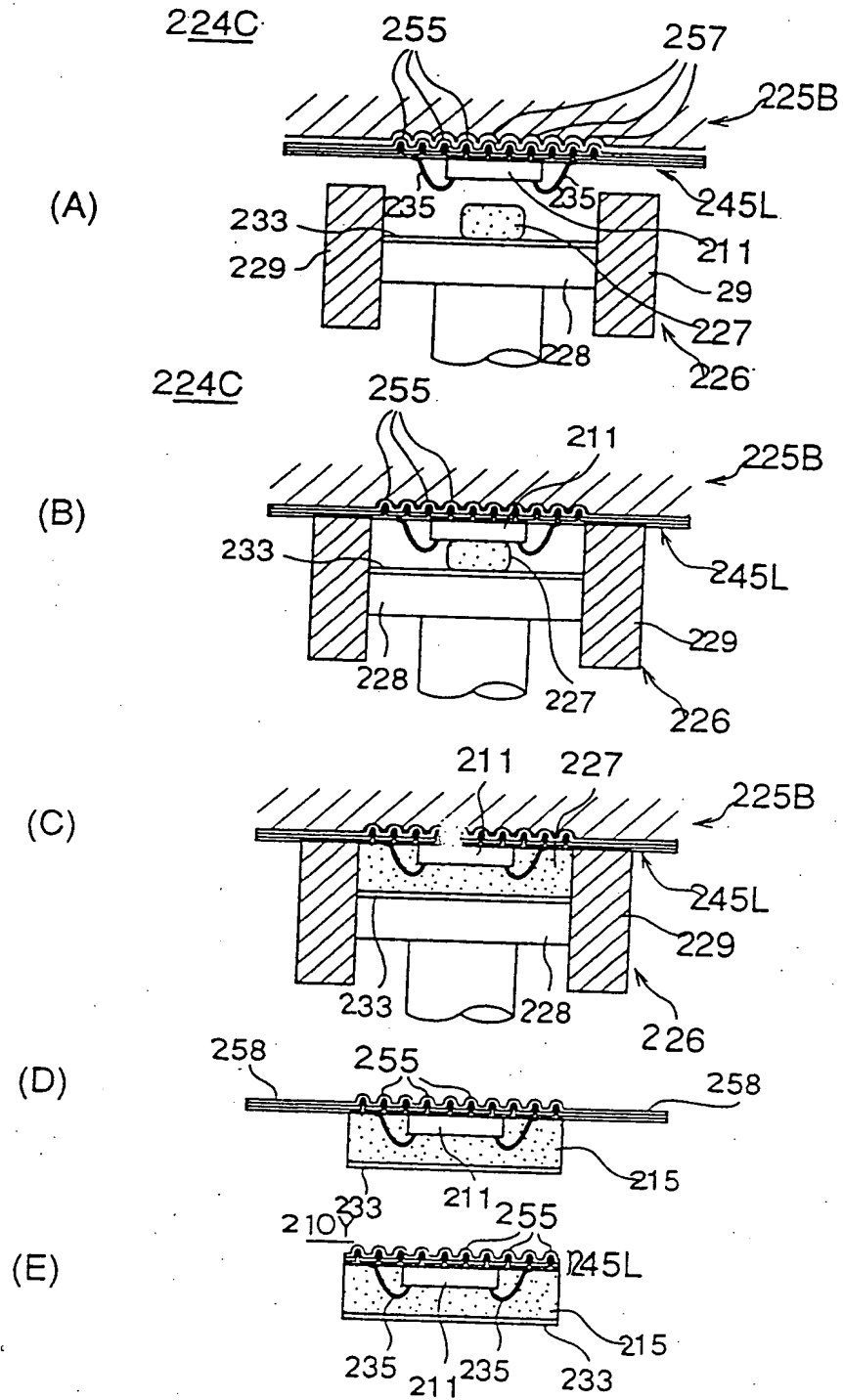
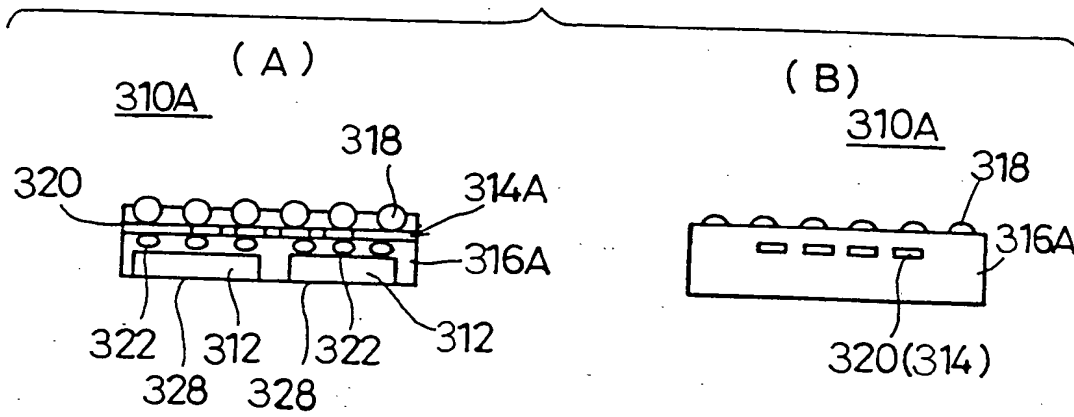


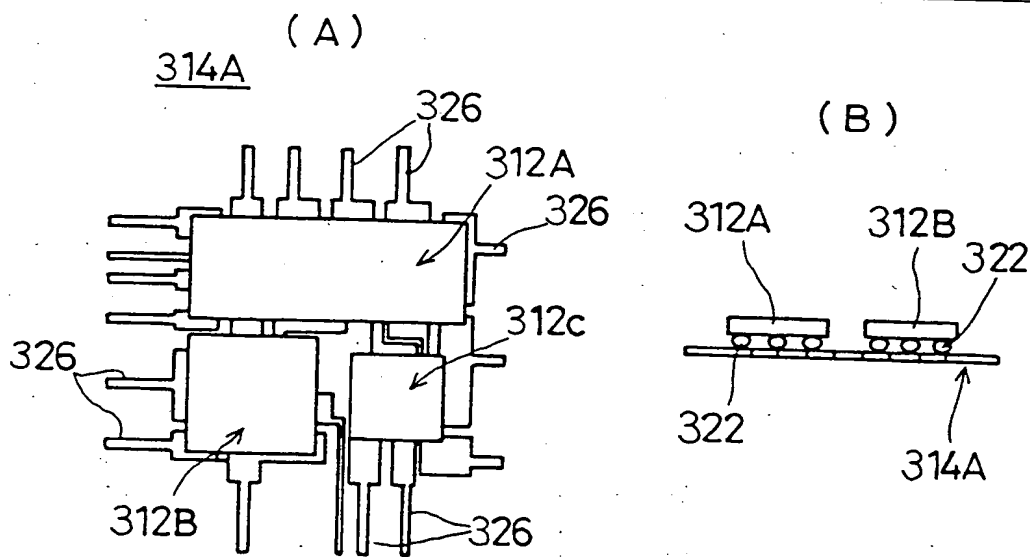
図 117

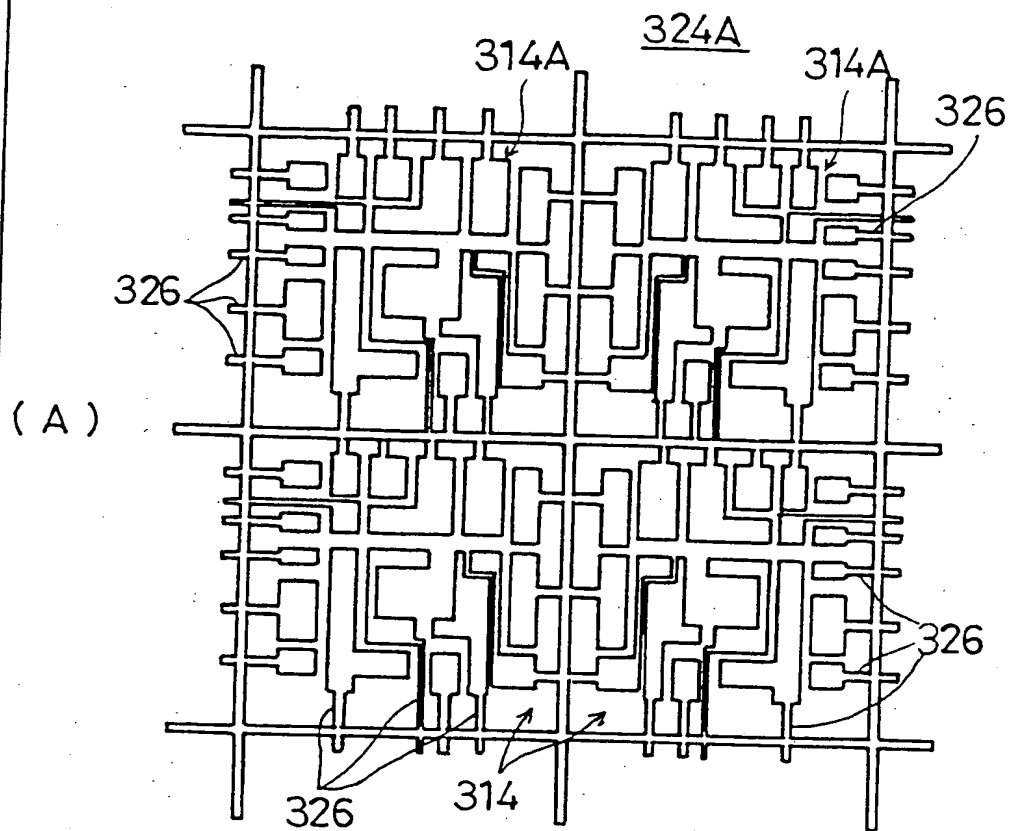


118

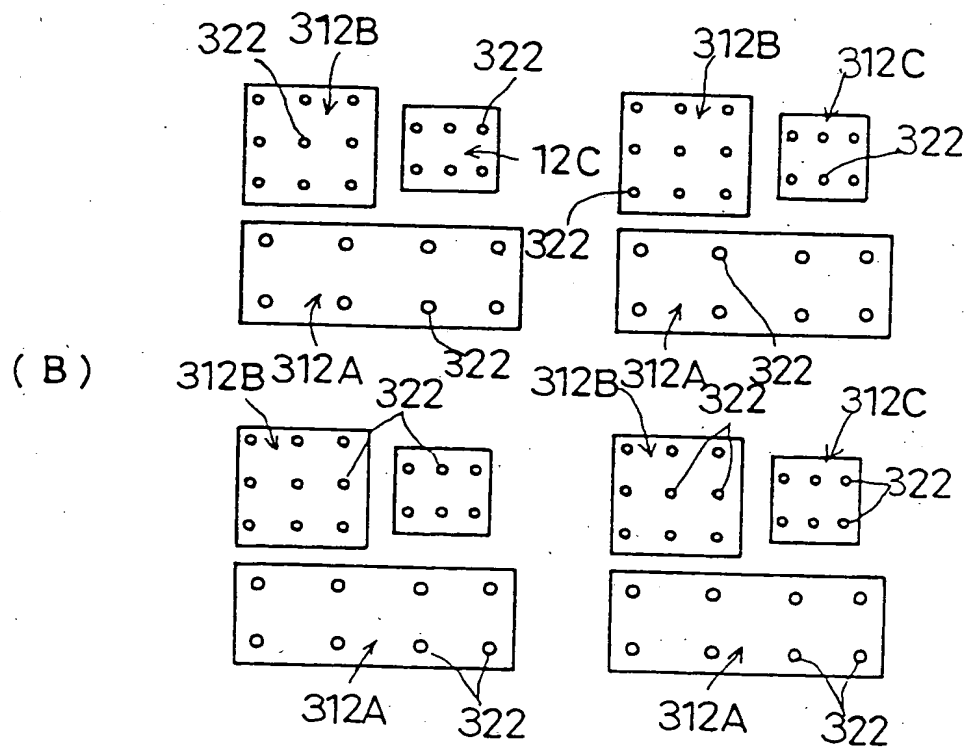


120





119



☒ 1 2 1

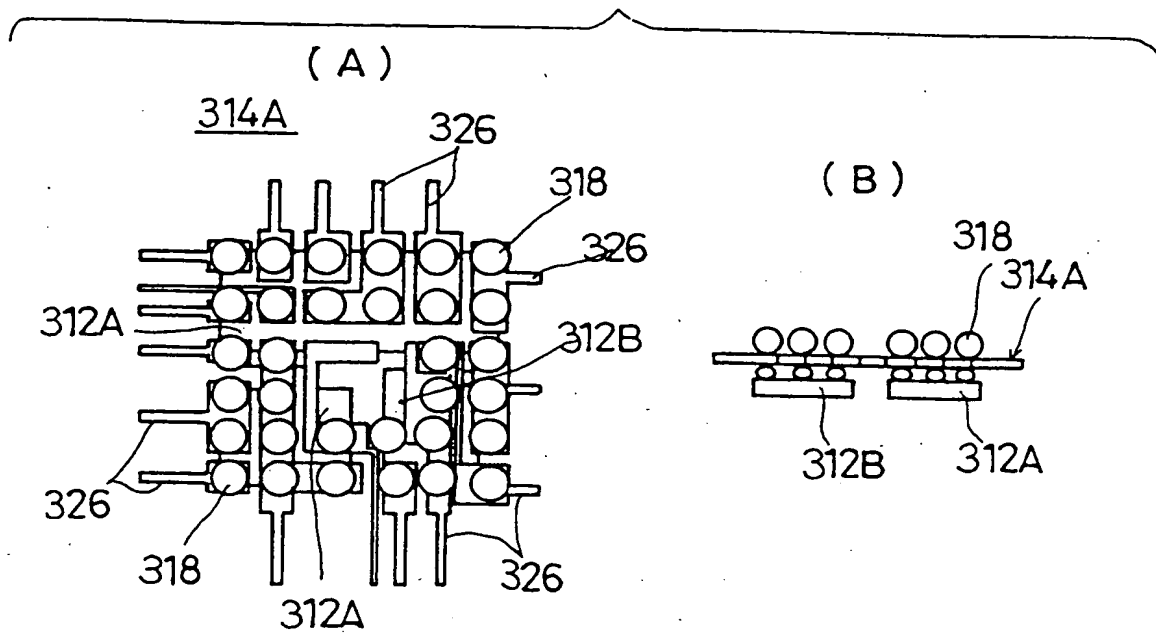
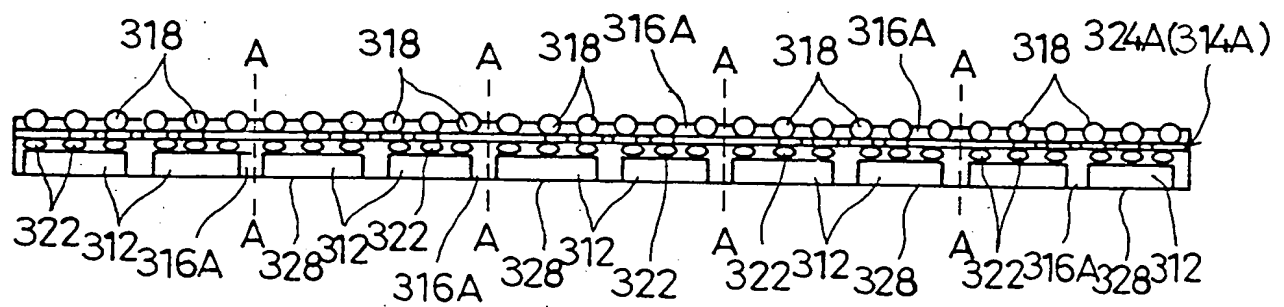
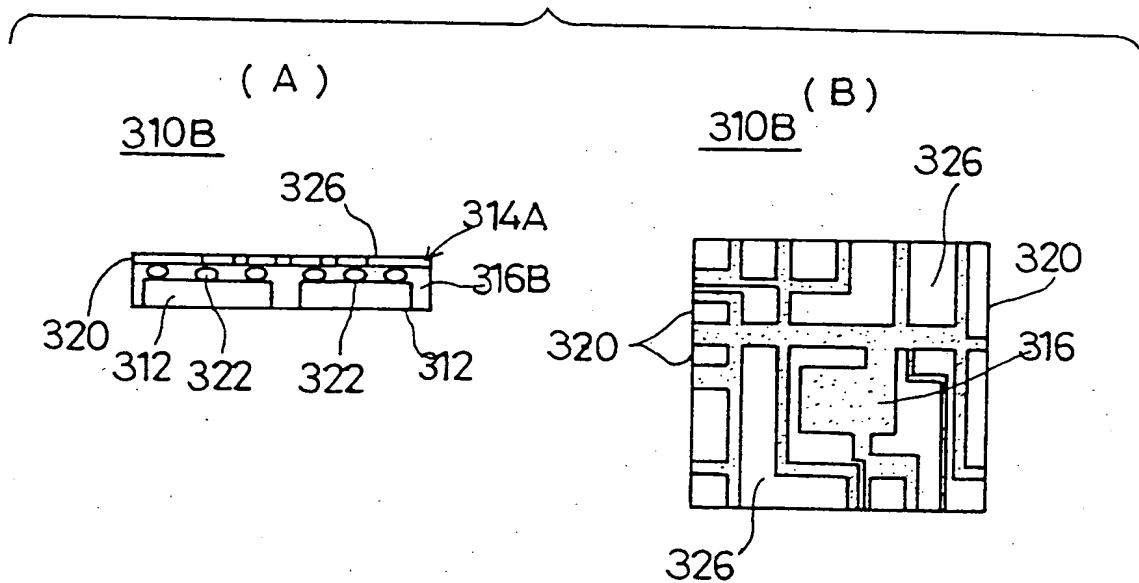


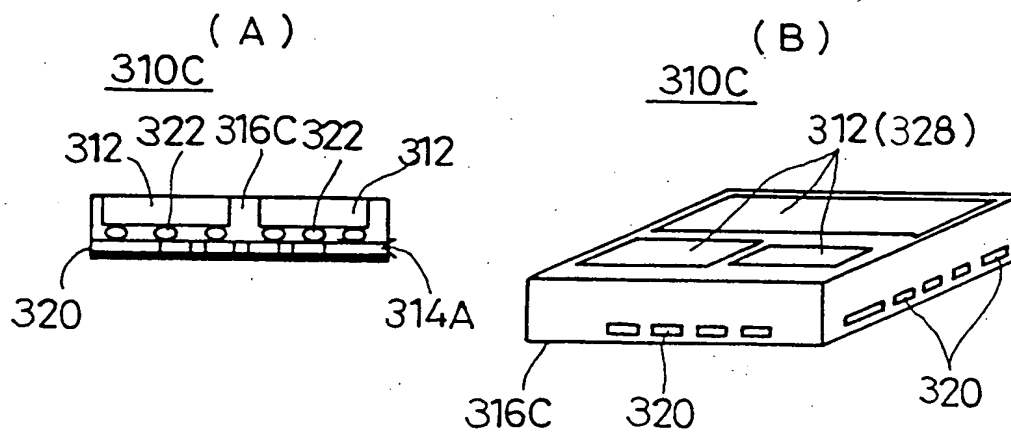
図 122



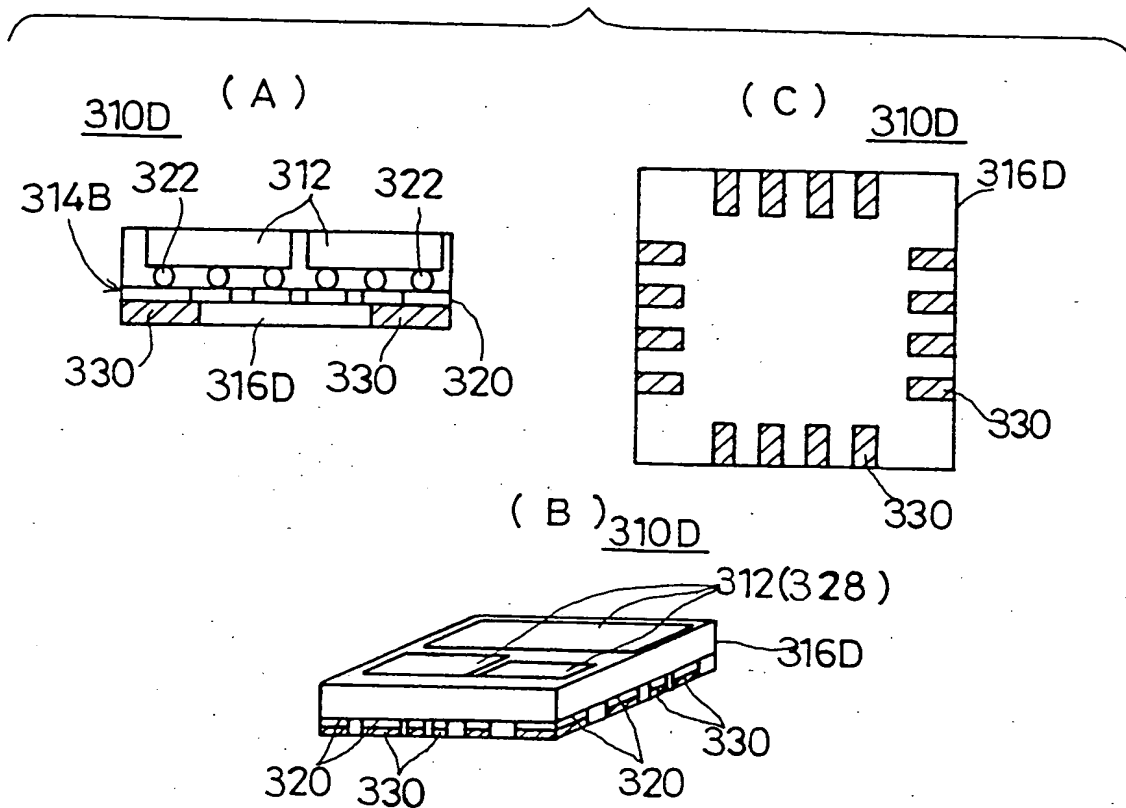
123



124



125



127

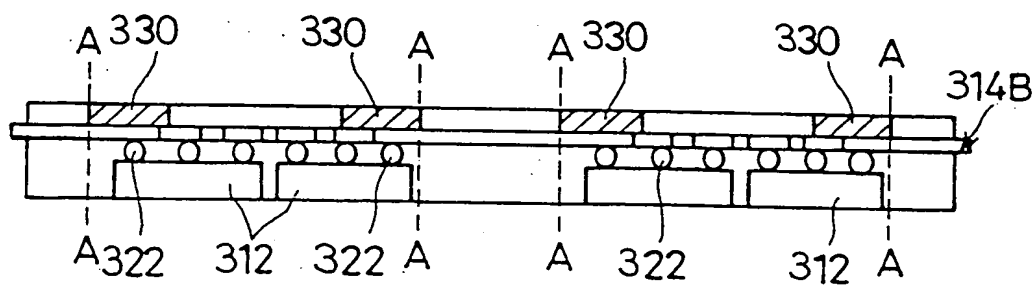


図 126

324B

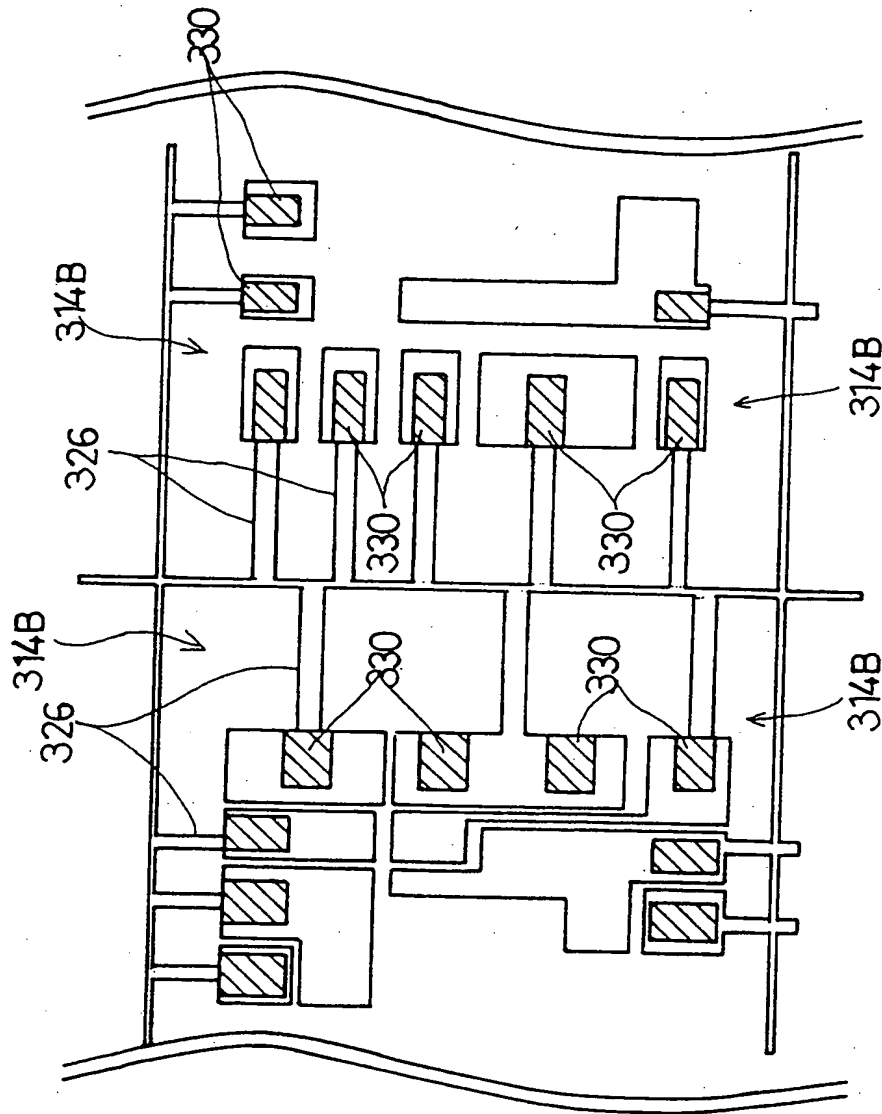


図 128

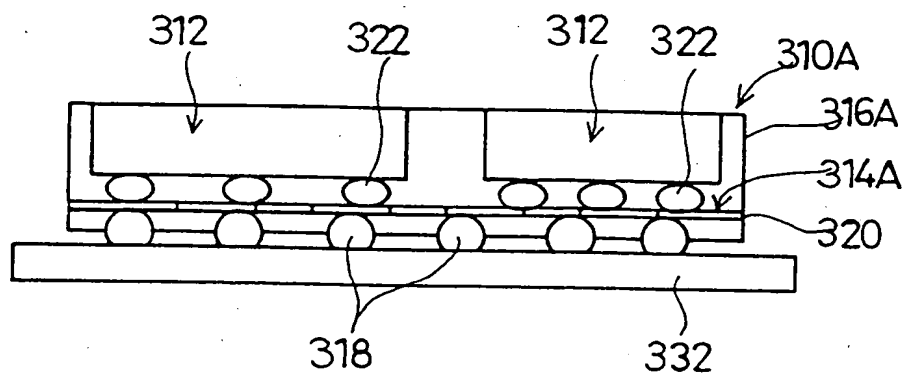


図 129

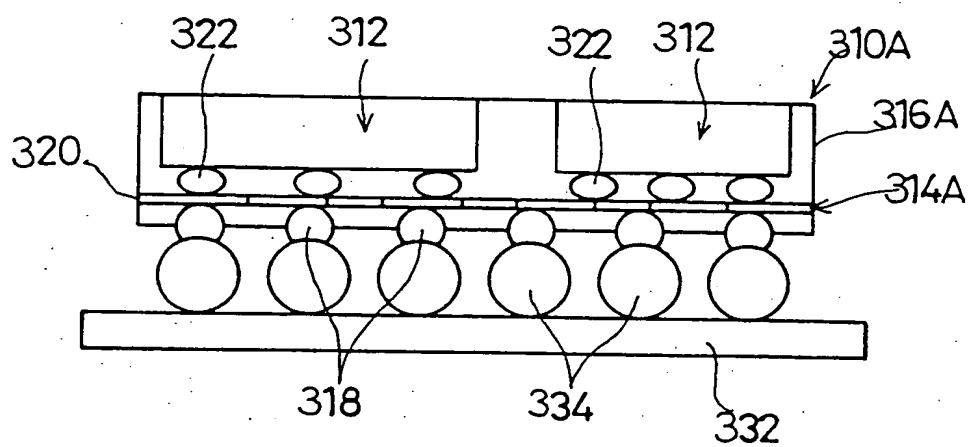


図 130

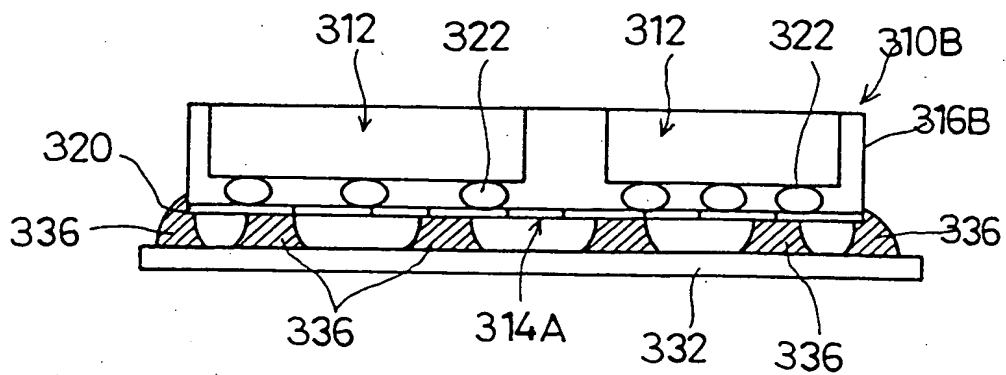


図 131

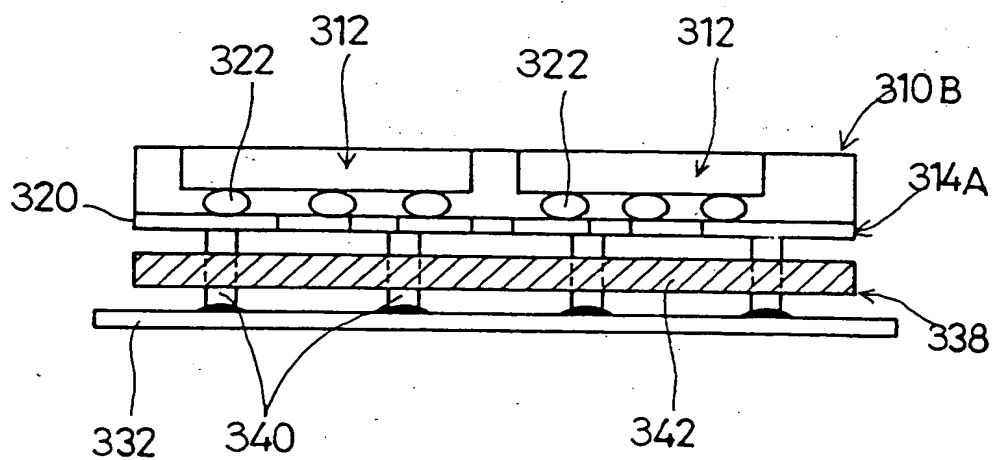


図 132

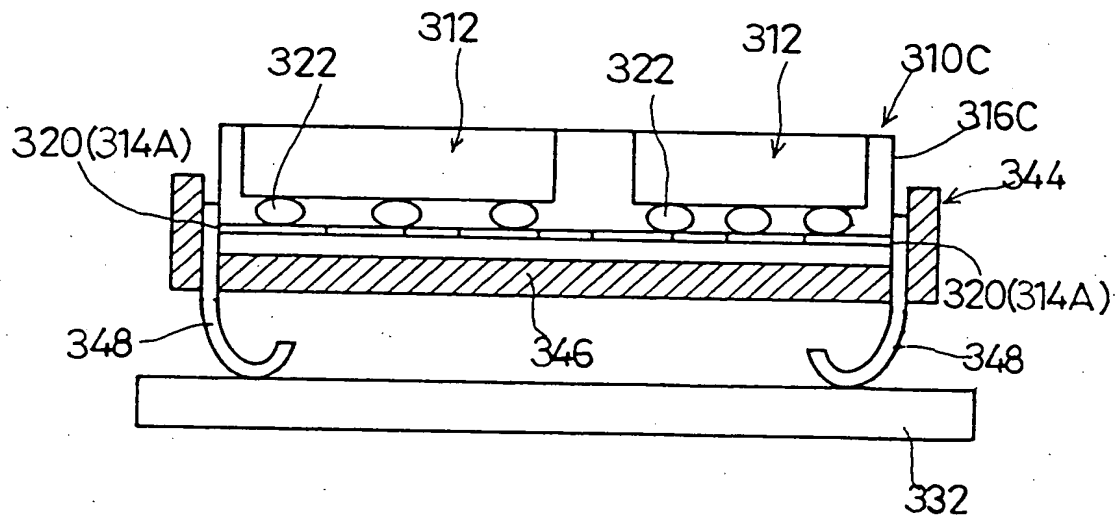


図 133

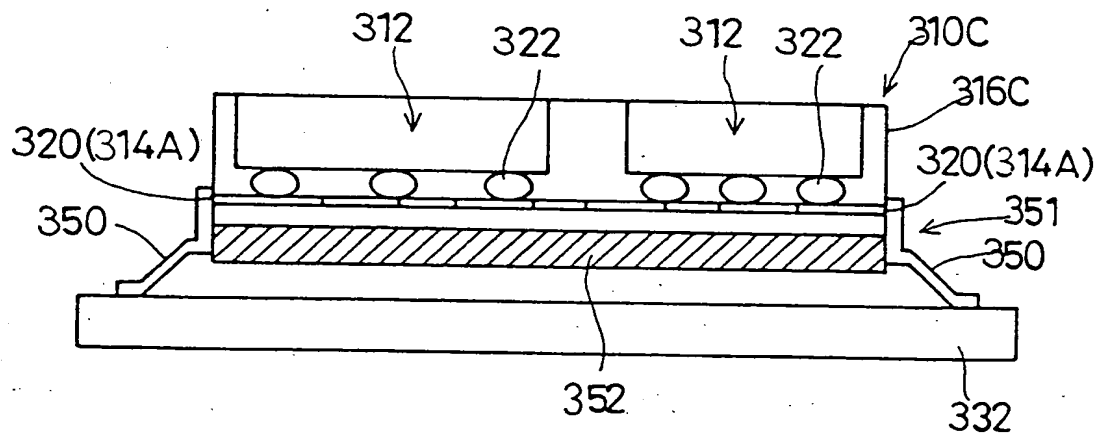


図 134

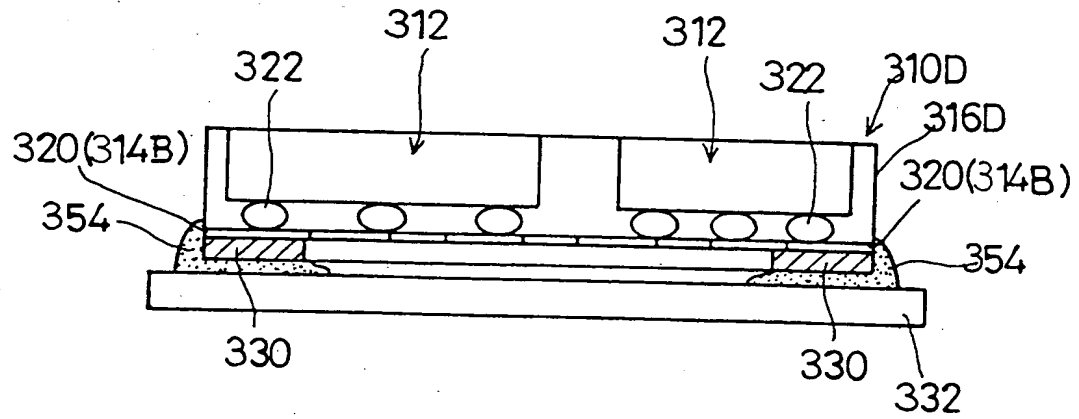


図 135

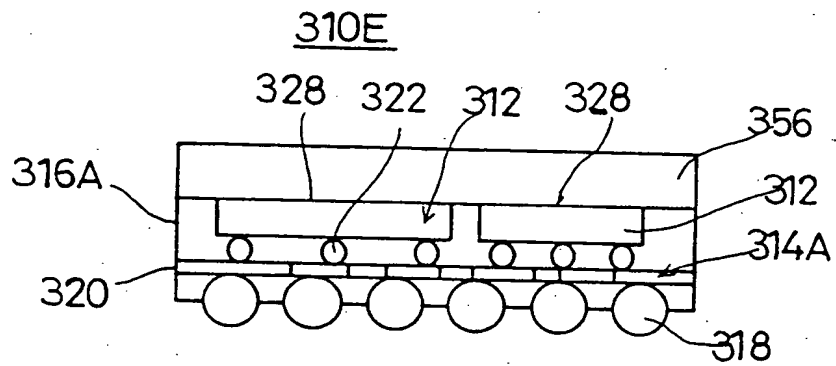


図 136

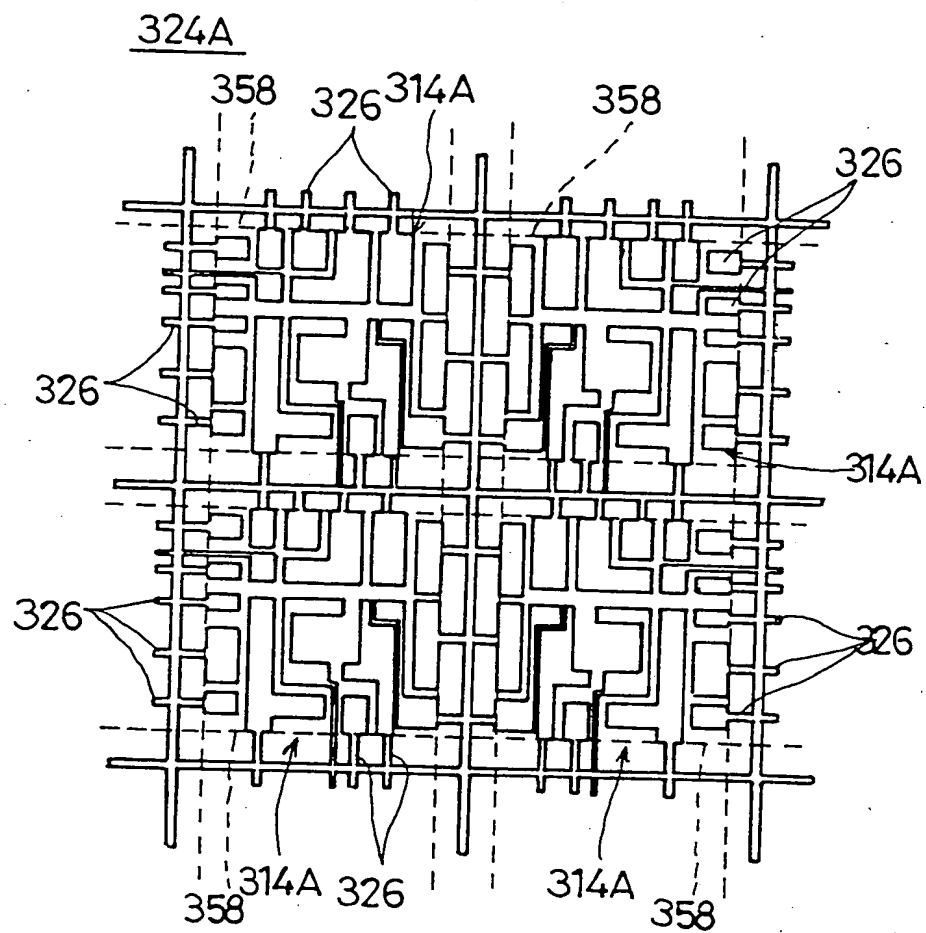


図 137

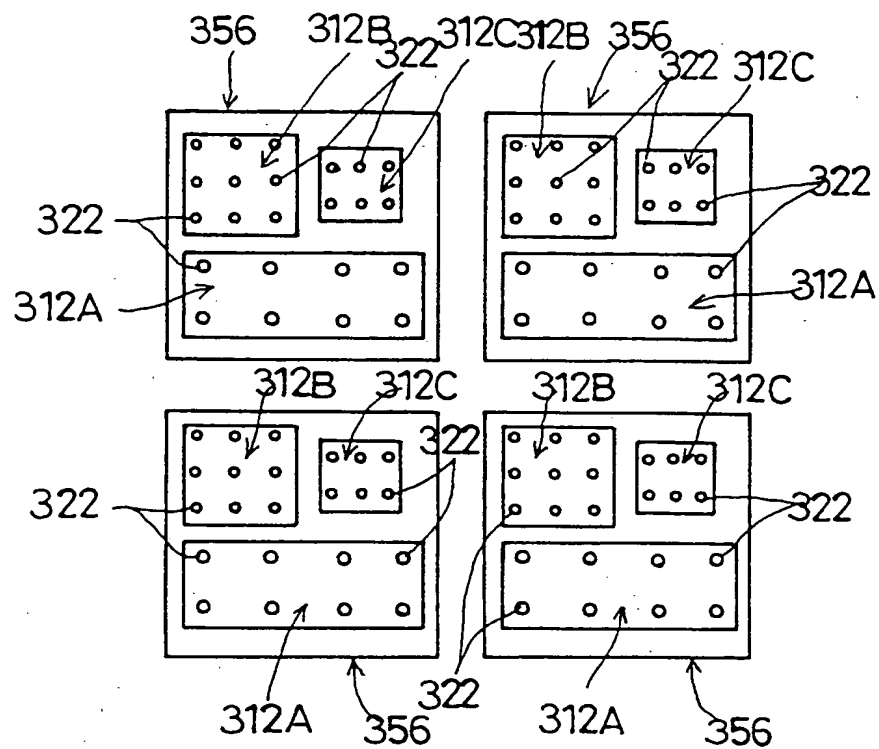


図 138

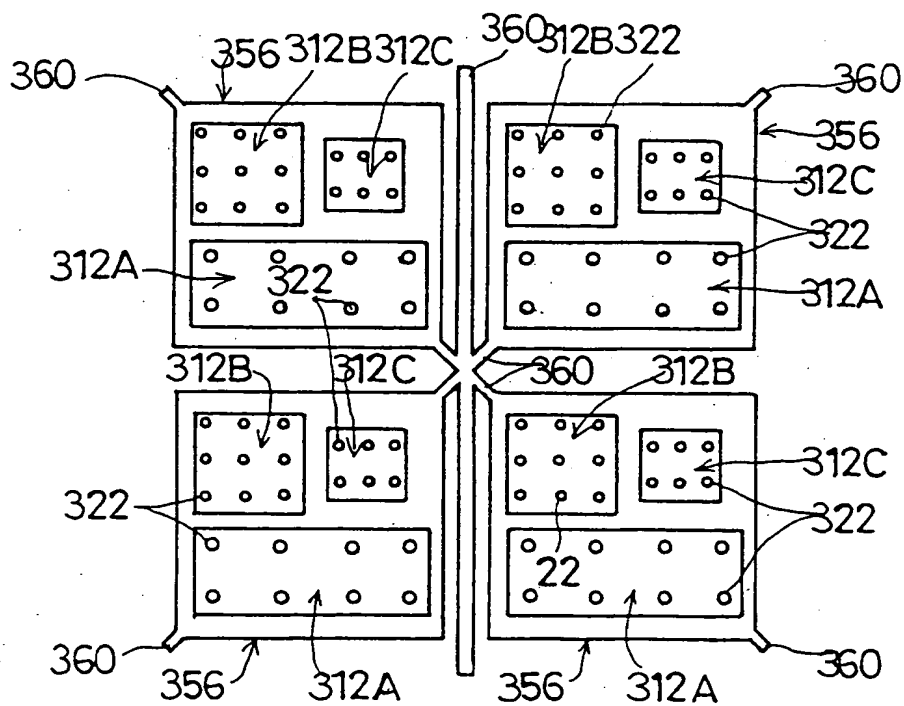


図 139

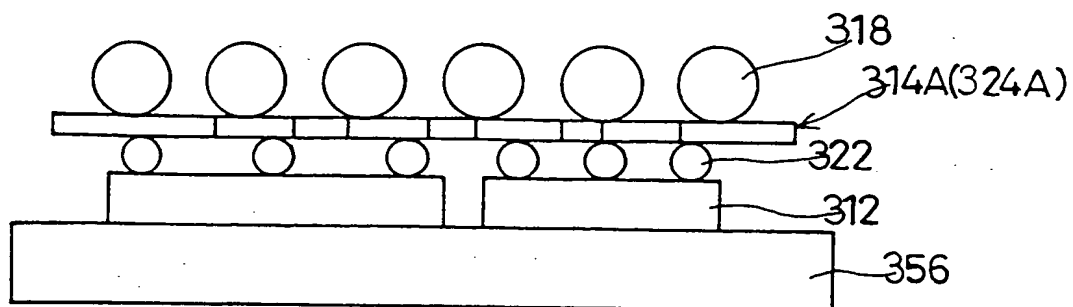


図 140

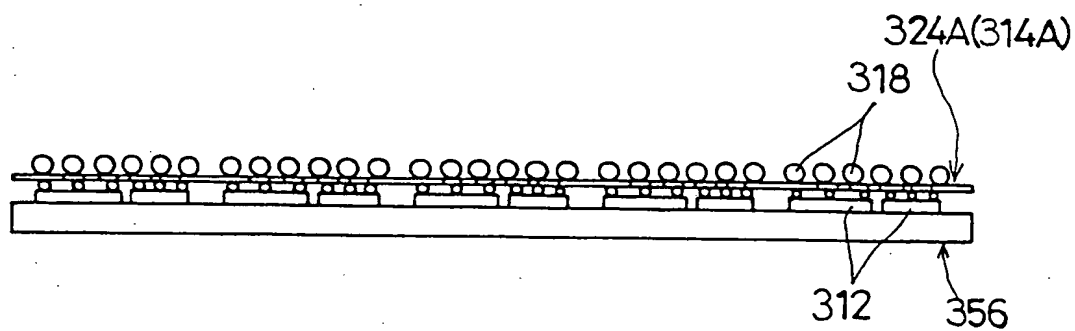
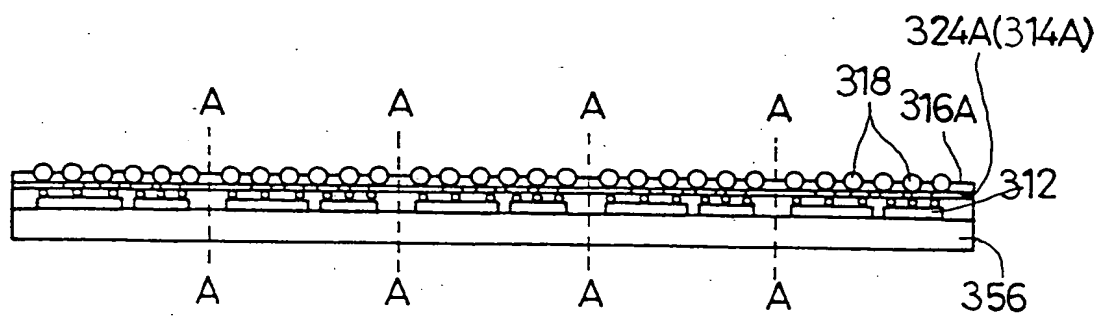


図 141



142

310F

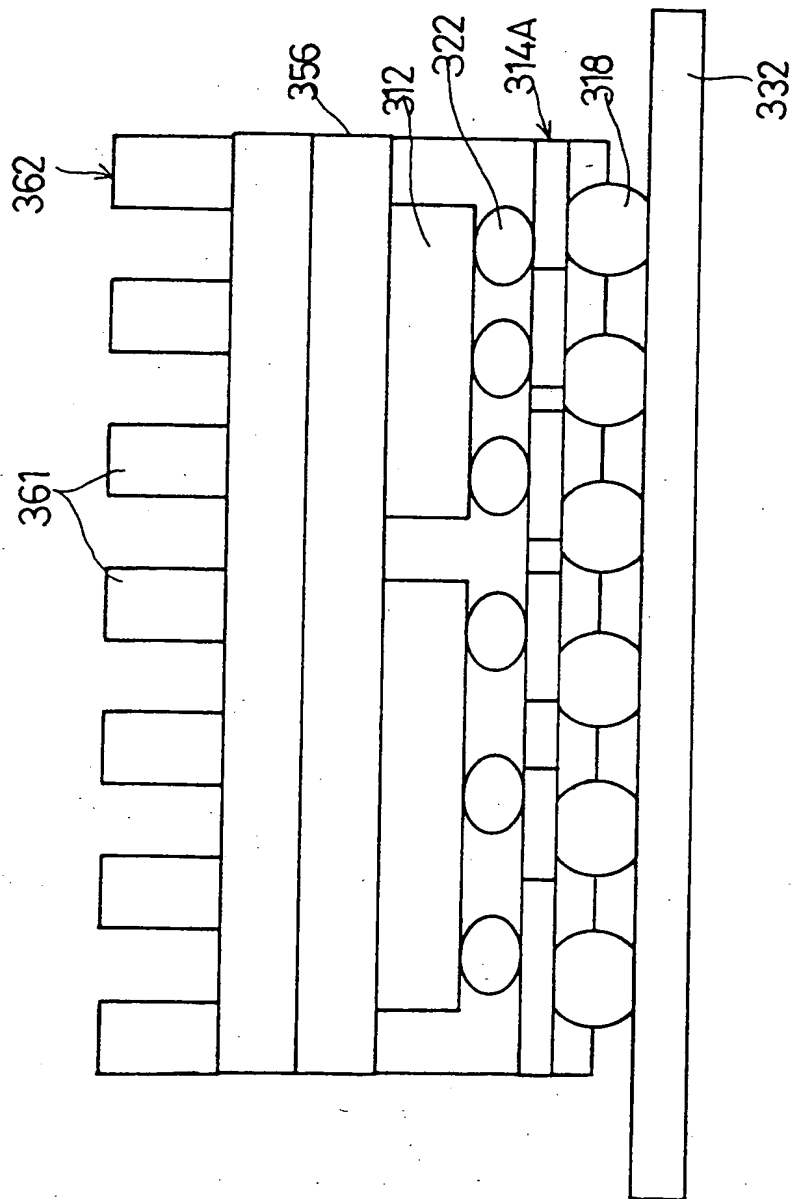


図 143

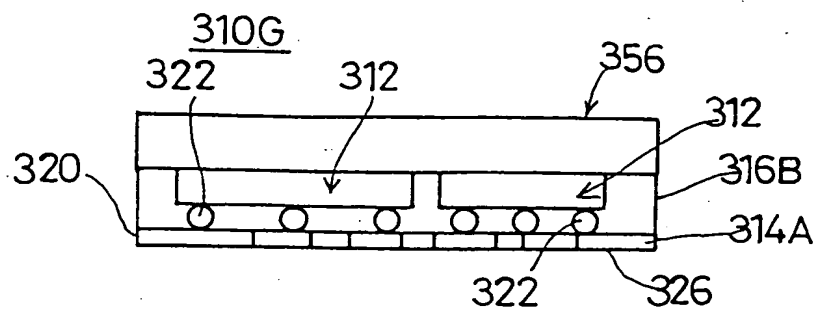


図 144

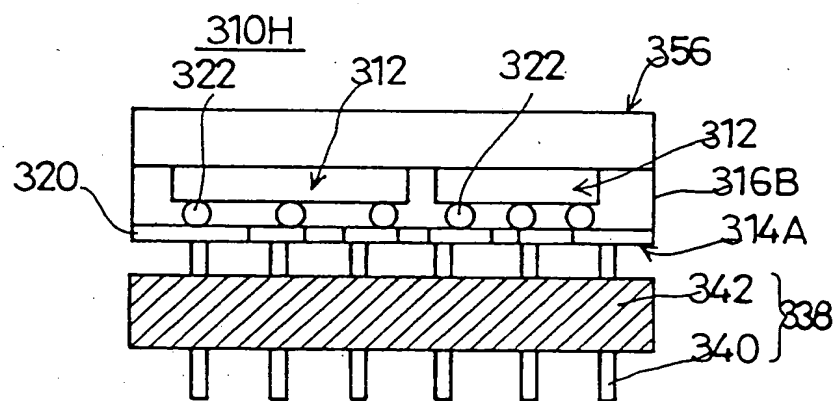


図 145

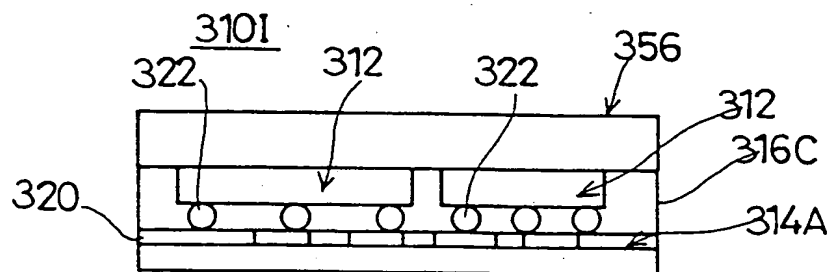


図 146

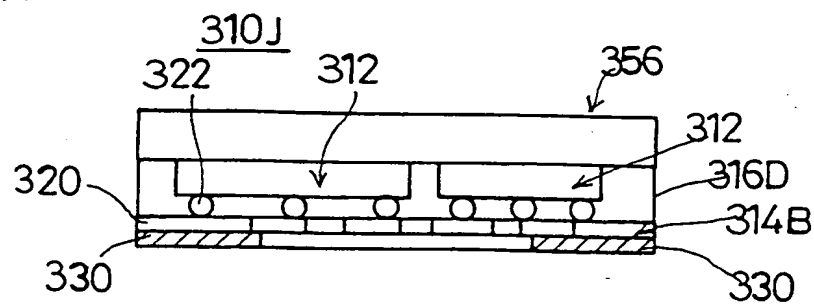


図 147

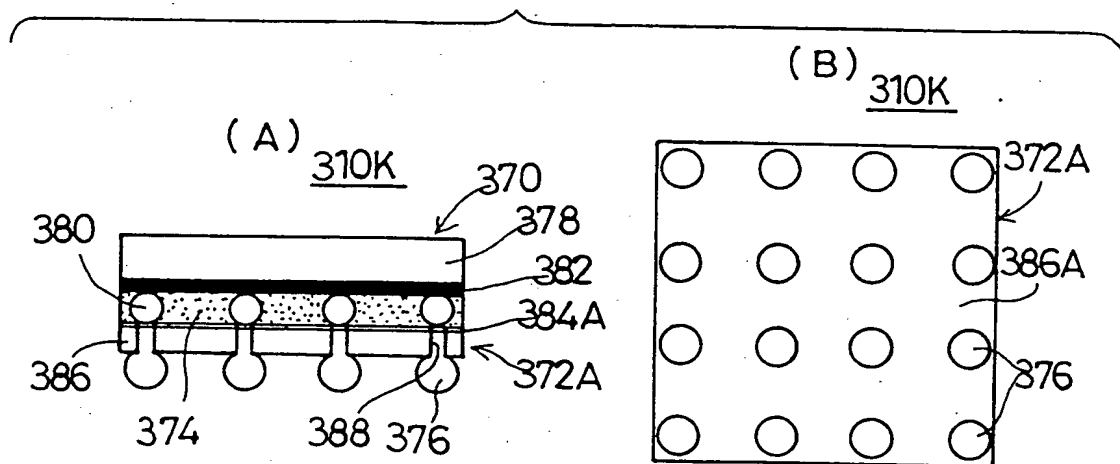


図 148

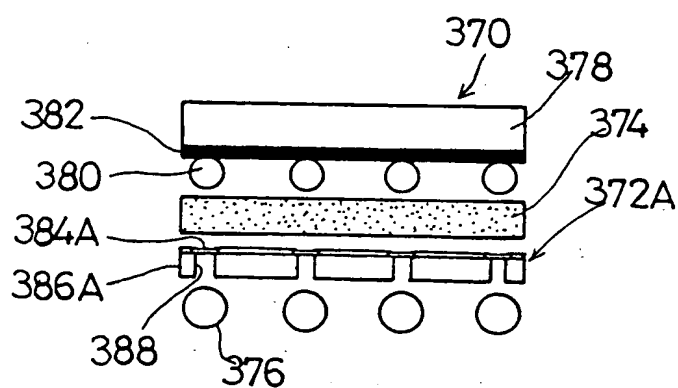


図 149

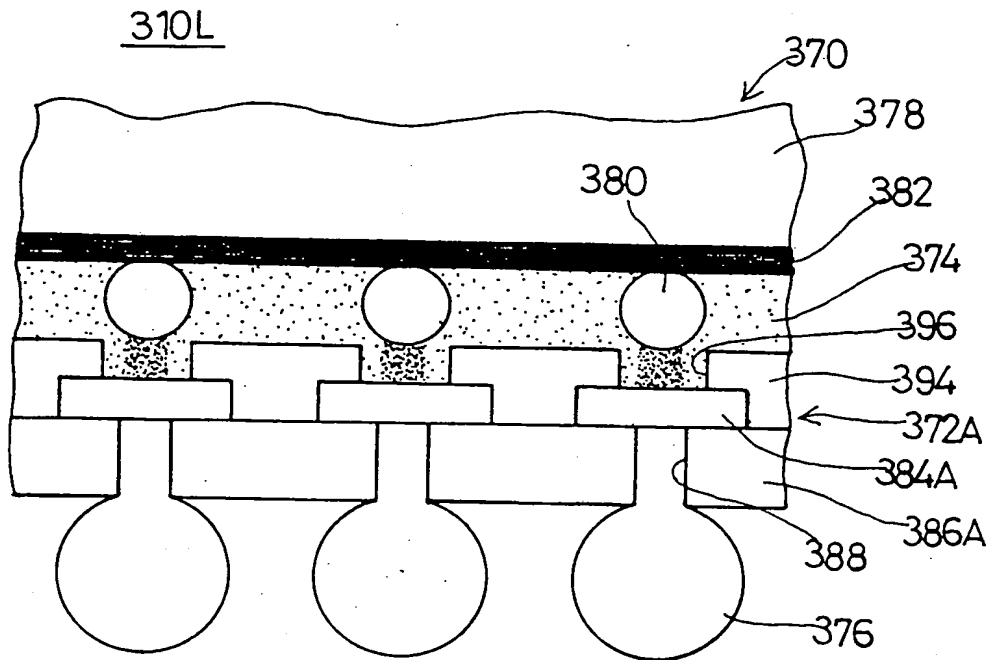
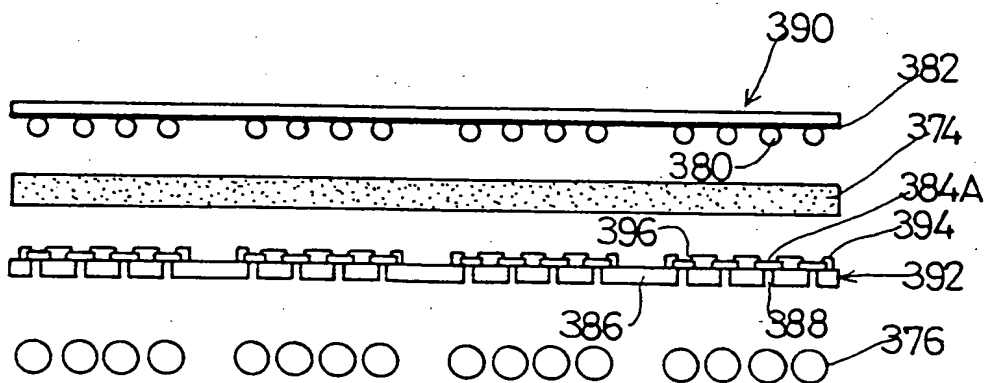
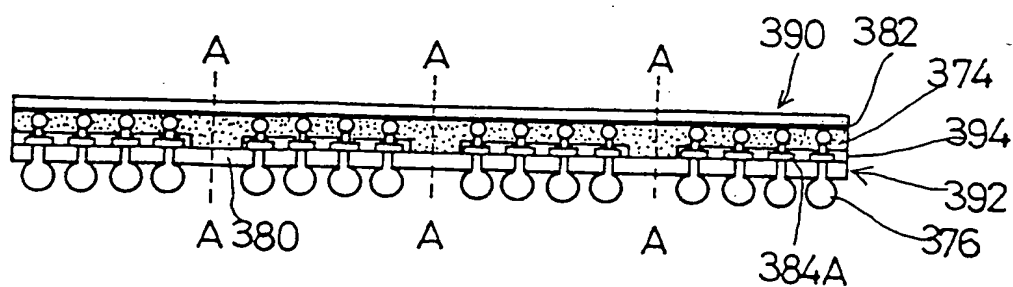


図 150



151



152

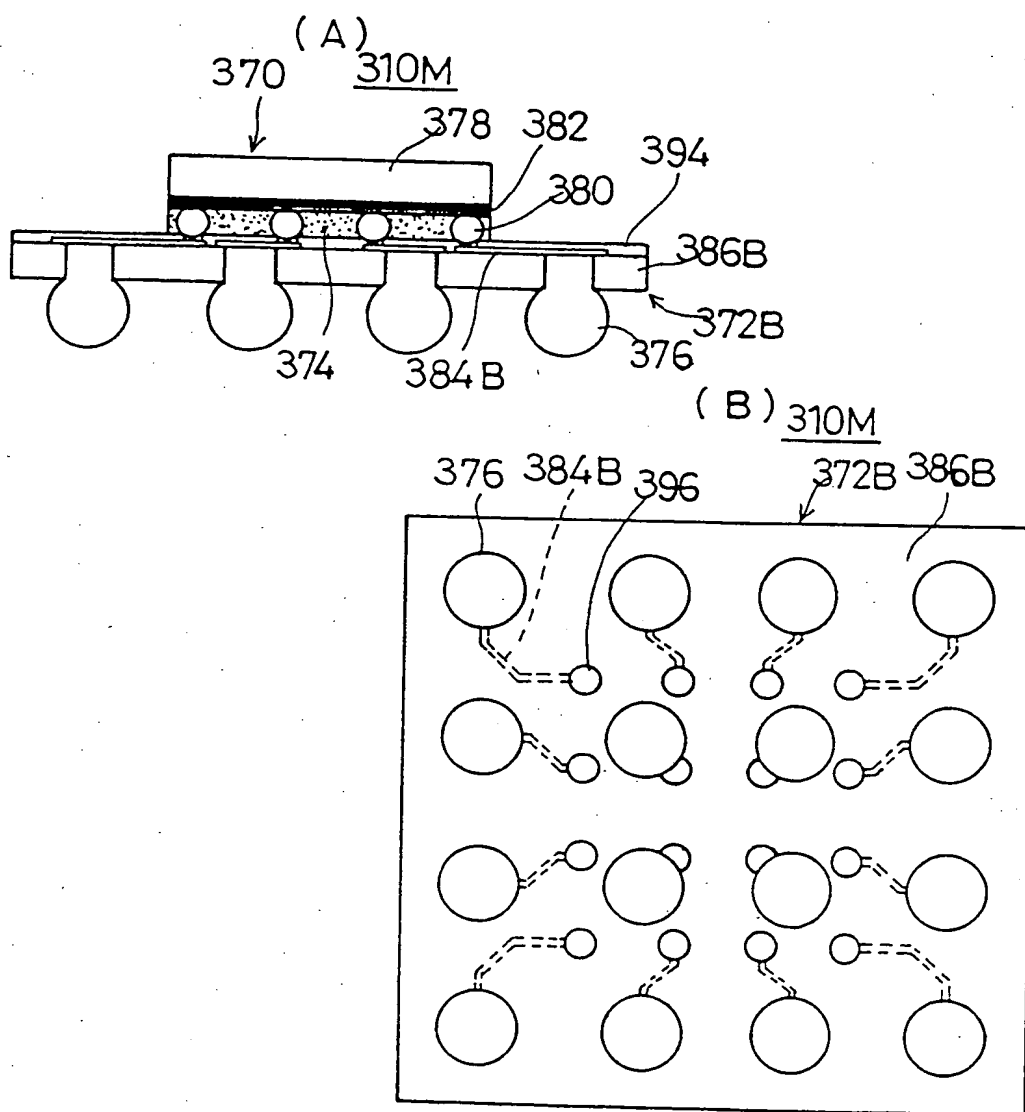


図 153

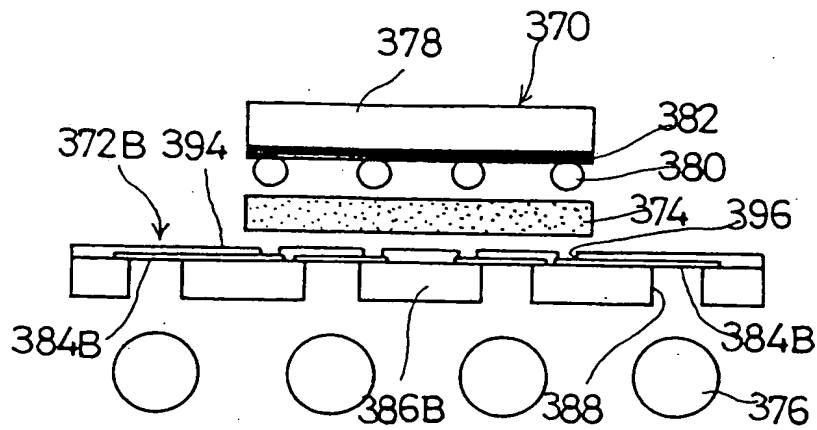


図 154

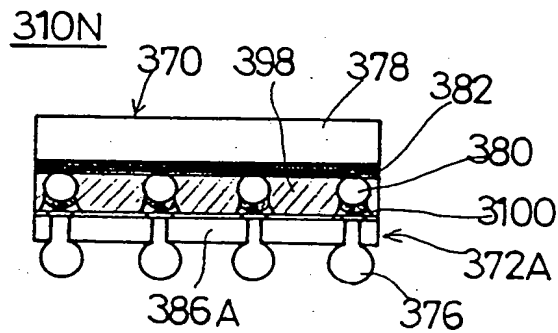


図 155

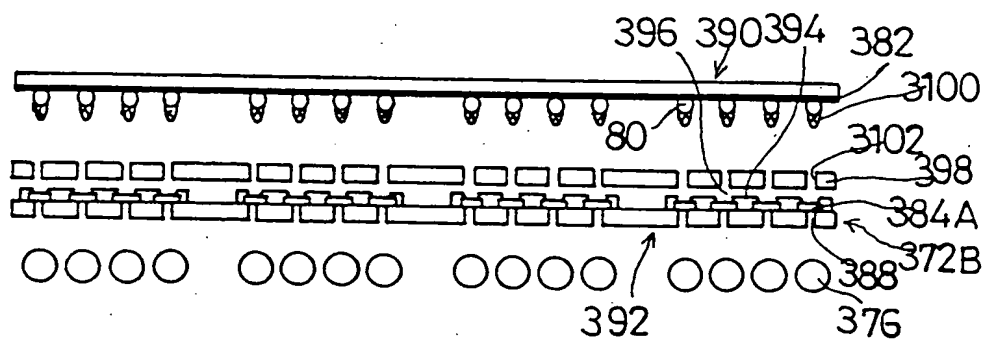


図 156

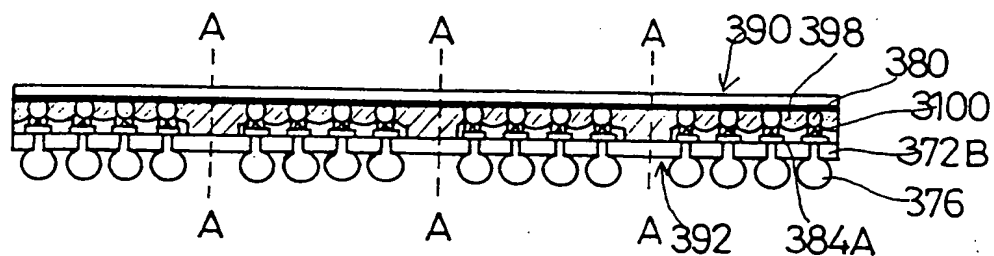


図 157

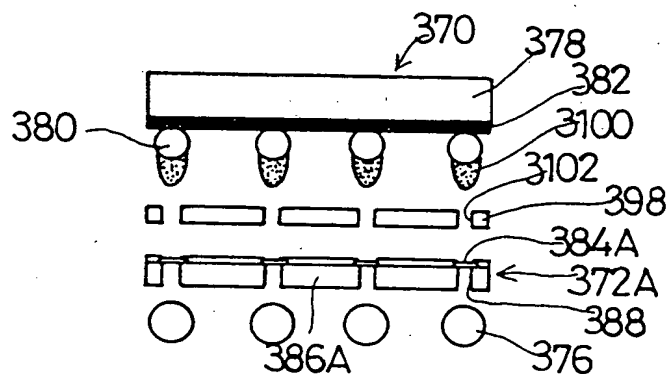


図 158

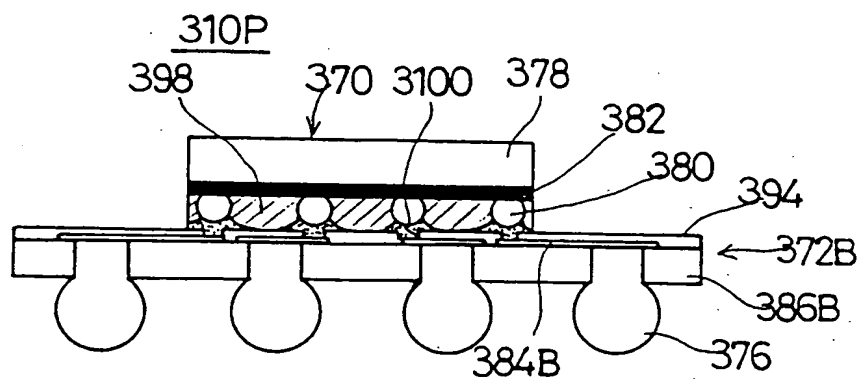


図 159

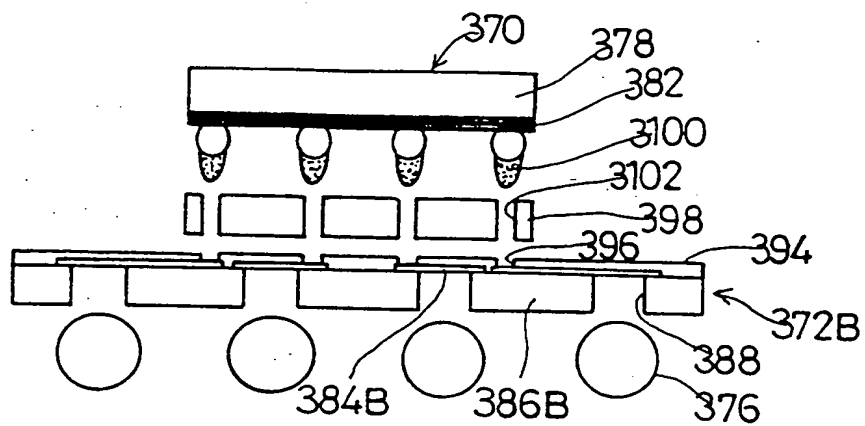


図 160

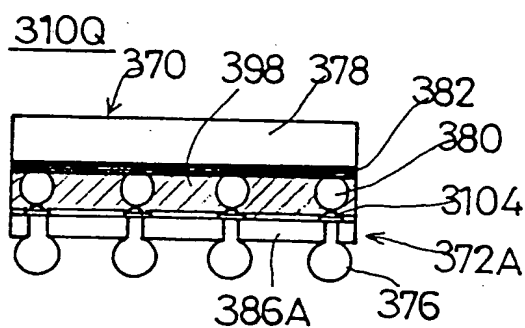


図 161

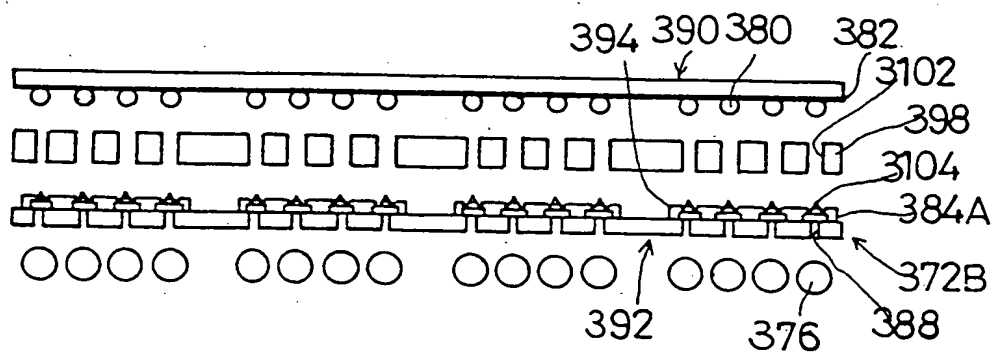


図 162

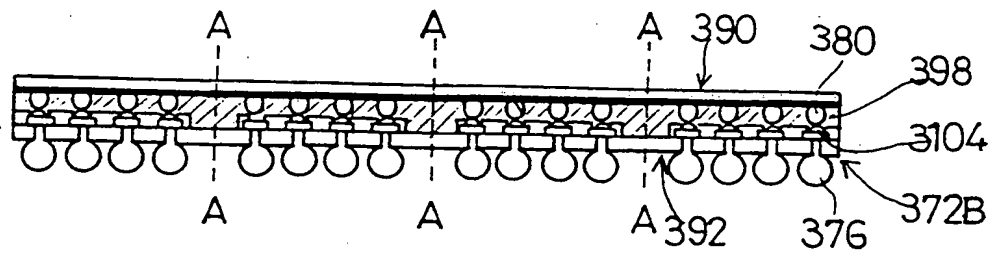


図 163

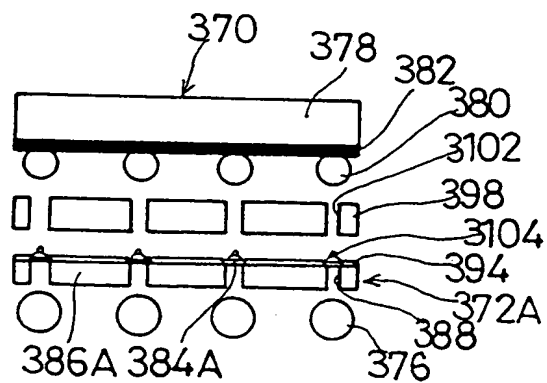


図 164

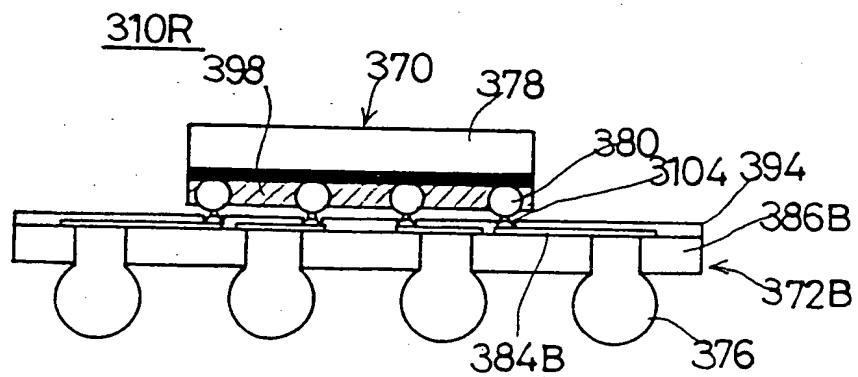


図 165

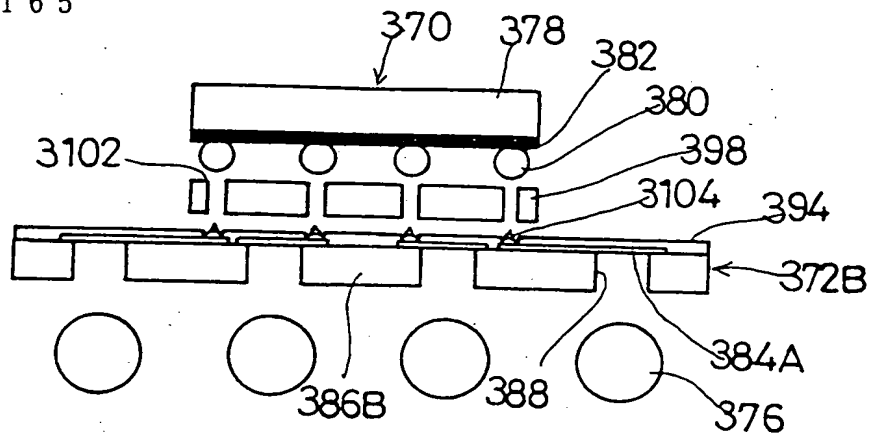


図 166

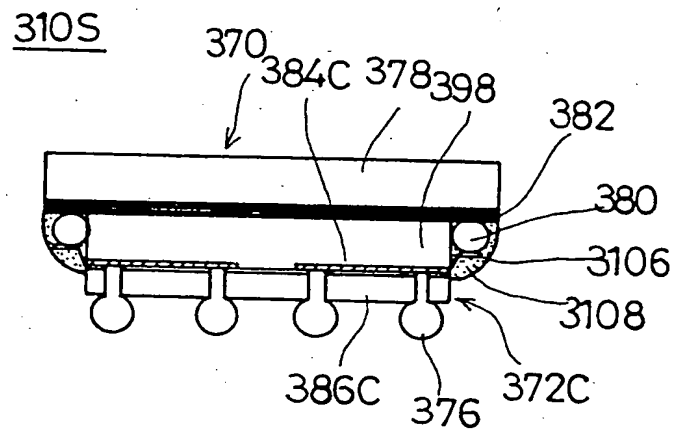


図 167

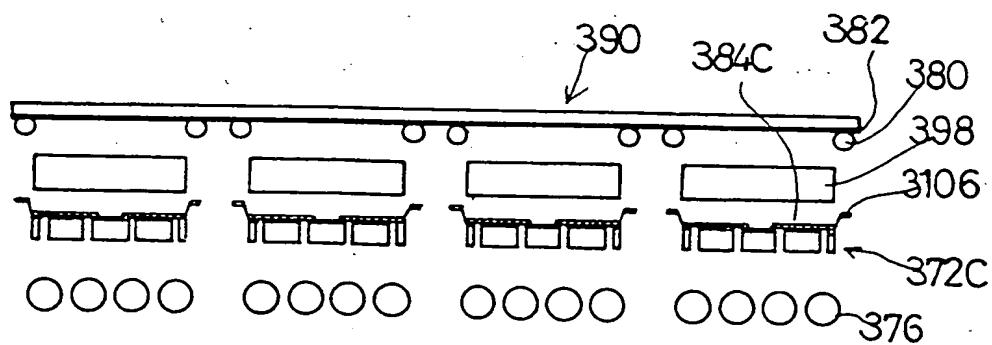


図 168

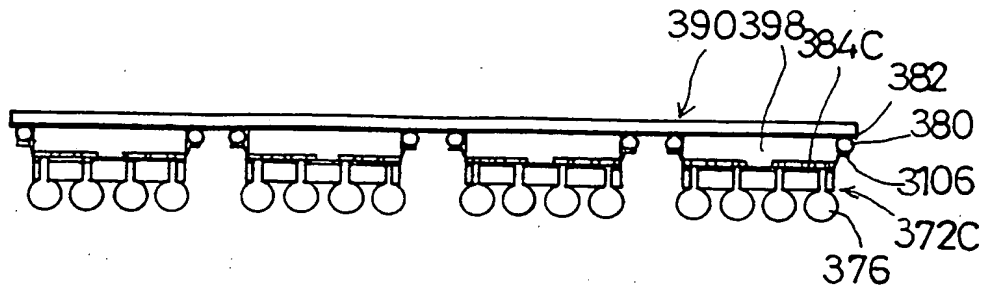


図 169

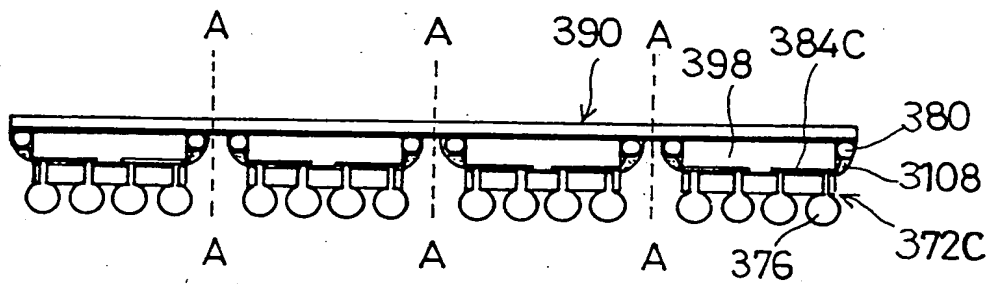
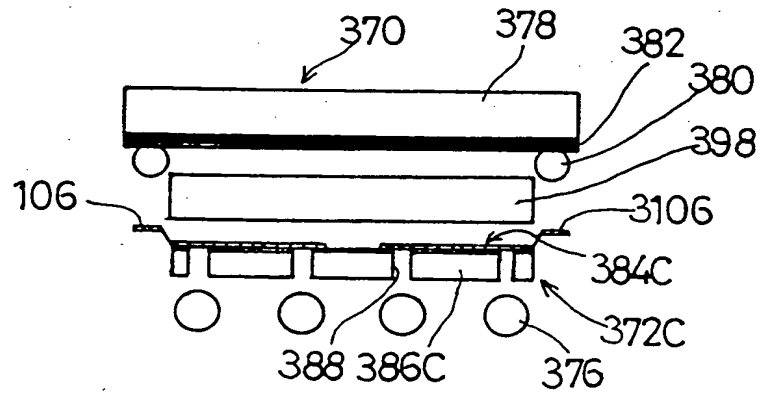
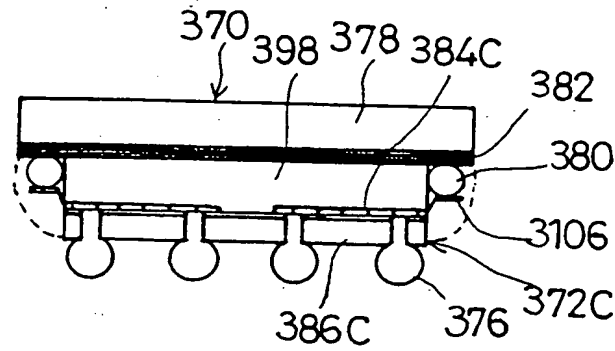


図 170

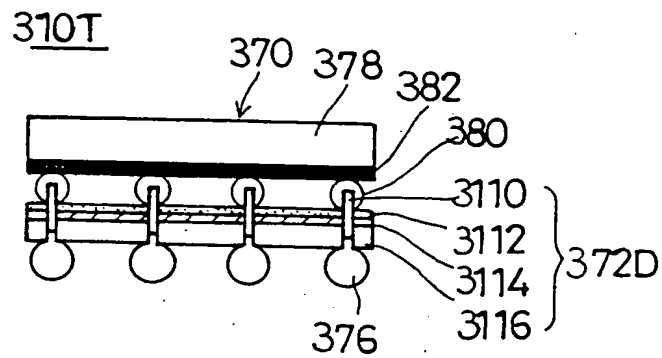


171



172

(A)



(B)

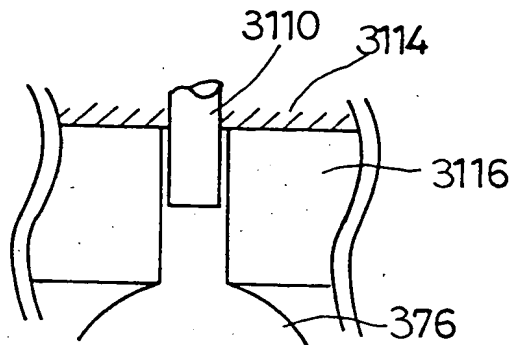


図 173

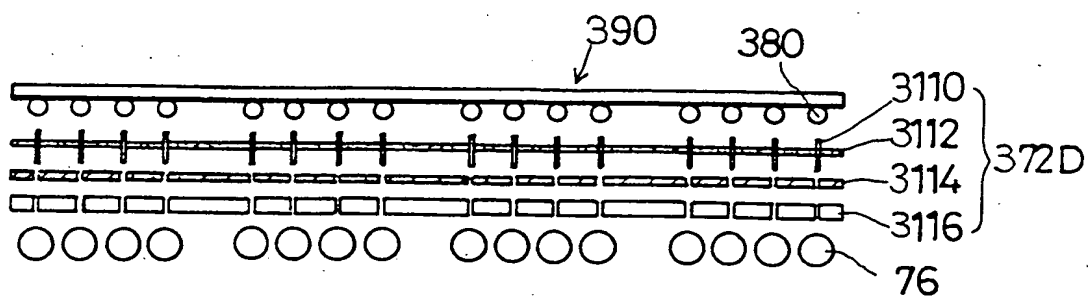


図 174

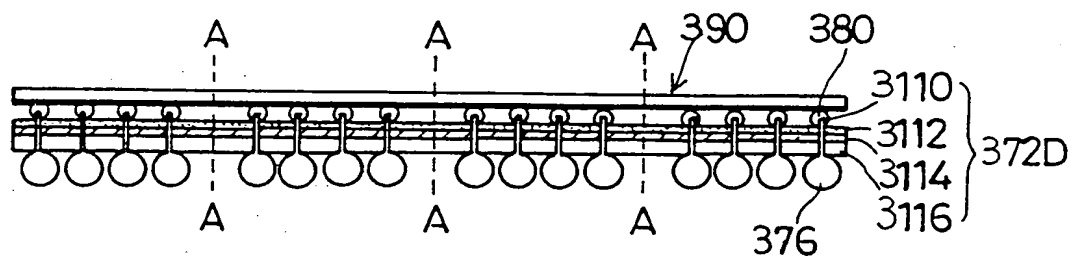


図 175

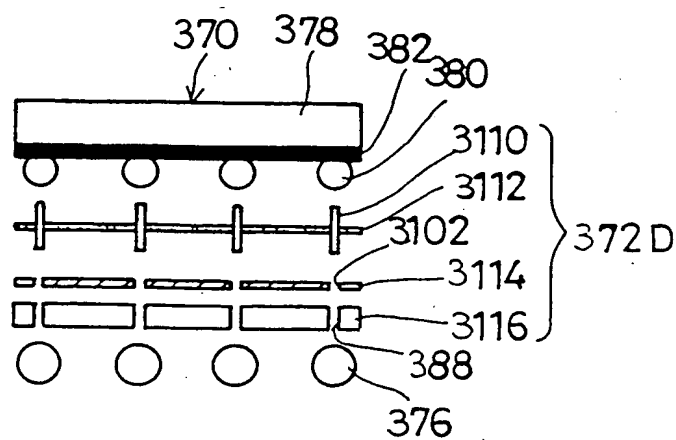


図 176

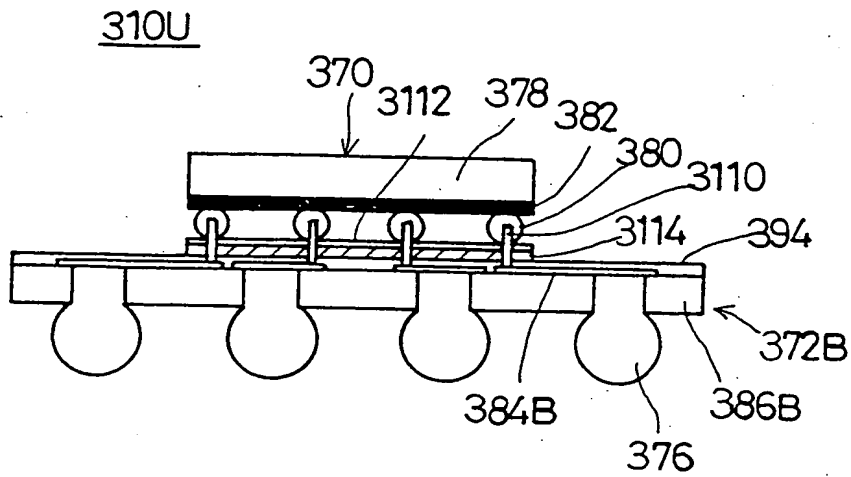
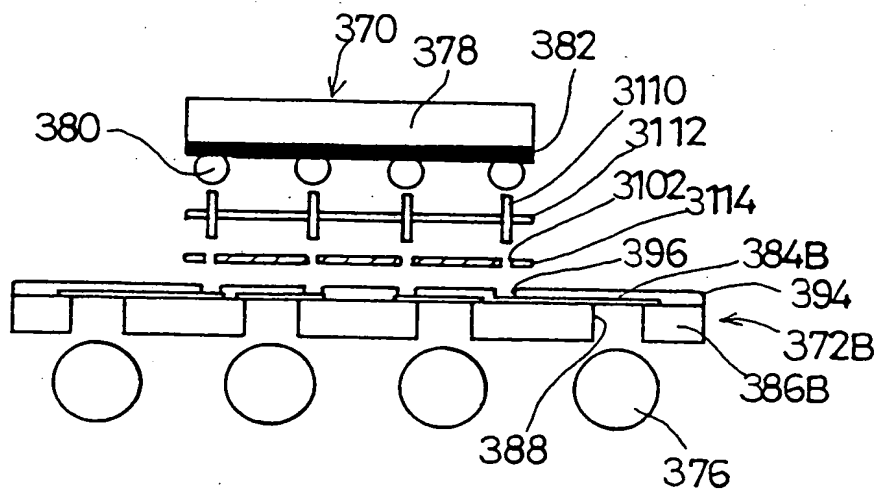


図 177



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/02405

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H01L21/56, 21/60, 23/28, B29C43/18

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ H01L21/56, 21/60, 23/28, B29C43/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926 - 1996	Jitsuyo Shinan Toroku
Kokai Jitsuyo Shinan Koho	1971 - 1997	Koho
Toroku Jitsuyo Shinan Koho	1994 - 1997	1996 - 1997

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 6-151487, A (Mitsubishi Electric Corp.), May 31, 1994 (31. 05. 94), Claim 1; Par. No. (0012); Figs. 1, 4 (Family: none)	18, 25, 43
Y		1-3, 6, 9-12, 19, 20, 26-28, 30, 41, 42, 44, 57, 66, 67
X	JP, 5-55278, A (Sony Corp.), March 5, 1993 (05. 03. 93), Par. Nos. (0006), (0009), (0012); Fig. 2 (Family: none)	18, 43
Y		1-3, 6, 11, 12, 19, 26-28, 30, 57, 66, 67
X	JP, 60-130129, A (NEC Corp.), July 11, 1985 (11. 07. 85),	57

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

October 8, 1997 (08. 10. 97)

Date of mailing of the international search report

October 21, 1997 (21. 10. 97)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/02405

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	Claim; Fig. 3 (Family: none)	
X	JP, 5-175396, A (Fujitsu Ltd.), July 13, 1993 (13. 07. 93), Claim 1; Fig. 1 (Family: none)	65
Y		66, 67
Y	JP, 6-318609, A (Toshiba Corp.), November 15, 1994 (15. 11. 94), Claim; Fig. 1 (Family: none)	1-3, 6, 9-12, 30, 44, 66, 67
Y	JP, 6-29165, A (Nankai Rabah K.K.), February 4, 1994 (04. 02. 94), Claim 1; Figs. 1, 7 (Family: none)	25, 26
Y	JP, 54-111281, A (Mitsubishi Electric Corp.), August 31, 1979 (31. 08. 79), Claim 1; Fig. 2 (Family: none)	9, 10, 19
Y	JP, 7-326850, A (Fujitsu Ltd.), December 12, 1995 (12. 12. 95), Claim 4; Par. No. (0024); Fig. 1 (Family: none)	11
Y	JP, 7-321248, A (NEC Corp.), December 8, 1995 (08. 12. 95), Claim 1; Par. No. (0029); Fig. 1 & EP, 684642, A2	20, 41, 42
Y	JP, 5-20921, A (Matsushita Electric Industrial Co., Ltd.), January 29, 1993 (29. 01. 93), Par. Nos. (0004), (0005), (0016); Fig. 1 (Family: none)	26
Y	JP, 61-253826, A (Hitachi, Ltd.), November 9, 1976 (09. 11. 76), Claim 1; page 3, upper right column, line 7 to lower left column, line 16; Fig. 2 (Family: none)	27, 28
Y	JP, 5-175396, A (Fujitsu Ltd.), July 13, 1993 (13. 07. 93), Claim 1; Fig. 1 (Family: none)	66, 67
Y	JP, 1-37854, A (NEC Kyushu Co., Ltd.), February 8, 1989 (08. 02. 89), Page 1, left column, last line to right column, line 8; Fig. 2 (Family: none)	66, 67

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl⁶ H01L21/56, 21/60, 23/28, B29C43/18

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl⁶ H01L21/56, 21/60, 23/28, B29C43/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-1997年

日本国登録実用新案公報 1994-1997年

日本国実用新案登録公報 1996-1997年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P, 6-151487, A (三菱電機株式会社) 31. 5月. 1994 (31. 05. 94), 請求項1, 段落「0012」図1および図4 (ファミリーなし)	18, 25, 43 1-3, 6, 9- 12, 19, 20 , 26-28, 30, 41, 42 , 44, 57, 66, 67

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 先行文献ではあるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

08. 10. 97

国際調査報告の発送日

21.10.97

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

奥井 正樹

4 E

7 5 1 6

電話番号 03-3581-1101 内線 3424

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP, 5-55278, A (ソニー株式会社) 5. 3月. 1993 (05. 03. 93), 段落「0006」, 「0009」, 「0012」および図2 (ファミリーなし)	18, 43 1-3, 6, 11, 12, 19, 26-28, 30, 57, 66, 67
X	JP, 60-130129, A (日本電気株式会社) 11. 7月. 1985 (11. 07. 85), 特許請求の範囲および第3図 (ファミリーなし)	57
X Y	JP, 5-175396, A (富士通株式会社) 13. 7月. 1993 (13. 07. 93), 請求項1および図1 (ファミリーなし)	65 66, 67
Y	JP, 6-318609, A (株式会社東芝) 15. 11月. 1994 (15. 11. 94), 特許請求の範囲および図1 (ファミリーなし)	1-3, 6, 9-12, 30, 44, 66, 67
Y	JP, 6-29165, A (南海ラバー株式会社) 4. 2月. 1994 (04. 02. 94), 請求項1, 図1および図7 (ファミリーなし)	25, 26
Y	JP, 54-111281, A (三菱電機株式会社) 31. 8月. 1979 (31. 08. 79), 請求項1および第2図 (ファミリーなし)	9, 10, 19
Y	JP, 7-326850, A (富士通株式会社) 12. 12月. 1995 (12. 12. 95), 請求項4, 段落「0024」および図1 (ファミリーなし)	11
Y	JP, 7-321248, A (日本電気株式会社) 8. 12月. 1995 (08. 12. 95), 請求項1, 段落「0029」および図1&EP, 684642, A2	20, 41, 42
Y	JP, 5-20921, A (松下電器産業株式会社) 29. 1月. 1993 (29. 01. 93), 段落「0004」, 「0005」, 「0016」および図1 (ファミリーなし)	26
Y	JP, 61-253826, A (株式会社日立製作所) 9. 11月. 1976 (09. 11. 76), 請求項1, 第3頁右上欄7行-同頁左下欄16行および第2図 (ファミリーなし)	27, 28
Y	JP, 5-175396, A (富士通株式会社) 13. 7月. 1993 (13. 07. 93), 請求項1および図1 (ファミリーなし)	66, 67
Y	JP, 1-37854, A (九州日本電気株式会社) 8. 2月. 1989 (08. 02. 89), 第1頁左欄末行-同頁右欄8行および第2図 (ファミリーなし)	66, 67

SPECIFICATION

METHOD AND MOLD FOR MANUFACTURING SEMICONDUCTOR DEVICE, SEMICONDUCTOR DEVICE, AND METHOD FOR MOUNTING THE DEVICE

TECHNICAL FIELD

The present invention relates to a method and mold for manufacturing a semiconductor device, and a semiconductor device, and more particularly to a method and mold for manufacturing a semiconductor device having a chip-size package structure, and such a semiconductor device.

Recently, there has been activity in down-sizing of semiconductor devices and increasing the integration density thereof in order to meet requirements of down-sizing of electronic devices and apparatus. A semiconductor device having a so-called chip-size package structure has been proposed in which the shape of the semiconductor device is arranged so as to be as similar to that of a semiconductor element (chip) as possible.

As an increased number of pins is employed to increase the integration density and the size of the semiconductor device is reduced, external connection terminals are arranged at a reduced pitch. Hence, protruding electrodes (bumps) are used as external connection terminals because a comparatively large number of protection electrodes can be arranged on a reduced space.

BACKGROUND ART

Fig. 1(A) shows an example of a semiconductor device used for conventional bare chip (flip chip) mounting. A semiconductor device 1 shown in that figure is generally made up of a semiconductor element (semiconductor chip) 2, and a large number of

protruding electrodes (bumps) 4.

The protruding electrodes 4 serving as external connection terminals are arranged, for example, in a matrix formation, on a lower surface of the semiconductor element 2. The protruding electrodes 4 are formed of a soft metal such as solder, and are thus liable to take scratches. Thus, it is difficult to handle and test the protruding electrodes. Similarly, the semiconductor element 2 is in a bare chip formation and is thus liable to take scratches. Thus, it is also difficult to handle and test the semiconductor element 2 as in the case of the protruding electrodes 4.

As shown in Fig. 1(B), the above semiconductor device 1 is mounted on a mount board 5 (for example, a printed wiring board) as follows. First, the protruding electrodes 4 of the semiconductor device 1 are bonded to electrodes 5a formed on the mount board 5. Subsequently, as shown in Fig. 1(C), a so-called under fill resin 6 (indicated by a pear-skin illustration) is provided between the semiconductor element 2 and the mount board 5.

The under fill resin 6 is formed so that a space 7 (approximately equal to the height of the protruding electrodes 4) formed between the semiconductor element 2 and the mount board 5 is filled with a resin having a flowability.

The under fill resin 6 thus formed is provided to prevent occurrence of a break of a bonded portion between the protruding electrodes 4 and the electrodes 5a of the mount board 5 or a bonded portion between the protruding electrodes 4 and the electrodes of the semiconductor element 2 due to stress resulting from a difference in thermal expansion between the semiconductor element 2 and the mount board 5 and stress generated when heat applied at the time of

mounting is removed.

As described above, the under fill resin 6 is effective because it functions to prevent occurrence of a break of the bonded portion between the protruding electrodes 4 and the mount board 5 (particularly, a break of the bonded portion between the electrodes of the mount board 5 and the protruding electrodes 4). However, a troublesome filling work is required because the under fill resin 6 is provided in the narrow space 7 between the semiconductor element 2 and the mount board 5. Further, it is difficult to uniformly provide the under fill resin 6 in the whole space 7. Hence, the efficiency in fabrication of the semiconductor device is reduced. Further, the bonded portion between the protruding electrodes 4 and the electrodes 5a or the bonded portion between the protruding electrodes 4 and the semiconductor element 2 may be damaged though the under fill resin 6 is provided. Hence, the reliability in mounting is degraded.

Further, the above semiconductor device 1 is mechanically weak and a low reliability because the semiconductor element 2 is mounted on the mount board 5 in a state in which the semiconductor element 2 is exposed.

Furthermore, the protruding electrodes 4 are formed directly on electrode pads formed on the lower surface of the semiconductor element 2. Hence, the layout of the electrode pads is automatically equal to the layout of the protruding electrodes 4. That is, the semiconductor device 1 does not have degree of freedom in routing wiring lines within the inside thereof, and has a low degree of freedom in layout of the protruding electrodes 4 serving as the external connection terminals.

The present invention is made taking into account the above disadvantages, and has an object to

provide a method and mold for fabricating a semiconductor device and a semiconductor device, and a semiconductor device having an improved efficiency in fabrication and improved reliability.

The present invention has another object to provide a semiconductor device, a method for fabricating the same and a method for mounting the semiconductor device having an increased degree of freedom in layout of terminals and improved reliability.

DISCLOSURE OF THE INVENTION

The above problems can be solved by the following measures.

A method for fabricating a semiconductor device of the present invention is characterized by comprising: a resin sealing step of loading a substrate on which semiconductor elements having protruding electrodes are formed, and supplying a sealing resin to positions of the protruding electrodes so as to form a resin layer which seals the protruding electrodes and the substrate; a protruding electrode exposing step of exposing at least ends of the protruding electrodes from the resin layer; and a separating step of cutting the substrate together with the resin layer so that the semiconductor elements are separated from each other.

By the resin sealing step, the protruding electrodes which are too delicate to be subjected to a handling test are sealed by the resin layer. The resin layer realizes a surface protection and functions to relax stress generated at interfaces between the electrodes of the semiconductor element and the protruding electrodes. The subsequent protruding electrode exposing step exposes at least ends of the protruding electrodes from the resin layer. When the protruding electrode exposing step is

completed, the protruding electrodes can electrically be connected to an external circuit board or the like. The subsequent separating step cuts the substrate on which the resin layer is formed together with the resin layer, so that the semiconductor elements are separated from each other. Hence, the individual semiconductor chips can be obtained. Since the resin layer is formed in the resin sealing step, it is not required to provide the under fill resin at the time of mounting the semiconductor device. Hence, the mounting operation can easily be carried out. The sealing resin used to form the resin layer is not provided in the narrow space between the semiconductor device and the mounting board, but is provided to the surface of the substrate on which the protruding electrodes are arranged and is thus shaped by molding. Hence, the resin layer can definitely be provided to the entire surface of the substrate on which the protruding electrodes are arranged. Since the resin layer functions to protect all the protruding, it is possible to definitely prevent connections between the protruding electrodes and the electrodes on the mounting board and connections between the protruding electrodes and the electrodes on the semiconductor element from being broken during a heating process. Thus, the reliability of the semiconductor device can be improved.

The above structure may be configured so that the sealing resin used in the resin sealing step has an amount which causes the resin layer to have a height approximately equal to that of the protruding electrodes. Thus, it is possible to prevent excess resin from flowing out from the mold in the resin sealing step and to prevent occurrence of a situation in which the sealing resin is too short to definitely seal the protruding electrodes.

The above method for fabricating the

semiconductor device may be configured so that the resin sealing step disposes a film between the protruding electrodes and the mold, which thus contacts the sealing resin through the film. Hence, it is possible to improve the detachability because the resin layer does not directly contact the mold and to use a highly reliable resin having high contactability without a detachment agent. Since the resin layer is attached to the film, the film can be used as a carrier. This contributes to automation of the process for fabricating the semiconductor device.

The above method for fabricating the semiconductor device may be configured so that: the mold used in the resin sealing step comprises an upper mold which can be elevated, and a lower mold having a first lower mold half body which is kept stationary and a second lower mold half body which can be elevated with respect to the first lower mold half body; and the resin sealing step comprises: a substrate loading step of placing the substrate on which the semiconductor elements having the protruding electrodes are arranged in a cavity defined by a cooperation of the first and second lower mold half bodies and providing the sealing resin in the cavity; a resin layer forming step of moving down the upper mold and the second lower mold half body so that the sealing resin is heated, melted and compressed so that the resin layer sealing the protruding electrodes is formed; and a detaching step of moving up the first mold so as to detach the upper mold from the resin layer, and then moving down the second lower mold half body from the first lower mold half body so that the substrate to which the resin layer is provided is detached from the mold.

According to the above structure, the resin layer is heated, melted and compression-molded by using the mold in the resin layer forming step.

Hence, it is possible to definitely form the entire surface of the substrate. Hence, all the protruding electrodes formed on the substrate can definitely be sealed by the resin layer. Since the lower mold is made up of a lower mold having a first lower mold half body which is kept stationary and a second lower mold half body which can be elevated with respect to the first lower mold half body, the detachment function can be facilitated, so that the substrate to which the resin layer is formed can be taken out of the mold.

The above method for fabricating the semiconductor device may be configured so that: an excess resin removing mechanism is provided in the mold used in the resin sealing step; and the excess resin removing mechanism removes excess resin and controls a pressure applied to the sealing resin in the mold. Hence, it is possible to easily measure the amount of sealing resin and to precisely seal the protruding electrodes with an appropriate volume. It is also possible to control the pressure applied to the sealing resin in the mold and to thus uniform the pressure during molding. Thus, it is possible to prevent occurrence of babbles in the sealing resin.

The method for fabricating the semiconductor device may be configured so that the resin sealing step uses a sheet-shaped resin as the sealing resin. Hence, the resin layer can definitely be formed on the entire surface of the substrate. Further it is possible to reduce the time it takes the sealing resin to flow from the central portion to the end portion when the sealing resin is placed in the central portion. Hence, the time necessary to complete the resin sealing step can be reduced.

The method for fabricating the semiconductor device may be configured so that the sealing resin is provided to the film before the resin sealing step is executed. Hence, it is possible to perform the film

providing work and the sealing resin filling work at one time, so that the work can efficiently be done.

The method for fabricating the semiconductor device may be configured so that a plurality of sealing resins are provided to the film, and the resin sealing step is continuously carried out while the film is moved. Hence, it is possible to realize automation of the resin sealing step and improve the efficiency in fabricating the semiconductor devices.

The method may be configured so that a reinforcement plate is loaded onto the mold before the substrate is loaded onto the mold in the resin sealing step. Hence, it is possible to prevent the substrate from being deformed due to heat and stress applied in the resin sealing step and to calibrate a warp inherent in the substrate. Hence, the yield can be improved.

The method may be configured so that the reinforcement plate comprises a substance having a heat radiating performance. Hence, the reinforcement plate functions as a heat radiating plate, so that the semiconductor device has improved heat radiating performance.

The method for fabricating the semiconductor device may be configured so that the protruding electrode exposing step uses means for exposing the ends thereof from the resin layer, said means being at least one of a laser beam projection, eximer laser, etching, mechanical polishing, and blasting. When the laser beam projection or eximer laser is used, it is possible to easily and precisely expose the ends of the protruding electrodes. When etching, mechanical polishing or blasting is used, it is possible to expose the ends of the protruding electrodes at low cost.

The method may be configured so that: the film used in the resin sealing step is formed of an

elastically deformable substance, and the ends of the protruding electrodes are caused to fall in the film when the resin layer is formed by using the mold; and the film is detached from the resin layer in the protruding electrode exposing step so that the ends of the protruding electrodes can be exposed from the resin layer. Hence, it is possible to prevent the ends of the protruding electrodes from being covered by the resin layer. Hence, it is possible to expose the ends of the protruding electrodes from the resin layer by merely detaching the film from the resin layer. Hence, it is possible to simplify the process for exposing the ends of the protruding electrodes from the resin layer after the resin layer is formed and to thus simplify the protruding electrode exposing step.

The method for fabricating the semiconductor device may be configured so that the sealing resin used in the resin sealing step comprises a plurality of sealing resins having different characteristics. Hence, if the different resins are stacked, the outer resin among them can be formed of hard resin, and the inner resin can be formed of soft resin. It is also possible to provide hard resin in a peripheral portion of the semiconductor element and provide soft resin in an area surrounded by the hard resin. Hence, the semiconductor element can be protected by the hard resin, and stress applied to the protruding electrodes can be relaxed by the soft resin.

In the resin sealing step, a reinforcement plate to which the sealing resin is provided may be provided beforehand. The method may also be configured so that a frame extending towards the substrate in a state in which the reinforcement plate is loaded onto the mold is formed to define a recess portion; and the resin layer is formed on the substrate by using, as a cavity for resin sealing, the

recess portion in the resin sealing step. Hence, the reinforcement plate can be used as part of the mold, so that the sealing resin may directly contact the mold at only some points or does not contact the mold at all. Hence, it is possible to omit the work for removing unwanted resin required previously and to simplify the resin sealing step.

The method for fabricating the semiconductor device may be configured so that a second resin layer is formed so as to cover a back surface of the substrate after (or at the same time as) the first, resin layer is formed, in the resin sealing step, on the surface of the substrate on which the protruding electrodes are arranged. Hence, the semiconductor device can be well balanced. That is, an arrangement in which only the first resin layer is provided to the front surface of the substrate has a possibility that a difference in thermal expansion may occur between the front and back sides of the substrate because the semiconductor element and the sealing resin have different thermal expansion ratios and a warp may occur in the semiconductor element. In contrast, according to the above structure, the front and back surfaces of the substrate are covered by the respective resin layers and so that the states of the front and back surfaces of the substrate can be equalized and the semiconductor device can be well balanced. Hence, it is possible to prevent occurrence of a warp in the semiconductor device during the thermal process. The sealing resin provided to the lower surface of the semiconductor element has a characteristic different from that of the sealing resin provided to the upper surface thereof. For example, the sealing resin formed on the front surface on which the protruding electrodes are arranged may be formed of resin having performance which can relax stress applied to the protruding electrodes. The

sealing resin formed on the back surface may be formed of resin having performance which can protect the semiconductor element from external force exerted on the semiconductor element.

It is also possible to use, in the resin sealing step, the film having protruding portions located in positions facing the protruding electrodes so that the resin layer is formed in a state in which the protruding portions are pressed against the protruding electrodes. The sealing resin does not adhere to the interfaces between the protruding portions and the protruding electrodes. Hence, by removing the film, the parts of the protruding electrodes (against which the protruding portions are pressed) are exposed from the resin layer. Hence, it is possible to easily and definitely expose the parts of the protruding electrodes from the resin layer.

The protruding electrode exposing step may be configured so that an external connection protruding electrode forming step is executed which forms external connection protruding electrodes on the ends of the protruding electrodes after the ends of the protruding electrodes are exposed from the resin layer. Hence, it is possible to improve the mounting performance at the time of mounting the semiconductor device on the mounting board. That is, the protruding electrodes are formed on the electrodes formed on the semiconductor element, and are necessarily required to be small. Thus, an arrangement in which the small protruding electrodes are used as external connection terminals to be electrically connected to the mounting board has a possibility that the protruding electrodes may not definitely be connected to the mounting board. On the other hand, the external connection protruding electrodes are provided separately from the protruding electrodes formed on the semiconductor element, and can freely be designed so as to be suitable for the

structure of the mounting board. Hence, by forming the external connection protruding electrodes to the ends of the small-size protruding electrodes formed on the semiconductor element, it is possible to improve the mounting performance between the semiconductor device and the mounting board.

The external connection protruding electrode forming step may be configured so that the protruding electrodes and the external connection protruding electrodes are joined by a bonding member having a stress relaxing function. Hence, even if external force is applied to the external connection protruding electrodes, stress caused by the external force is relaxed by the adhesive interposed between the external connection protruding electrodes and the protruding electrodes, so that the stress can be prevented from being transferred to the protruding electrodes. Hence, it is possible to prevent the semiconductor element from being damaged by external stress and to improve the reliability of the semiconductor device.

The method for fabricating the semiconductor device may be configured so that: cutting position grooves are formed, before the resin sealing step is carried out, in the substrate so as to be located in positions in which the substrate is cut in the separating step; and the substrate is cut in the cutting position grooves filled with the sealing resin. Hence, it is possible to prevent a crack from occurring in the substrate and the sealing resin. If the cutting position grooves as defined above are not formed, the separating step cuts the substrate to which the comparatively thin resin layer is formed. In this case, a crack may occur in the resin layer. Further, a large magnitude of stress is applied to the cutting positions, and a crack may occur in the substrate. In contrast, the cutting position grooves

are filled with the sealing resin in the resin sealing step. In the separating step, the substrate and the sealing resin are cut in the cutting position grooves full of the sealing resin. The sealing resin in the cutting position grooves is enough thick to prevent a crack from occurring in the sealing resin during the cutting process. Further, the sealing resin has a hardness less than that of the substrate and functions to absorb stress. Thus, stress caused by the cutting process is absorbed by the sealing resin and is thus weakened. Then, the weakened stress is applied to the substrate and prevents a crack from occurring in the substrate.

It is also possible to form a pair of stress relaxing grooves prior to the resin sealing step, so as to sandwich a position in which the substrate is to be cut, whereby the substrate is cut in the position interposed between the pair of stress relaxing grooves in the separating step. Hence, it is possible to prevent outer portions (where the protruding electrodes and electronic circuits are formed) of the substrate located further out than the pair of stress relaxing grooves from being affected by stress caused in the separating step. That is, even if stress occurs in the cutting position and a crack occurs in the substrate and the resin layer, the stress will be absorbed by the stress relaxing grooves which sandwich the cutting position (and are full of the sealing resin). Hence, it is possible to prevent a crack from occurring in the areas in which the protruding electrodes and the electronic circuits are formed.

There is also provided a method for fabricating semiconductor devices characterized by comprising: a first separating step of cutting a substrate on which semiconductor elements having protruding electrodes are formed so that the semiconductor elements are separated from each other;

a resin sealing step of arranging the separated semiconductor elements on a base member and sealing a sealing resin so that a resin layer is formed; a protruding electrode exposing step of exposing at least ends of the protruding electrodes from the resin layer; and a second separating step of cutting the resin layer together with the base member in positions between adjacent semiconductor elements, so that the semiconductor elements to which the resin layer is formed are separated from each other. By the first separating step, the substrate on which the semiconductor elements are formed is cut so that individual semiconductor elements can be obtained. In the resin sealing step, the separated semiconductor elements are arranged on the base member. In this case, the semiconductor elements of different types can be mounted on the base member. The semiconductor elements mounted on the base member are sealed by the resin layer of the sealing resin. In the subsequent protruding electrode exposing step, at least the ends of the protruding electrodes are exposed from the resin layer. In the second separating step, the resin layer is cut together with the base member in the boundaries between the adjacent semiconductor elements. Hence, the semiconductor device in which the different semiconductor devices are covered by the same sealing resin. In the second separating step, as in the case of claim 28, it is possible to prevent a crack from occurring in the substrate and the resin layer due to stress generated when cutting.

There is also provided a method for fabricating semiconductor devices characterized by comprising: a resin sealing step of loading a substrate on which semiconductor elements having external connection electrodes formed on surfaces of the semiconductor elements onto a mold and supplying a resin to the surfaces so that a resin layer sealing

the external connection electrodes and the substrate is formed; and a separating step of cutting the substrate together with the resin layer in positions in which the external connection electrodes are formed, so that the semiconductor elements are separated from each other. By the resin sealing step, the external connection electrodes are covered by the resin layer. In the subsequent separating step, the semiconductor elements are separated from each other so that the external connection electrodes are exposed at the interfaces between the substrate and the resin layer in the cut positions. Hence, the external connection electrodes exposed from the side portions of the semiconductor devices can be used to electrically connect the semiconductor devices to the mounting board. The terminal portions can be exposed from the resin layer by merely cutting the substrate in the position in which the external connection electrodes are formed. Hence, the semiconductor devices can be produced very easily.

The method may be configured so that the external connection electrodes are commonly owned by adjacent ones of the semiconductor elements before the separating step is executed. Hence, by preforming the step only one time, two semiconductor devices can be provided so that the separated external connection electrodes are exposed. Hence, the semiconductor devices can efficiently be fabricated. In addition, it is possible to suppress occurrence of unwanted portions on the substrate and to efficiently utilize the substrate.

The method for fabricating the semiconductor device may be configured so that positioning grooves are formed on a back surface of the resin layer or the substrate after the resin sealing step is executed and before the separating step is executed. For example, when the semiconductor devices thus fabricated are

tested, the semiconductor devices can be loaded onto the test apparatus by referring to the positioning grooves. Since the positioning grooves are formed before the separating step, the positioning grooves for a plurality of semiconductor devices can be formed only one time and can thus be formed efficiently.

The positioning grooves can be formed by subjecting the back surface to half scribing, which is generally used for the separating process. Hence, it is possible to easily and precisely form the positioning grooves.

The method for fabricating the semiconductor device may be configured so that: the film used in the resin sealing step has projection or recess portions located in positions in which the film is not interfered with the projecting electrodes; and recess or projection portions formed on the resin layer by the projection or recess portions are used for positioning after the resin sealing step is completed. Hence, in the resin sealing step, the projection or recess portions are formed, which can be used as positioning portions for the semiconductor devices. For example, when the semiconductor devices thus fabricated are tested, the semiconductor devices can be loaded onto the test apparatus by referring to the projection or recess grooves.

The method for fabricating the semiconductor device may be configured so that the sealing resin is processed in positions in which positioning protruding electrodes are formed in order to discriminate the protruding electrodes and the positioning protruding electrodes from each other. Hence, the semiconductor device can be loaded onto the test apparatus by referring to the positioning protruding electrodes. The resin sealing process for discriminating the positioning protruding electrodes may use eximer laser, etching, mechanical polishing, or blasting,

which are also used in the protruding electrode exposing step. Hence, it is not required to greatly modify the fabrication facility.

There is provided a mold for fabricating a semiconductor device characterized by comprising: an upper mold which can be elevated; and a lower mold having a first lower mold half body which is kept stationary and a second lower mold half body which is provided so as to surround the first lower mold half body and can be elevated with respect to the first lower mold half body, a cavity being defined by a cooperation of the upper and lower molds and being filled with resin. By moving the second half mold half body with respect to the first lower mold half body, the detaching function of detaching the substrate from the mold can be provided, so that the substrate to which the resin layer is formed can be detached from the mold.

The mold for fabricating the semiconductor device may be configured so that there is provided an excess resin removing mechanism is provided in the mold used in the resin sealing step, wherein the excess resin removing mechanism removes excess resin and controls a pressure applied to the sealing resin in the mold. Hence, it is possible to measure the amount of the sealing resin to be supplied and to always execute the sealing process for the protruding electrodes with an appropriate resin amount. It is also possible to control the pressure applied to the sealing resin in the mold and to thus make uniform pressure applied to the sealing resin. Hence, the occurrence of babbles can be prevented.

It is also possible to provide an attachment/detachment mechanism which attaches the substrate to a position of the first lower mold half body and detaches the substrate therefrom. When the mechanism performs the sucking operation, the

substrate is fixed to the first lower mold half body, and it is thus possible to prevent occurrence of a deformation in the substrate such as a warp and to calibrate a warp inherent in the substrate. When the attachment/detachment mechanism performs the detachment operation, the substrate is urged toward the detaching direction from the first lower mold half body. Hence the detachability of the substrate from the mold can be improved.

The attachment/detachment mechanism may comprise: a porous member arranged in the position of the first lower mold half body onto which the substrate is loaded; and an intake/exhaust device preforming a gas suction and supply process for the porous member. The porous member is supplied with a gas from an intake/exhaust apparatus, and injects the gas towards the substrate. When the gas is injected towards the substrate through the porous member at the time of detaching the substrate from the mold, the detachability of the substrate from the mold can be improved. When the intake/exhaust apparatus performs the sucking process, the substrate is sucked towards the porous member. Hence, it is possible to prevent occurrence of a deformation of the substrate such as a warp and to calibrate a warp inherent in the substrate. Since the porous member is disposed to the position on the first lower mold half body, the porous member is covered by the substrate in the sealing resin is supplied in the resin sealing step. Hence, the sealing resin cannot enter the porous member. In addition, the back surface of the substrate is directly urged along the detaching direction at the time of detaching the substrate from the mold, the detachability can be improved.

The mold may be configured so that an area enclosed by the second lower mold half body is wider than an area of an upper portion of the first lower

mold half body in a state in which the cavity is formed. Hence, the detachability can be moved, and a rectangular step portion can easily be defined by the above arrangement.

There is provided a semiconductor device characterized by comprising: a semiconductor element having a surface on which protruding electrodes are directly formed; and a resin layer which is formed on the surface of the semiconductor element and seals the protruding electrodes except for ends thereof. The resin layer functions to protect the semiconductor element, the protruding electrodes, the mounting board and the connections therebetween. Since the resin layer is already formed in the semiconductor device before the mounting step, it is not required to perform the conventional process for providing under fill resin at the time of mounting the semiconductor device to the mounting board, so that the mounting process can easily be performed.

The semiconductor device may be configured so that there is provided a heat radiating member provided on a back surface of the semiconductor element opposite to the surface thereof on which the protruding electrodes are provided. Hence, it is possible to improve the heat radiating performance of the semiconductor device and improve the strength thereof.

There is also provided a semiconductor device characterized by comprising: a semiconductor element having a surface on which external connection electrodes are provided which are to be electrically connected to external terminals; and a resin layer provided on the surface of the semiconductor element so as to cover the external connection electrodes, wherein the external connection electrodes are laterally exposed at an interface between the semiconductor element and the resin layer. Hence, the

semiconductor device can be mounted by using the external connection electrodes rather than the protruding electrodes. Since the present semiconductor device does not have the protruding electrodes, the structure thereof can be simplified and the fabrication cost can be reduced. Since the external connection electrodes are exposed from the sides from the semiconductor device, the semiconductor device can be mounted on the mounting board so that it vertically stands thereon. Hence, the mounting density can be improved.

The semiconductor device may be configured so that the resin layer is made up of a plurality of resins. Hence, if the different resins are stacked, the outer resin among them can be formed of hard resin, and the inner resin can be formed of soft resin. It is also possible to provide hard resin in a peripheral portion of the semiconductor element and provide soft resin in an area surrounded by the hard resin. Hence, the semiconductor element can be protected by the hard resin, and stress applied to the protruding electrodes can be relaxed by the soft resin.

There is also provided a semiconductor device characterized by comprising: a semiconductor element having protruding electrodes formed on a surface thereof; a first resin layer that is formed on the surface of the semiconductor element and seals the protruding electrodes except for ends thereof; and a second resin layer provided so as to cover at least a back surface of the semiconductor element. Hence, the semiconductor device can be well balanced. That is, an arrangement in which only the first resin layer is provided to the front surface of the substrate (on which the protruding electrodes are provided) has a possibility that a difference in thermal expansion may occur between the front and back sides of the

substrate because the semiconductor element and the sealing resin have different thermal expansion ratios and a warp may occur in the semiconductor element. In contrast, according to the above structure, the front and back surfaces of the substrate are covered by the respective resin layers and so that the states of the front and back surfaces of the substrate can be equalized and the semiconductor device can be well balanced. Hence, it is possible to prevent occurrence of a warp in the semiconductor device during the thermal process. The sealing resin provided to the lower surface of the semiconductor element has a characteristic different from that of the sealing resin provided to the upper surface thereof. For example, the sealing resin formed on the front surface on which the protruding electrodes are arranged may be formed of resin having performance which can relax stress applied to the protruding electrodes. The sealing resin formed on the back surface may be formed of resin having performance which can protect the semiconductor element from external force exerted on the semiconductor element.

There is also provided a semiconductor device characterized by comprising: a semiconductor element having protruding electrodes formed on a surface thereof; a resin layer which is formed on the surface of the semiconductor element and seals the protruding electrodes except for ends thereof; and external connection protruding electrodes provided to the ends of the protruding electrodes exposed from the resin layer. Hence, it is possible to improve the mounting performance at the time of mounting the semiconductor device on the mounting board. That is, the protruding electrodes are formed on the electrodes formed on the semiconductor element, and are necessarily required to be small. Thus, an arrangement in which the small protruding electrodes

are used as external connection terminals to be electrically connected to the mounting board has a possibility that the protruding electrodes may not definitely be connected to the mounting board. On the other hand, the external connection protruding electrodes are provided separately from the protruding electrodes formed on the semiconductor element, and can freely be designed so as to be suitable for the structure of the mounting board. Hence, by forming the external connection protruding electrodes to the ends of the small-size protruding electrodes formed on the semiconductor element, it is possible to improve the mounting performance between the semiconductor device and the mounting board.

There is provided a method for mounting the semiconductor device characterized in that a plurality of semiconductor elements are arranged side by side so as to vertically stand by supporting members. Hence, the mounting density can be improved.

The method for mounting the semiconductor device may be configured so that a plurality of semiconductor elements are arranged side by side so that adjacent ones of the semiconductor elements are bonded by an adhesive. Hence, the semiconductor devices can be handled as a unit and can be mounted on the mounting board for each unit. Hence, the mounting efficiency can be improved.

The method for mounting the semiconductor device may be configured so that the semiconductor device is mounted on a mounting board through an interposer. Hence, the degree of freedom in mounting the semiconductor devices on the mounting board can be improved. If the interposer includes a multilayer substrate, the routing of wiring lines can arbitrarily be determined, so that the interchangeability between the electrodes (protruding electrodes and external connection electrodes) of the semiconductor devices

and those of the mounting board can easily be established.

The above-mentioned structures of the present invention correspond to first through twenty ninth embodiments (Figs. 1 through 77) of the present invention, which will be described later.

The following structures of the present invention correspond to thirtieth through fifty third embodiments (Figs. 1 through 117E), which will be described later.

There is provided a method for fabricating a semiconductor device comprising: a resin sealing step of loading a wiring board having a flexible member on which a semiconductor element and leads are arranged onto a mold and supplying sealing resin to the semiconductor element so as to seal the semiconductor element; and a protruding electrode forming step of forming protruding electrodes so as to be electrically connected to the leads formed on the wiring board, the resin sealing step uses a compression-molding process. In the resin sealing step, the wiring board is loaded onto the mold, and the semiconductor element is sealed by the sealing resin. In the protruding electrode forming step, the protruding electrodes are formed so as to be electrically connected to the leads formed on the wiring board. A compression molding method is used as means for sealing the semiconductor element in the resin sealing step. Hence, it is possible to definitely provide the resin to a narrow gap between the semiconductor element and the wiring board. Since the compression-molding process uses a comparatively low forming pressure, it is possible to prevent, in the resin molding step, the substrate from being deformed and prevent a load from being applied to electrical connections between the semiconductor elements and the wiring board. Hence, it is possible to the connection between the semiconductor element

and the wiring board from being broken during the resin sealing process.

The method for fabricating the semiconductor device may be configured so that a frame having a cavity portion in which the semiconductor element is accommodated is provided when the wiring board is formed. Hence, the substrate having flexibility can be supported by the frame, which can also protect the semiconductor element.

The method for fabricating the semiconductor device may be configured so that a film having a detachability with respect to the sealing resin is provided in a position of the mold facing the wiring board, so that the mold contacts the sealing resin through the film. In the above-described resin sealing step, as claimed in claim 9, connection electrodes to be connected to the semiconductor element are provided on end portions of extending portions, and the element connecting step of connecting the semiconductor element and the connection electrodes is carried out after the bending step. At the time of executing the bending step, the semiconductor element and the connection electrodes are not connected, so that the reliability of the connections between the semiconductor element and the connection electrodes can be improved.

That is, if the bending step is executed in the state in which the semiconductor element and the connection electrodes are connected, a load (generated by the bending step) may be applied to the connections at the time of bending the extending portions. If a large load is applied, the connections between the semiconductor element and the connection electrodes may be destroyed. In contrast, by executing the element connecting step after the bending step, no problem due to the load caused when bending the extending portions occurs. Hence, the reliability of

the connections between the semiconductor element and the connection electrodes can be improved.

The method for fabricating the semiconductor device may be configured so that a plate member having a detachability with respect to the sealing resin is provided in a position of the mold facing the wiring board, so that the mold contacts the sealing resin through the plate member. Since the sealing resin does not directly contact the mold, the detachability can be improved and highly reliable resin having good contactability can be used without a detachment agent.

The method for fabricating the semiconductor device may be configured so that the plate member is formed of a substance having a heat radiating performance. Hence, heat generated in the semiconductor element is radiated through the plate member serving as a heat radiating plate, and thus the semiconductor device has improved heat radiating performance.

The method for fabricating the semiconductor device may be configured so that there is provided an excess resin removing mechanism is provided in the mold used in the resin sealing step, wherein the excess resin removing mechanism removes excess resin and controls a pressure applied to the sealing resin in the mold. Hence, it is possible to measure the amount of sealing resin and to always execute the sealing process for the protruding electrodes with an appropriate amount. It is also possible to control the pressure applied to the sealing resin in the mold and to thus make uniform pressure applied to the sealing resin. Hence, the occurrence of babbles can be prevented.

The method for fabricating the semiconductor device may be configured so that: extending portions are formed to the wiring board so that the extending portions laterally extend from a position in which the

semiconductor element is placed; and a bending step of bending the extending portions is executed after the resin sealing step is completed and before the protruding electrode forming step is executed. The method may also be configured so that: extending portions are formed to the wiring board so that the extending portions laterally extend from a position in which the semiconductor element is placed; a bending step of bending the extending portions is carried out before the resin sealing step is executed; and the resin sealing step and the protruding electrode forming step are carried out after the bending step is executed. Thus, a comparatively wide area for the formation of the protruding electrodes. Hence, it is possible to increase the arrangement pitch for the protruding electrodes and to arrange an increased number of protruding electrodes. The bending step may be executed before or after the resin sealing step.

The method for fabricating the semiconductor device may be configured so that: connection electrodes to be connected to the semiconductor element are formed to ends of the extending portions; and an element connecting step of connecting the semiconductor element and the connection electrodes is executed after the bending step is carried out. Since the semiconductor element and the connection electrodes are not yet connected at the time of bending the extending portions, the reliability of the connections between the semiconductor element and the connection electrodes can be improved.

The method for fabricating the semiconductor device may be configured so that the connection electrodes are arranged in an interdigital formation, and have curved corners. Hence, it is possible to increase the areas of the connection electrodes and to thus simplify the process for making connections with the semiconductor element. When the connections

between the semiconductor element and the connection electrodes are made by a wire bonding method, stress generated when a bonding tool (ultrasonic welding tool) touches the connection electrodes can be decentralized because the corner portions of the connection electrodes are curved. Hence the process for electrically connecting the semiconductor element and the connection electrodes can definitely be carried out.

There is also provided a semiconductor device characterized by comprising: a semiconductor element; protruding electrodes functioning as external connection terminals; a wiring board having a flexible base on which leads are formed, the leads having ends connected to the semiconductor element and other ends connected to the protruding electrodes; and a sealing resin sealing the semiconductor element, there are provided extending portions that are formed to the wiring board so that the extending portions laterally extend from a position in which the semiconductor element is placed, the protruding electrodes being formed on the extending portions. A comparatively wide area can be obtained for forming the protruding electrodes. Hence, it is possible to increase the arrangement pitch for the protruding electrodes or arrange an increased number of protruding electrodes. The bending step may be carried out before or after the resin sealing step.

The semiconductor device may be configured so that there is provided a frame which supports the wiring board and has a cavity which accommodates the semiconductor element. Hence, the flexible wiring board can be supported by the frame and thus the semiconductor element can also be supported thereby.

The semiconductor device may be configured so that the protruding electrodes are mechanical bumps obtained by plastic-deforming the leads. The bumps

can be obtained by processing the leads, and thus ball members are not required to form the bumps. The plastic deformation directed to merely deforming the leads can easily form the protruding electrodes at low cost.

The following structures of the present invention correspond to fifty fourth through seventy third embodiments (Figs. 118A to 177), which will be described later.

There is also provided a semiconductor device characterized by comprising: a single or a plurality of semiconductor elements; a sealing resin which seals partially or totally the semiconductor element or elements; and an electrode plate which is provided in the sealing resin and is electrically connected to the semiconductor element or elements, the electrode plate having portions which are exposed from side surfaces of the sealing resin and function as external connection electrodes. The electrode plate is provided in the sealing resin for protecting the semiconductor element(s) and functions to reinforce the sealing resin. Hence, the reliability of the semiconductor device can be improved. The electrode plate is interposed between the semiconductor element(s) and the external connection terminals, and thus makes it possible to route the wiring lines between the semiconductor element(s) and the external connection terminals. This differs from an arrangement in which the external connection terminals are directly connected to the semiconductor element. The electrode plate increases the degree of freedom in layout of terminals of the semiconductor device. The electrode plate is formed of an electrically conductive metal having a better thermal conductivity than the sealing resin. Hence, heat generated in the semiconductor element(s) can efficiently be radiated through the electrode plate.

The external connection terminals of the electrode plate are exposed from the side surfaces of the sealing resin. Thus, it is possible to conduct an operation test for the semiconductor element(s) using the external connection terminals after the semiconductor device is mounted on the mounting board.

The semiconductor device may be configured so that the semiconductor element or elements are connected to the electrode plate in a flip-chip bonding formation. Hence, the semiconductor element(s) can definitely be bonded to the electrode plate in a comparatively narrow space, so that the semiconductor device can be down sized. Further, the connections have short wiring lengths, which reduces the impedance and meets a requirement for an increased number of pins.

The semiconductor device may be configured so that the electrode plate is exposed from a bottom surface of the sealing resin in addition to the side surfaces thereof, so that portions of the electrode plates exposed from the bottom surface function as external connection terminals. Hence, the semiconductor device can be mounted on the mounting board not only by one of the side surfaces but also the bottom surface. Hence, the degree of freedom in the mounting arrangement can be improved. For example, the semiconductor device can meet a requirement for face-down bonding which realizes a comparatively narrow space for mounting.

The semiconductor device may be configured so that protruding terminals are provided to the electrode plate, and are exposed from a bottom surface of the sealing resin, so that the protruding terminals function as external connection terminals. Hence, the external connection terminals can definitely be mounted on the mounting board. Since the electrode plate is embedded in the sealing resin except for the

external connection terminals, the adjacent external connection terminals are isolated from each other by the sealing resin. Hence, there is no possibility that the adjacent external connection terminals are short-circuited due to solder, so that the reliability of mounting can be improved.

The semiconductor device may be configured so that the protruding terminals are formed integrally with the electrode plate by plastic deforming the electrode plate. Hence, the number of components can be reduced and the protruding terminals can easily be formed, as compared to the protruding terminals are formed separately from the electrode plate.

The protruding terminals may be protruding electrodes formed in the electrode plate. Hence, the semiconductor device can be handled like a BGA (Ball Grid Array), and the mounting performance can be improved.

The semiconductor device may be configured so that the semiconductor element or elements are partially exposed from the sealing resin. The semiconductor device may also be configured so that there is provided a heat radiating member in a position close to the semiconductor element or elements. Hence, heat generated in the semiconductor element(s) can efficiently be radiated.

There is also provided a method for fabricating a semiconductor device characterized by comprising: an electrode plate forming step of forming a pattern on a metallic base so that an electrode plate is formed; a chip mounting step of mounting semiconductor elements on the electrode plate and electrically connecting the semiconductor elements thereto; a sealing resin forming step of forming a sealing resin which seals the semiconductor elements and the electrode plate; and a cutting step of cutting the sealing resin and the electrode plate at

boundaries between adjacent ones of the semiconductor elements so that the semiconductor devices are separated from each other. In the pattern forming process, an arbitrary routing pattern can be selected by the electrode plate. Hence, a certain degree of freedom in layout of the external connection terminals formed on the electrode plate. Further, the semiconductor elements and the electrode plate are sealed and protected by the sealing resin. Hence, the reliability of the semiconductor device can be improved. The subsequent cutting step cuts the sealing resin and the electrode plate at the boundaries between the semiconductor devices, so that the individual semiconductor devices can be formed. The electrode plate is exposed in the cut positions, and the exposed portions of the electrode plate can be used as external connection terminals.

The method for fabricating the semiconductor device may be configured so that the pattern is formed in the electrode plate forming step by etching or press processing. The etching or press processing is generally employed as a lead frame forming method. Hence, the electrode plate can be formed from the lead frame. Hence, the electrode plate forming step can be executed without increase in the fabrication facility.

The method for fabricating the semiconductor device may be configured so that the semiconductor elements are mounted, in the chip mounting step, on the electrode plate in a flip-chip bonding formation. Hence, the semiconductor elements and the electrode plate can definitely be connected in a narrow space. This leads to down sizing of the semiconductor devices. The connecting portions have a short length, and the impedance thereof can be reduced. Further, the above arrangement can meet a requirement for an increased number of pins.

The method for fabricating the semiconductor

device may be configured so that: a chip attachment step of positioning the semiconductor elements on the heat radiating member and attaching the semiconductor elements thereto before the chip mounting step is executed; and the semiconductor elements attached to the heat radiating member are mounted to the electrode plate in the chip mounting step. Hence, the semiconductor elements can be mounted to the electrode plate in the state in which the semiconductor elements are positioned on the heat radiating member. Hence, it is not required to perform the positioning process for each of the individual semiconductor elements, but to position the heat radiating member having a large size and the electrode plate only. Hence, the positioning process can easily be carried out.

The method for fabricating the semiconductor device may be configured so that protruding terminals protruding from the electrode plate are formed in the electrode plate forming step, and the sealing resin is formed so that the protruding terminals are exposed from the sealing resin in the sealing resin forming step. Also, according to the invention of claim 13, the protruding terminals are formed from the electrode plate, so that the protruding terminals and the electrode plate can simultaneously be formed. Hence, the method for fabricating the semiconductor device can be simplified. Also, in the sealing resin forming step, the sealing resin is formed so that the protruding terminals are exposed from the sealing resin. Hence, the external connection terminals can definitely be connected to the mounting board and occurrence of a shortcircuit between adjacent external connection terminals can be prevented.

There is also provided an mounting arrangement for mounting the above semiconductor device on a mounting board, characterized by comprising: a socket having an attachment portion to

which the semiconductor device is attached, and lead parts provided so as to be connected to the external connection terminals exposed from the sealing resin, the semiconductor device being attached to the socket, and the lead parts and the external connection terminals being connected, the lead parts being connected to the mounting board. Since the semiconductor device can be attached to the mounting board using the socket, the semiconductor device can easily be attached and detached. Thus, for example, if a situation takes place in which the mounted semiconductor device is required to be replaced by new one, the replacement process can easily be carried out. Also, the lead parts provided to the socket are arranged to the side portions of the thereof to which the semiconductor device is attached. Further, the external connection terminals of the semiconductor device are exposed from the side surfaces of the sealing resin. Hence, the lead parts and the external connection terminals face each other in the attached state, and can thus be connected without extending the lead parts. As a result, the structure of the socket can be simplified.

There is also provided a mounting arrangement for mounting the above semiconductor device a mounting board, characterized by comprising: bumps arranged to the protruding terminals for forming the external connection terminals, the semiconductor device being connected to the mounting board through the bumps. Hence the semiconductor device can be mounted in the same manner as the BGA (Ball Grid Array). Hence, the mounting performance can be improved and an increased number of pins can be employed.

There is also provided a mounting arrangement for mounting the semiconductor device as claimed in any of claims 59 to 64 on a mounting board,

characterized by comprising: a mounting member including connection pins that are flexibly deformable and are located in positions corresponding to those of the external connection terminals, and a positioning member positioning the connection pins, upper ends of the connection pins being connected to the external connection terminals of the semiconductor device, and lower ends thereof being connected to the mounting board. Hence, the connection pins are interposed between the external connection terminals and the mounting board. The connection pins are flexible, and are capable of absorbing stress due to a difference in thermal expansion coefficient between the semiconductor device and the mounting board during a thermal process. Hence, the connections between the external connection terminals and the mounting board can definitely be maintained irrespective of the stress, so that the reliability of mounting can be improved. The connection pins are positioned by the positioning member so as to be located in positions corresponding to those of the external connection terminals. Hence, it is not required to position the individual connection pins and the external connection terminals or the mounting board, so that the mounting operation can easily be carried out.

There is also provided a semiconductor device characterized by comprising: a semiconductor device main body having a semiconductor element having a surface on which protruding electrodes are directly formed, and a resin layer which is formed on the surface of the semiconductor element and seals the protruding electrodes except for ends thereof; an interposer to which the semiconductor device main body is attached, a wiring pattern to which the semiconductor device main body is connected being formed on a base member of the interposer; an anisotropic conductive film which has an adhesiveness

and a conductivity in a pressed direction and is interposed between the semiconductor device main body and the interposer, the anisotropic conductive film fixing the semiconductor device main body to the interposer and electrically connecting them; and external connection terminals which are connected to the wiring pattern through holes formed in the base member and are arranged on a surface of the semiconductor device main body opposite to the surface on which the protruding electrodes are provided. Thus, the resin layer protects the semiconductor element and the protruding electrodes, and also functions as an under fill resin. Further, the semiconductor device main body is attached to the interposer, and the wiring pattern is formed on the base member. Hence, the wiring pattern can arbitrarily be formed on the base member. The external connection terminals are connected to the wiring pattern via the holes formed in the base member. Since the wiring pattern can arbitrarily be set, the external connection terminals can be determined independently of the positions of the protruding electrodes provided on the semiconductor device main body. Hence, the degree of freedom in layout of the external connection terminals can be increased. Further, since the anisotropic conductive film has an adhesiveness and a conductivity in the pressing direction, the semiconductor device main body and the interposer can be connected by the anisotropic terminals. The adhesiveness of the anisotropic conductive film mechanically bonds the semiconductor device main body and the interposer, and the anisotropic conductivity electrically bonds (connects) them. As described above, the anisotropic conductive film has both the adhesiveness and the conductivity, it is possible to reduce the number of components and the number of assembly steps, as compared to an

arrangement in which the adhesiveness and the conductivity are implemented by respective members. Further, the anisotropic conductive film has flexibility, and is provided between the semiconductor device main body and the interposer. Hence, the anisotropic conductive film functions as a buffer film. Hence, the anisotropic conductive film is capable of relaxing stress generated between the semiconductor device main body and the interposer.

The semiconductor device may be configured so that an arrangement pitch for the protruding electrodes provided on the semiconductor device main body is equal to that for the external connection terminals provided on the interposer. Hence, the size of the interposer can be reduced, and the semiconductor device can be down sized.

The semiconductor device may be configured so that an arrangement pitch for the external connection terminals provided on the interposer is greater than that for the protruding electrodes provided on the semiconductor device. Hence, the degree of freedom in routing the wiring pattern on the interposer can be improved.

The semiconductor device may be configured so that there is provided an insulating member which is provided on the interposer and has holes located in positions facing the protruding electrodes. Hence, the pressing pressure applied when the semiconductor device main body is attached to the interposer concentrates on the holes. Thus, the conductivity at the holes can be enhanced, and thus the semiconductor device main body and the interposer can definitely be connected.

The semiconductor device may be configured so that the interposer comprises a TAB (Tape Automated Bonding) tape. The TAB tape is available as a component of the semiconductor devices at low cost.

Hence, the use of the TAB tape contributes to reducing the cost.

There is also provided a method for fabricating a semiconductor device, characterized by comprising: a semiconductor device main body forming step of forming a semiconductor device main body having a semiconductor element having a surface on which protruding electrodes are directly formed, and a resin layer which is formed on the surface of the semiconductor element and seals the protruding electrodes except for ends thereof; an interposer forming step of forming an interposer to which the semiconductor device main body is attached, a wiring pattern to which the semiconductor device main body is connected being formed on a base member of the interposer; a bonding step of bonding the semiconductor device main body and the interposer by an anisotropic conductive film which has an adhesiveness and a conductivity in a pressed direction, the anisotropic conductive film fixing the semiconductor device main body to the interposer and electrically connecting them; and an external connection terminal forming step of forming external connection terminals which are connected to the wiring pattern through holes formed in the base member and are arranged on a surface of the semiconductor device main body opposite to the surface on which the protruding electrodes are provided. Since the resin layer is provided to the surface of the semiconductor device main body so that the ends thereof remain, the resin layer protects the semiconductor element and the protruding electrodes, and functions as an under fill resin. The semiconductor device main body is attached to the interposer, and the wiring pattern to which the semiconductor device main body is connected is formed on the base member. Hence, the wiring pattern can arbitrarily be formed on the base member. The

external connection terminals are connected to the wiring pattern via the holes formed in the base member. Since the wiring pattern can arbitrarily be set, the external connection terminals can be determined independently of the positions of the protruding electrodes provided on the semiconductor device main body. Hence, the degree of freedom in layout of the external connection terminals can be increased. Further, since the anisotropic conductive film has an adhesiveness and a conductivity in the pressing direction, the semiconductor device main body and the interposer can be connected by the anisotropic terminals. The adhesiveness of the anisotropic conductive film mechanically bonds the semiconductor device main body and the interposer, and the anisotropic conductivity electrically bonds (connects) them. As described above, the anisotropic conductive film has both the adhesiveness and the conductivity, it is possible to reduce the number of components and the number of assembly steps, as compared to an arrangement in which the adhesiveness and the conductivity are implemented by respective members. Further, the anisotropic conductive film has flexibility, and is provided between the semiconductor device main body and the interposer. Hence, the anisotropic conductive film functions as a buffer film. Hence, the anisotropic conductive film is capable of relaxing stress generated between the semiconductor device main body and the interposer.

There is also provided a semiconductor device comprising: a semiconductor device main body having a semiconductor element having a surface on which protruding electrodes are directly formed, and a resin layer which is formed on the surface of the semiconductor element and seals the protruding electrodes except for ends thereof; an interposer to which the semiconductor device main body is attached,

a wiring pattern to which the semiconductor device main body is connected being formed on a base member of the interposer; an adhesive which is provided between the semiconductor device main body and the interposer and which bonds the semiconductor device main body to the interposer; a conductive member which electrically connects the semiconductor device main body and the interposer; and external connection terminals which are connected to the wiring pattern through holes formed in the base member and are arranged on a surface of the semiconductor device main body opposite to the surface on which the protruding electrodes are provided. Since the resin layer is provided to the surface of the semiconductor device main body so that the ends thereof remain, the resin layer protects the semiconductor element and the protruding electrodes, and functions as an under fill resin. The semiconductor device main body is attached to the interposer, and the wiring pattern to which the semiconductor device main body is connected is formed on the base member. Hence, the wiring pattern can arbitrarily be formed on the base member. The external connection terminals are connected to the wiring pattern via the holes formed in the base member. Since the wiring pattern can arbitrarily be set, the external connection terminals can be determined independently of the positions of the protruding electrodes provided on the semiconductor device main body. Hence, the degree of freedom in layout of the external connection terminals can be increased. Further, the adhesive mechanically bonds the semiconductor device main body and the interposer, and the conductive member electrically bonds (connects) the semiconductor device main body and the interposer. As described above, the mechanical bonding and electrical bonding can separately be implemented by the respective members, so that

substances respectively optimal to implementation of the functions (the mechanical bonding function and electrical bonding function) can be selected. Hence, the mechanical and electrical connections between the semiconductor device main body and the interposer can definitely be realized, and the reliability of the semiconductor device can be improved.

The adhesive has a given flexibility after it is hardened, and is provided between the semiconductor device main body and the interposer. Hence, the adhesive functions as a buffer film, and relaxes stress generated between the semiconductor device main body and the interposer.

The semiconductor device may be configured so that the conductive member is a conductive paste. Hence, a conductive member can be provided merely by coating the protruding electrodes or the wiring pattern of the interposer with the conductive paste. Thus, the work of assembling the semiconductor device can easily be performed. The conductive paste can be coated by a known transfer method or printing method, so that the conductive member can efficiently be provided.

The semiconductor device may be configured so that the conductive member comprises stud bumps. Hence, the protruding electrodes of the semiconductor element and the wiring pattern of the interposer can be connected through the stud bumps, so that electrical connections can definitely be made.

The semiconductor device may be configured so that the conductive member comprises flying leads, which are integrally formed with the wiring pattern and bypasses the adhesive so as to be connected to the protruding electrodes. Hence, there is no adhesive provided to the contacts between the flying leads and the protruding electrodes, and the reliability thereof can be improved. The flying leads have a spring

performance, and thus the flying leads are pressed against the protruding electrodes due to the spring function. This also improves the reliability of the electrical contacts between the flying leads and the protruding electrodes.

The semiconductor device may be configured so that connections between the protruding electrodes and the flying leads are sealed by resin. Hence, it is possible to prevent the flying leads from being deformed due to external force and to thus improve the reliability of the semiconductor device.

The semiconductor device may be configured so that the conductive member comprises: connection pins that are flexibly deformable and are located in positions corresponding to those of the protruding electrodes; and a positioning member positioning the connection pins, upper ends of the connection pins being connected to the protruding electrodes of the semiconductor device, and lower ends thereof being connected to the external connection terminals. Since the connection pins are flexible, even if stress is generated between the semiconductor device main body and the interposer due to a difference in thermal expansion coefficient therebetween, the stress will be absorbed by the connection pins. Hence, the connections between the external connection terminals and the protruding electrodes can definitely be maintained. Further, the connection pins are positioned by the positioning member so as to be located in positions corresponding to those of the protruding electrodes. Thus, it is not required to perform the positioning between the individual connection pins and the protruding electrodes or external connection terminals, so that the mounting work can easily be conducted.

The semiconductor device may be configured so that the positioning member is formed of a flexible

member. Thus, even if the connection pins are deformed, the positioning member is capable of following the above deformation and thus absorbing stress generated between the semiconductor device main body and the interposer.

There is also provided a method for fabricating a semiconductor device, characterized by comprising: a semiconductor device main body forming step of forming a semiconductor device main body having a semiconductor element having a surface on which protruding electrodes are directly formed, and a resin layer which is formed on the surface of the semiconductor element and seals the protruding electrodes except for ends thereof; an interposer forming step of forming an interposer to which the semiconductor device main body is attached, a wiring pattern to which the semiconductor device main body is connected being formed on a base member of the interposer; a conductive member arranging step of arranging a conductive member to at least one of the semiconductor device main body and the interposer; a bonding step of bonding the semiconductor device main body and the interposer by an adhesive and connecting them electrically; and an external connection terminal forming step of forming external connection terminals which are connected to the wiring pattern through holes formed in the base member and are arranged on a surface of the semiconductor device main body opposite to the surface on which the protruding electrodes are provided. Since the resin layer is provided to the surface of the semiconductor device main body so that the ends thereof remain, the resin layer protects the semiconductor element and the protruding electrodes, and functions as an under fill resin. The semiconductor device main body is attached to the interposer, and the wiring pattern to which the semiconductor device main body is connected is formed

on the base member. Hence, the wiring pattern can arbitrarily be formed on the base member. The external connection terminals are connected to the wiring pattern via the holes formed in the base member. Since the wiring pattern can arbitrarily be set, the external connection terminals can be determined independently of the positions of the protruding electrodes provided on the semiconductor device main body. Hence, the degree of freedom in layout of the external connection terminals can be increased. Further, the adhesive mechanically bonds the semiconductor device main body and the interposer, and the conductive member electrically bonds (connects) the semiconductor device main body and the interposer. As described above, the mechanical bonding and electrical bonding can separately be implemented by the respective members, so that substances respectively optimal to implementation of the functions (the mechanical bonding function and electrical bonding function) can be selected. Hence, the mechanical and electrical connections between the semiconductor device main body and the interposer can definitely be realized, and the reliability of the semiconductor device can be improved.

BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is a diagram of a resin sealing step of a method for fabricating a semiconductor device according to a first embodiment of the present invention and a mold for fabricating a semiconductor device according to the first embodiment of the present invention. Figs. 1A - 1C are diagrams showing a conventional semiconductor device and its fabrication method.

Fig. 2 is a diagram showing the resin sealing step in the method for fabricating the semiconductor device according to the first embodiment

of the present invention.

Fig. 3 is another diagram showing the resin sealing step in the method for fabricating the semiconductor device according to the first embodiment of the present invention.

Fig. 4 is yet another diagram showing the resin sealing step in the method for fabricating the semiconductor device according to the first embodiment of the present invention.

Fig. 5 is a further diagram showing the resin sealing step in the method for fabricating the semiconductor device according to the first embodiment of the present invention.

Fig. 6 is a diagram showing a protruding electrode exposing step in the method for fabricating the semiconductor device according to the first embodiment of the present invention, wherein (A) shows a substrate observed immediately after the resin sealing step is completed, and (B) is a diagram of an enlarged view of a part indicated by arrow A in (A).

Fig. 7 is another diagram showing the protruding electrode exposing step in the method for fabricating the semiconductor device according to the first embodiment of the present invention, wherein (A) shows the substrate observed when a film is flaking off, and (B) is a diagram of an enlarged view of a part indicated by arrow B in (B).

Fig. 8 is a diagram showing a separating step in the method for fabricating the semiconductor device according to the first embodiment of the present invention.

Fig. 9 is a diagram showing a semiconductor device according to the first embodiment of the present invention.

Fig. 10 is a diagram showing a method for fabricating a semiconductor device according to a second embodiment of the present invention and a mold.

for fabricating a semiconductor device according to a second embodiment of the present invention.

Fig. 11 is a diagram showing a method for fabricating a semiconductor device according to a third embodiment of the present invention.

Fig. 12 is a diagram showing a method for fabricating a semiconductor device according to a fourth embodiment of the present invention.

Fig. 13 is a diagram showing a method for fabricating a semiconductor device according to a fifth embodiment of the present invention.

Fig. 14 is another diagram showing a method for fabricating a semiconductor device according to a third embodiment of the present invention.

Fig. 15 is a diagram showing an arrangement in which a sheet resin is used as the sealing resin.

Fig. 16 is a diagram showing an arrangement in which potting is used as a means for supplying the sealing resin.

Fig. 17 is a diagram showing an arrangement in which the sealing resin is provided to the film.

Fig. 18 is a diagram showing a method for fabricating a semiconductor device according to a sixth embodiment of the present invention.

Fig. 19 is a diagram showing a method for fabricating a semiconductor device according to a seventh embodiment of the present invention, wherein (A) shows a substrate observed immediately after the resin sealing step is completed, and (B) is a diagram of an enlarged view of a part indicated by arrow C in (C).

Fig. 20 is another diagram showing the method for fabricating a semiconductor device according to the seventh embodiment of the present invention, wherein (A) shows the substrate observed when the film is flaking off, and (B) is a diagram of an enlarged view of a part indicated by arrow D in

(B).

Fig. 21 is yet another diagram showing the method for fabricating a semiconductor device according to the seventh embodiment of the present invention.

Fig. 22 is a diagram showing a mold for fabricating a semiconductor device according to a third embodiment of the present invention.

Fig. 23 is a diagram showing a mold for fabricating a semiconductor device according to a fourth embodiment of the present invention.

Fig. 24 is a diagram showing a mold for fabricating a semiconductor device according to a fifth embodiment of the present invention.

Fig. 25 is a diagram showing a mold for fabricating a semiconductor device according to a sixth embodiment of the present invention.

Fig. 26 is a diagram showing a semiconductor device according to a second embodiment of the present invention.

Fig. 27 is a diagram showing a semiconductor device according to a third embodiment of the present invention.

Fig. 28 is a diagram showing a method for fabricating a semiconductor device according to an eighth embodiment of the present invention.

Fig. 29 is a diagram showing a method for fabricating a semiconductor device according to a ninth embodiment of the present invention.

Fig. 30 is a diagram showing a method for fabricating a semiconductor device according to a tenth second embodiment of the present invention.

Fig. 31 is a diagram showing a method for fabricating a semiconductor device according to an eleventh embodiment of the present invention.

Fig. 32 is a diagram (part 1) showing a method for fabricating a semiconductor device

according to a twelfth embodiment of the present invention.

Fig. 33 is another diagram (part 2) showing the method for fabricating a semiconductor device according to the twelfth embodiment of the present invention.

Fig. 34 is a diagram showing a method for fabricating a semiconductor device according to a thirteenth embodiment of the present invention.

Fig. 35 is a diagram showing a method for fabricating a semiconductor device according to a fourteenth embodiment of the present invention.

Fig. 36 is a diagram showing a method for fabricating a semiconductor device according to a fifteenth embodiment of the present invention.

Fig. 37 is a diagram showing a method for fabricating a semiconductor device according to a sixteenth embodiment of the present invention.

Fig. 38 is a diagram showing a method for fabricating a semiconductor device according to a seventeenth embodiment of the present invention.

Fig. 39 is a diagram showing a method for fabricating a semiconductor device according to an eighteenth embodiment of the present invention.

Fig. 40 is a diagram of an enlarged view of a substrate used in Fig. 39.

Fig. 41 is a diagram showing a method for fabricating a semiconductor device according to a nineteenth embodiment of the present invention.

Fig. 42 is a diagram showing a method for fabricating a semiconductor device according to a twentieth embodiment of the present invention.

Fig. 43 is a diagram showing a method for fabricating a semiconductor device according to a twenty first embodiment of the present invention.

Fig. 44 is a diagram showing a method for fabricating a semiconductor device according to a

twenty second embodiment of the present invention.

Fig. 45 is a diagram showing a method for fabricating a semiconductor device according to a twenty third embodiment of the present invention.

Fig. 46 is a diagram showing a semiconductor device in which positioning grooves are formed.

Fig. 47 is a diagram showing a method for fabricating a semiconductor device according to a twenty fourth embodiment of the present invention.

Fig. 48 is a diagram showing a method for fabricating a semiconductor device according to a twenty fifth embodiment of the present invention.

Fig. 49 is a diagram showing a method for fabricating a semiconductor device according to a twenty sixth embodiment of the present invention.

Fig. 50 is a diagram showing a method for fabricating a semiconductor device according to a twenty seventh embodiment of the present invention.

Fig. 51 is a diagram showing a conventional bump structure.

Fig. 52 is a diagram showing a method for mounting a semiconductor device according to a first embodiment of the present invention.

Fig. 53 is a diagram showing a method for mounting a semiconductor device according to a second embodiment of the present invention.

Fig. 54 is a diagram showing a method for mounting a semiconductor device according to a third embodiment of the present invention.

Fig. 55 is a diagram showing a method for mounting a semiconductor device according to a fourth embodiment of the present invention.

Fig. 56 is a diagram showing a method for mounting a semiconductor device according to a fifth embodiment of the present invention.

Fig. 57 is a diagram showing a method for mounting a semiconductor device according to a sixth

embodiment of the present invention.

Fig. 58 is a diagram showing a method for mounting a semiconductor device according to a seventh embodiment of the present invention.

Fig. 59 is a diagram showing a method for fabricating a semiconductor device according to a twenty eighth embodiment of the present invention.

Fig. 60 is a diagram (part 1) showing a method for fabricating a semiconductor device according to a twenty ninth embodiment of the present invention.

Fig. 61 is another diagram (part 2) showing the method for fabricating a semiconductor device according to the twenty ninth embodiment of the present invention.

Fig. 62 is yet another diagram (part 3) showing the method for fabricating a semiconductor device according to the twenty ninth embodiment of the present invention.

Fig. 63 is a diagram showing a semiconductor device according to a fourth embodiment of the present invention.

Fig. 64 is a diagram showing a method for mounting a semiconductor device according to an eighth embodiment of the present invention.

Fig. 65 is a diagram showing a method for mounting a semiconductor device according to a ninth embodiment of the present invention.

Fig. 66 is a diagram showing a method for mounting a semiconductor device according to a tenth embodiment of the present invention.

Fig. 67 is a diagram showing a method for mounting a semiconductor device according to an eleventh embodiment of the present invention.

Fig. 68 is a diagram (part 1) showing another method for mounting a semiconductor device.

Fig. 69 is a diagram (part 2) showing

another method for mounting a semiconductor device.

Fig. 70 is a diagram (part 3) showing another method for mounting a semiconductor device.

Fig. 71 is a diagram showing another semiconductor device.

Fig. 72 is a diagram (part 1) showing yet another method for mounting a semiconductor device.

Fig. 73 is a diagram (part 2) showing yet another method for mounting a semiconductor device.

Fig. 74 is a diagram (part 3) showing yet another method for mounting a semiconductor device.

Fig. 75 is a diagram (part 4) showing yet another method for mounting a semiconductor device.

Fig. 76 is a diagram showing a variation of the mold for fabricating a semiconductor device according to the sixth embodiment of the present invention.

Fig. 77 is a diagram showing another variation of the mold for fabricating a semiconductor device according to the sixth embodiment of the present invention.

Fig. 78 is a diagram showing a semiconductor device according to a thirtieth embodiment of the present invention.

Fig. 79 is a diagram (part 1) showing a method for fabricating the semiconductor device according to the thirtieth embodiment of the present invention.

Fig. 80 is a diagram (part 2) showing a method for fabricating the semiconductor device according to the thirtieth embodiment of the present invention.

Fig. 81 is a diagram showing a semiconductor device according to a thirty first embodiment of the present invention.

Fig. 82 is a diagram (part 1) showing a method for fabricating the semiconductor device.

according to the thirty first embodiment of the present invention.

Fig. 83 is a diagram (part 2) showing a method for fabricating the semiconductor device according to the thirty first embodiment of the present invention.

Fig. 84 is a diagram showing a semiconductor device according to a thirty second embodiment of the present invention.

Fig. 85 is a diagram showing a semiconductor device according to a thirty third embodiment of the present invention.

Fig. 86 is a diagram showing a semiconductor device according to a thirty fourth embodiment of the present invention.

Fig. 87 is a diagram showing an excess resin removing mechanism.

Fig. 88 is a diagram showing a semiconductor device according to a thirty fifth embodiment of the present invention.

Fig. 89 is a diagram (part 1) showing a method for fabricating the semiconductor device according to the thirty fifth embodiment of the present invention.

Fig. 90 is a diagram (part 2) showing a method for fabricating the semiconductor device according to the thirty fifth embodiment of the present invention.

Fig. 91 is a diagram showing a semiconductor device and its fabrication method according to a thirty sixth embodiment of the present invention.

Fig. 92 is a diagram showing a semiconductor device and its fabrication method according to a thirty seventh embodiment of the present invention.

Fig. 93 is a diagram showing a semiconductor device and its fabrication method according to a thirty eighth embodiment of the present invention.

Fig. 94 is a diagram showing a semiconductor device and its fabrication method according to a thirty ninth embodiment of the present invention.

Fig. 95 is a diagram showing a semiconductor device and its fabrication method according to a fortieth embodiment of the present invention.

Fig. 96 is a diagram showing a semiconductor device and its fabrication method according to a forty first embodiment of the present invention.

Fig. 97 is a diagram showing a semiconductor device and its fabrication method according to a forty second embodiment of the present invention.

Fig. 98 is a diagram showing a semiconductor device and its fabrication method according to a forty third embodiment of the present invention.

Fig. 99 is a diagram showing a semiconductor device and its fabrication method according to a forty fourth embodiment of the present invention.

Fig. 100 is a diagram showing a semiconductor device and its fabrication method according to a forty fifth embodiment of the present invention.

Fig. 101 is a diagram showing a semiconductor device and its fabrication method according to a forty sixth embodiment of the present invention.

Fig. 102 is a diagram showing a semiconductor device and its fabrication method according to a forty seventh embodiment of the present invention.

Fig. 103 is a diagram showing another embodiment of a wiring board (part 1).

Fig. 104 is a diagram showing yet another embodiment of a wiring board (part 2).

Fig. 105 is a diagram showing a further embodiment of a wiring board (part 3).

Fig. 106 is a diagram showing a still

further embodiment of a wiring board (part 4).

Fig. 107 is a diagram showing yet another embodiment of a wiring board (part 5).

Fig. 108 is a diagram showing another embodiment of a wiring board (part 6).

Fig. 109 is a diagram showing a further embodiment of a wiring board (part 7).

Fig. 110 is a diagram showing a variation of the wiring board shown in Fig. 106.

Fig. 111 is a diagram showing a semiconductor device according to a forty eighth embodiment of the present invention.

Fig. 112 is a diagram (part 1) showing a method for fabricating the semiconductor device according to the forty eighth embodiment of the present invention.

Fig. 113 is a diagram (part 2) showing a method for fabricating the semiconductor device according to the forty eighth embodiment of the present invention.

Fig. 114 is a diagram showing a semiconductor device and its fabrication method according to a forty ninth embodiment of the present invention.

Fig. 115 is a diagram showing a semiconductor device and its fabrication method according to a fiftieth embodiment of the present invention.

Fig. 116 is a diagram showing semiconductor devices according to fifty first through fifty third embodiments of the present invention.

Fig. 117 is a diagram showing various semiconductor devices to which mechanical bumps are applied.

Fig. 118 is a diagram showing a semiconductor device according to a fifth fourth embodiment of the present invention.

Fig. 119 is a diagram (part 1) showing a method for fabricating the semiconductor device according to the fifty fourth embodiment of the present invention.

Fig. 120 is a diagram (part 2) showing a method for fabricating the semiconductor device according to the fifty fourth embodiment of the present invention.

Fig. 121 is a diagram (part 3) showing a method for fabricating the semiconductor device according to the fifty fourth embodiment of the present invention.

Fig. 122 is a diagram (part 4) showing a method for fabricating the semiconductor device according to the fifty fourth embodiment of the present invention.

Fig. 123 is a diagram showing a semiconductor device according to a fifty fifth embodiment of the present invention.

Fig. 124 is a diagram showing a semiconductor device according to a fifty sixth embodiment of the present invention.

Fig. 125 is a diagram showing a semiconductor device according to a fifty seventh embodiment of the present invention.

Fig. 126 is a diagram (part 1) showing a method for fabricating the semiconductor device according to the fifty fifth embodiment of the present invention.

Fig. 127 is a diagram (part 2) showing a method for fabricating the semiconductor device according to the fifty fifth embodiment of the present invention.

Fig. 128 is a diagram showing a mounting arrangement for a semiconductor device according to a fifty fourth embodiment of the present invention.

Fig. 129 is a diagram showing a mounting

arrangement for a semiconductor device according to a fifty fifth embodiment of the present invention.

Fig. 130 is a diagram showing a mounting arrangement for a semiconductor device according to a fifty sixth embodiment of the present invention.

Fig. 131 is a diagram showing a mounting arrangement for a semiconductor device according to a fifty seventh embodiment of the present invention.

Fig. 132 is a diagram showing a mounting arrangement for a semiconductor device according to a fifty eighth embodiment of the present invention.

Fig. 133 is a diagram showing a mounting arrangement for a semiconductor device according to a fifty ninth embodiment of the present invention.

Fig. 134 is a diagram showing a mounting arrangement for a semiconductor device according to a sixtieth embodiment of the present invention.

Fig. 135 is a diagram showing a semiconductor device according to a fifth seventh embodiment of the present invention.

Fig. 136 is a diagram (part 1) showing a method for fabricating a semiconductor device according to a fifty sixth embodiment of the present invention.

Fig. 137 is a diagram (part 2) showing a method for fabricating the semiconductor device according to the fifty sixth embodiment of the present invention.

Fig. 138 is a diagram (part 3) showing a method for fabricating the semiconductor device according to the fifty sixth embodiment of the present invention.

Fig. 139 is a diagram (part 4) showing a method for fabricating the semiconductor device according to the fifty sixth embodiment of the present invention.

Fig. 140 is a diagram (part 5) showing a

method for fabricating the semiconductor device according to the fifty sixth embodiment of the present invention.

Fig. 141 is a diagram (part 6) showing a method for fabricating the semiconductor device according to the fifty sixth embodiment of the present invention.

Fig. 142 is a diagram showing a semiconductor device according to a fifty ninth embodiment of the present invention.

Fig. 143 is a diagram showing a semiconductor device according to a sixtieth embodiment of the present invention.

Fig. 144 is a diagram showing a semiconductor device according to a sixty first embodiment of the present invention.

Fig. 145 is a diagram showing a semiconductor device according to a sixty second embodiment of the present invention.

Fig. 146 is a diagram showing a semiconductor device according to a sixty third embodiment of the present invention.

Fig. 147 is a diagram showing a semiconductor device according to a sixty fourth embodiment of the present invention.

Fig. 148 is a diagram showing a method for fabricating a semiconductor device according to a fifty seventh embodiment of the present invention.

Fig. 149 is a diagram showing a semiconductor device according to a sixty fifth embodiment of the present invention.

Fig. 150 is a diagram showing a method for fabricating a semiconductor device according to a fifty eighth embodiment of the present invention (part 1).

Fig. 151 is a diagram showing a method for fabricating a semiconductor device according to the

fifty eighth embodiment of the present invention (part 2).

Fig. 152 is a diagram showing a semiconductor device according to a sixty sixth embodiment of the present invention.

Fig. 153 is a diagram showing a method for fabricating a semiconductor device according to a fifty ninth embodiment of the present invention.

Fig. 154 is a diagram showing a semiconductor device according to a sixty seventh embodiment of the present invention.

Fig. 155 is a diagram showing a method for fabricating a semiconductor device according to a sixtieth embodiment of the present invention (part 1).

Fig. 156 is a diagram showing the method for fabricating a semiconductor device according to the sixtieth embodiment of the present invention (part 2).

Fig. 157 is a diagram showing the method for fabricating a semiconductor device according to the sixtieth embodiment of the present invention (part 3).

Fig. 158 is a diagram showing a semiconductor device according to a sixty eighth embodiment of the present invention.

Fig. 159 is a diagram showing a method for fabricating a semiconductor device according to a sixty first embodiment of the present invention.

Fig. 160 is a diagram showing a semiconductor device according to a sixty ninth embodiment of the present invention.

Fig. 161 is a diagram showing a method for fabricating a semiconductor device according to a sixty second embodiment of the present invention (part 1).

Fig. 162 is a diagram showing the method for fabricating a semiconductor device according to the sixty second embodiment of the present invention (part 2).

Fig. 163 is a diagram showing the method for fabricating a semiconductor device according to the sixty second of the present invention (part 3).

Fig. 164 is a diagram showing a semiconductor device according to a seventieth embodiment of the present invention.

Fig. 165 is a diagram showing a method for fabricating a semiconductor device according to a sixty third embodiment of the present invention.

Fig. 166 is a diagram showing a semiconductor device according to a seventy first embodiment of the present invention.

Fig. 167 is a diagram showing a method for fabricating a semiconductor device according to a sixty fourth embodiment of the present invention (part 1).

Fig. 168 is a diagram showing the method for fabricating a semiconductor device according to the sixty fourth embodiment of the present invention (part 2).

Fig. 169 is a diagram showing the method for fabricating a semiconductor device according to the sixty fourth of the present invention (part 3).

Fig. 170 is a diagram showing the method for fabricating a semiconductor device according to the sixty fourth embodiment of the present invention (part 4).

Fig. 171 is a diagram showing the method for fabricating a semiconductor device according to the sixty fourth of the present invention (part 5).

Fig. 172 is a diagram showing a semiconductor device according to a seventy second embodiment of the present invention.

Fig. 173 is a diagram showing a method for fabricating a semiconductor device according to a sixty fifth embodiment of the present invention (part 1).

Fig. 174 is a diagram showing the method for fabricating a semiconductor device according to the sixty fifth embodiment of the present invention (part 2).

Fig. 175 is a diagram showing the method for fabricating a semiconductor device according to the sixty fifth of the present invention (part 3).

Fig. 176 is a diagram showing a semiconductor device according to a seventy third embodiment of the present invention.

Fig. 177 is a diagram showing a method for fabricating a semiconductor device according to a sixty sixth embodiment of the present invention.

BEST MODES CARRYING OUT THE INVENTION

A description will be given, with reference to the accompanying drawings, of embodiments of the present invention.

Figs. 1 through 8 show a method for fabricating a semiconductor device according to a first embodiment of the present invention in accordance with a production sequence. Fig. 9 shows a semiconductor device 10 fabricated by the fabrication method according to the first embodiment of the present invention.

First, referring to parts (A) and (B) of Fig. 9, a description will be given of the semiconductor device 10 fabricated by the fabrication method shown in Figs. 1 through 8 according to the first embodiment of the present invention. The semiconductor device 10 has a very simple structure, which is generally made up of a semiconductor element 11, bumps 12 serving as protruding electrodes, and a resin layer 13.

The semiconductor element 11 (semiconductor chip) has a semiconductor substrate on which electronic circuits are formed. A large number of

bumps 12 are arranged on a mount surface of the semiconductor substrate. The bumps 12 are provided by, for example, arranging semiconductor balls on the mount surface by a transfer method, and function as external connection electrodes. In the present embodiment, the bumps 12 are provided directly on electrode pads (not shown) formed on the semiconductor element 11.

The resin layer 13 (indicated by a pear-skin illustration) is formed of, for example, thermosetting resin such as polyimide and epoxy resin (PPS, PEK, PES and thermoplastic resin such as heat-resistant liquid crystal resin), and is provided on the whole bump formation surface of the semiconductor element 11. Hence, the bumps 12 arranged on the semiconductor element 11 are sealed by the resin layer 13 so that ends of the bumps 12 are exposed from the resin layer 13. That is, the resin layer 13 is provided to the semiconductor element 11 so as to seal the bumps 12 except for the ends thereof.

The semiconductor device 10 having the above structure has a chip-size package structure in which the whole size thereof is approximately equal to the size of the semiconductor chip 11. Hence, the semiconductor 10 sufficiently meets a recent requirement for down sizing.

As described above, the semiconductor device 10 has the resin layer 13 which is provided on the semiconductor element 11 and seals the bumps 12 so that the ends thereof are exposed. Hence, the bumps 12 which are liable to take scratches are protected by the resin layer 13, which thus has the same function as the under fill resin 6 conventionally used (see Fig. 78).

That is, it is possible to prevent occurrence of a break of the bonded portions between the semiconductor element 11, the bumps 12, a mount

board 14, the bumps 12 and connection electrodes 15 and a break of the bonded portions between the bumps 12 and the semiconductor element 11.

Fig. 9(B) is a diagram for explaining a method for mounting the semiconductor device 10 on the mount board 14. The connection electrodes 15 formed on the mount board 14 and the bumps 12 are positioned in order to mount the semiconductor device 10 on the mount board 14.

Before the above mounting process, the resin layer 13 are provided beforehand to the semiconductor element 11 of the semiconductor device 10. Hence, it is not necessary to fill the space between the semiconductor element 11 and the mount board 14 with the under fill resin in the step of mounting the semiconductor device 10 on the mount board 14. Hence, the mounting process can be performed easily.

In the mounting process, a heat process is executed in order to bond the solder bumps 12 to the connection electrodes 15. The bumps 12 provided to the semiconductor element 11 are protected by the resin layer 13. Hence, even if a difference in thermal expansion between the semiconductor element 11 and the mount board 14 occurs, the mounting process can definitely be carried out.

Even if heat is applied after the semiconductor device 10 is mounted on the mount board 14 and a thermal expansion difference occurs, the bumps 12 can definitely be retained by the resin layer 13 and can thus be prevented from flaking off the connection electrodes 15. Hence, the reliability of mounting the semiconductor device 10 can be improved.

A description will be given, with reference to Figs. 2 through 9, of the method for fabricating the semiconductor device 10 (a fabrication method according to the first embodiment of the present invention.

The semiconductor device 10 can be fabricated by a fabrication process which is generally made up of a semiconductor element forming step, a bump formation step, a resin sealing step, a protruding electrodes exposure step, and a mold detaching step. The semiconductor element forming step is directed to forming a circuit on the substrate by using the eximer laser technique or the like. The bump formation step is directed to forming the bumps 12 on the surface of the semiconductor element 11 on which a circuit is formed by the transfer method.

The semiconductor element formation step and the bump formation step can be performed by the well-known technique, while the present invention has essential features mainly related to the resin sealing step and following steps. Thus, the following description is mainly addressed to the resin sealing step and some steps following the resin sealing step.

Fig. 1 through 5 show the resin sealing step.

The resin sealing step is further subdivided into a substrate loading step, a resin layer forming step, and a mold detaching step. The resin sealing step commences loading a substrate 16 (wafer) onto a mold 20 for fabricating semiconductor devices, a large number of bumps 12 being formed on the substrate 16 through the semiconductor element formation step and the bump formation step.

A description will now be given of the mold 20 for use in fabrication of semiconductor devices (hereinafter merely referred to as mold 20) according to the first embodiment of the present invention.

The mold 20 is made up of an upper mold 21 and a lower mold 22, which are respectively equipped with heaters that are not shown. A sealing resin 35 which will be described later can be heated and fused by the heaters.

The upper mold 21 can be elevated in directions Z1 and Z2 indicated by an arrow by means of an elevating apparatus that is not shown. The lower surface of the upper mold 21 is a cavity surface 21a, which is flat. The upper mold 21 has a very simple shape, which can be produced at a less-expensive cost.

The lower mold 22 is made up of a first lower mold half body 23 and a second lower mold half body 24. The first lower mold half body 23 has a shape that corresponds to the shape of the substrate 16, and is, more particularly, slightly greater than the substrate 16. The substrate 16 is loaded onto a cavity surface 25 formed on the upper surface of the first lower mold half body 23.

The second lower mold half body 24 has an approximately ring shape which surrounds the first lower mold half body 23. The second lower mold half body 24 can be elevated in the directions indicated by the arrows Z1 and Z2 by means of an elevating apparatus which is not shown. The second lower mold half body 24 has an inner peripheral wall which defines a cavity surface 26. A slant surface 27 facilitating a mold detaching step is formed in a given upper range of the cavity surface 26.

In the state immediately after the resin sealing step is started, as shown in Fig. 1, the second lower mold half body 24 is located above the first lower mold half body 23 in the direction Z2. Hence, the substrate 16 can be placed in a recess (cavity) defined by the first and second mold half bodies 23 and 24. The substrate 16 is loaded so that the surface on which the bumps 12 are provided faces upwards. Hence, the bumps 12 on the substrate 16 in the loaded state face the upper mold 21.

After the substrate 16 is loaded onto the lower mold 22, a film 30 is provided below the upper mold 21 so that it does not have any deformation.

Then, the sealing resin is placed on the bumps 12 of the substrate 16.

The film 30 can be formed of, for example, polyimide, chloroethylene, PC, Pet, statical resin, paper such as synthetic paper, metallic foil or a composition thereof, and is required not to be degraded by heat applied at the time of molding the resin. Further, the film 30 is required to have a given elasticity in addition to the above heat-resistance performance. The given elasticity is defined so that it allows the ends of the bumps 12 to fall in the film 30 at the time of sealing, which will be described later.

The sealing resin 35 is formed of resin such as polyimide, epoxy resin (PPS, PEEK, PES and thermoplastic resin such as heat-resistant liquid crystal resin). In the present embodiment, the sealing resin 35 has a cylindrical shape. The sealing resin 35 is positioned in the center of the substrate 16, as shown in Fig. 2 (which is a plan view of the lower mold 22). The above is the substrate loading step.

In the substrate loading step, the arranging of the film 30 is not limited to the time after the substrate 16 is loaded onto the lower mold 22 but may be carried out before the substrate 16 is loaded.

Subsequent to the substrate loading step, the resin layer forming step is carried out. After the resin layer forming step is initiated, it is confirmed that the temperature of the sealing resin 35 is raised, due to heating through the mold 20, to a level which can fuse the resin 35 (it will not be required to confirm the temperature of the resin 35 if the resin 35 is not high). Then, the upper mold 21 is moved in the direction Z1.

Then, the upper mold 21 comes into contact with the upper surface of the lower mold half body 24.

Then, the film arranged below the upper mold 21 is cramped between the upper mold 21 and the second lower mold half body 24, as shown in Fig. 3. At this time, the cavity 28 is defined in the mold 21 by the cavity surfaces 24a, 25 and 26.

The sealing resin 35 is compression-urged by the upper mold 21 moving the direction Z1 through the film 30, and is heated to the temperature which fuses the sealing resin 35. Thus, as shown, the sealing resin 35 becomes wider on the substrate 16.

After the upper mold 21 comes into contact with the second lower mold half body 24, the upper mold 21 and the second lower mold half body 24 maintain the film 30 in the cramped state and integrally moves down in the direction Z1. That is, the upper mold 21 and the second lower mold half body 24 move together in the direction Z1.

The first lower mold half body 23 of the lower mold 22 is maintained in the fixed state. Hence, the volume of the cavity 28 is decreased as the upper mold 12 the second lower mold half body 24 move in the direction Z1. Hence, the sealing resin 35 is compressed and molded in the cavity 28 (the above resin molding method is called compression molding method).

More specifically, the sealing resin 35 placed in the center of the substrate 16 is softened by heating and is compressed by the descent of the upper mold 21. Hence, the sealing resin 35 is pressed and widened so that it extends towards the outer peripheral from the center position. Thus, the bumps 12 provided on the substrate 16 are successively sealed by the sealing resin 35 towards the outer periphery from the center portion.

During the above step, if the upper mold 21 and the second lower mold half body 24 move at a relatively high speed, the compression pressure

generated by the compression molding will be increased to a level which may damage the bumps 12. If the upper mold 21 and the second lower mold half body 24 move at a relatively low speed, the efficiency in fabrication will be degraded. With the above in mind, the moving speed of the upper mold 21 and the second lower mold half body 24 is selected to an appropriate value at which the above two problems do not occur.

The upper mold 21 and the second lower mold half body 24 move down until the film 30 clamped comes into contact with the bumps 12 with pressure. In the state in which the film 30 contacts the bumps 20 with a pressure, the sealing resin 35 seals all the bumps 12 and the substrate 16. Fig. 4 shows a state in which the resin layer forming step is completed. In this state, the film 30 is urged towards the substrate 16 and is in contact therewith with a pressure. Hence, the ends of the bumps 12 fall in the film 30. Further, the sealing resin 35 is provided on the entire surface of the substrate 16, so that the resin layer 13 sealing the bumps 12 is formed.

The amount of resin of the resin layer 35 is obtained beforehand so that the resin layer 13 has a height approximately equal to that of the bumps 12 when the resin layer forming step is completed. By selecting an appropriate amount of resin beforehand, it is possible to prevent excessive resin from flowing out of the mold 20 and prevent occurrence of incomplete sealing of the bumps 12 and the substrate 16 by an insufficient amount of resin.

The resin layer forming step is followed by the mold detaching step. The mold detaching step commences moving up the upper mold 21 in the direction Z2. The resin layer 13 is fixed to the slant portion 27 of the second lower mold half body 24. Hence, the substrate 16 and the resin layer 13 are retained in the lower mold 22. Hence, only upper mold 21 is

detached from the film 30 by lifting the upper mold 21.

Subsequently, the second lower mold half body 24 is slightly moved in the direction Z1 with respect to the first lower mold half body 23. The left side with respect to the center line shown in Fig. 5 shows that the upper mold 21 is moved up and the second lower mold half body 24 is slightly moved in the direction Z1. By moving the second lower mold half body 24 in the direction Z1 with respect to the first lower mold half body 23, it becomes possible to detach the slant portion 27 and the resin layer 13 from each other.

The slant portion 27 and the resin layer 13 are detached from each other, and then the second lower mold half body 24 starts to move in the direction Z2. Hence, the upper surface of the second lower mold half body 24 comes into contact with the film 30, and the slant portion 27 comes into contact with the side wall of the resin layer 13. Hence, the substrate 16 is urged in the direction Z2 by the ascent of the second lower mold half body 24.

The film 30, which is still fixed to the resin layer 13, is moved and urged. Hence, the substrate 16 to which the resin layer 13 is provided is detached from the first lower mold half body 23. Thus, as shown on the right side with respect to the center line in Fig. 5, the substrate 16 to which the resin layer 13 is provided is detached from the mold 20.

In the example shown in Fig. 5, there is an interface portion in which the first lower mold half body 23 and the resin layer 13 are fixed to each other. The above interface portion is comparatively narrow and adhesive force exerted on the interface portion is weak. Hence, by moving the second lower mold half body 24 in the direction Z2, the substrate

16 to which the resin layer 13 is provided can definitely be detached from the first lower mold half body 23.

As described above, the resin layer 13 is compression-molded by the mold 20 in the resin layer forming step. In addition, the sealing resin 35 from which the resin layer 13 is formed is not provided between the conventional narrow space between the semiconductor device 1 and the mount board 5 (see Fig. 78). That is, the sealing resin 35 is mounted on the surface of the substrate 16 on which the bumps 12 are arranged, and is then molded.

Hence, the resin layer 13 can definitely be provided on the whole surface of the substrate 16 on which the bumps 12 are formed, and can definitely be provided in a narrow space having a height approximately equal to the height of the bumps 12. Hence, all the bumps 12 formed on the substrate 16 can definitely be sealed by the resin layer 13, which thus supports all the bumps 12. Hence, at the time of applying heat as described with reference to Fig. 9, it is possible to definitely prevent occurrence of a break of a bonded portion between the bumps 12 and the mount board 14 and improve the reliability of the semiconductor device 10.

As described previously, the lower mold 22 of the mold 20 is made up of the fixed first lower mold half body 23 and the second lower mold half body 24 that can be elevated with respect to the first lower mold half body 23. Hence, by elevating the second lower mold half body 24 with respect to the first lower mold half body 23 after the resin layer 13 is formed, the substrate 16 to which the resin layer 13 is provided can easily be taken out of the mold 20.

After the above resin sealing step, the protruding electrode exposing step is carried out. Figs. 6 and 7 show the protruding electrode exposing

step. When the resin sealing step is completed, as shown in Fig. 6, the film 30 is fixed to the resin layer 13. Since the film 30 is made of an elastic material, the ends of the bumps 12 fall in the film 30 through the resin layer 13. That is, the ends of the bumps 12 are not covered by the resin layer 13 (this state is enlarged in Fig. 6(B)).

In the protruding electrode exposing step of the present embodiment, as shown in Fig. 7(A), the film 30 is detached from the resin layer 13. Hence, as shown in Fig. 7(B), the ends of the bumps 12 are exposed from the resin 13, and the mounting step can be carried out by using the exposed ends of the bumps 12.

As described above, the protruding electrode exposing step of the present embodiment is a simple process of merely detaching the film 30 from the resin layer 13, and can be executed efficiently and easily.

As has been described previously, the film 30 is attached to the mold 20 so that it does not have any deformation. The cavity surface 24a of the upper mold 21 is flat. The film 30 has a uniform quality and even elasticity on the whole surface thereof. Hence, the bumps 12 equally fall in the film 30.

Hence, the ends of the bumps 12 equally protrude from the resin layer 13, and the semiconductor devices 10 have a uniform quality and uniform contacts with the connection electrodes 15.

In the above description, the ends of the bumps 12 are completely exposed from the resin layer 13 after the film 30 is detached from the resin layer 13 by the protruding electrode exposing step. Alternatively, the ends of the bumps 12 may slightly be covered by a resin film (the sealing resin 35) after the film 30 is detached. With the above structure, the upper ends of the bumps 12 that are liable to take scratches are protected by the resin

film, so that the bumps 12 can be prevented from contacting outside air and being oxidized.

The resin film is unnecessary to mount the bumps 12 on a mount board and is thus required to be removed. The removing step can be carried out any time before the mounting.

A separating step follows the above protruding electrode exposing step.

Fig. 8 shows the separating step. As shown in this figure, the separating step cuts the substrate 16 along with the resin layer 13 by using a dicer 29 so that the semiconductor elements 11 can be obtained. Thus, the semiconductor device 10 shown in Fig. 9 is obtained.

The dicing step using the dicer 29 is employed in general methods of fabricating semiconductor devices and does not have a particular difficulty. Although the resin layer 13 is provided on the substrate 16, the dicer 29 can easily cut the resin layer 13.

A description will now be given, with reference to Fig. 10, of a semiconductor device fabrication method and a mold 20A for fabricating semiconductor devices (hereinafter simply referred to as mold 20A) according to a second embodiment of the present invention. In Fig. 10, parts that have the same structures as those of parts of the first embodiment described with reference to Figs. 1 through 9 are given the same reference numbers, and a description thereof will be omitted.

The mold 20A used in the present embodiment is generally composed of the upper mold 21 and a lower mold 22A. The upper mold 21 and the first lower mold half body 23 of the lower mold 22A are the same as those of the first embodiment. The second embodiment has a feature in which a second lower mold half body 24A is equipped with an excess resin removing

mechanism 40.

The excess resin removing mechanism 40 is generally made up of an opening part 41, a pot part 42, and a pressure control rod 43. The opening part 41 is an opening formed in a part of the slant portion 27 formed in the second lower mold half body 24A, and is connected to the pot part 42.

The pot part 42 has a cylinder structure. The pressure control rod 43 having a piston structure is slidably provided in the pot part 42. The pressure control rod 43 is connected to a driving mechanism which is not shown, and can be elevated with respect to the second lower mold half body 24A in the direction Z1 and Z2.

Next, a description will be given of the semiconductor device fabrication method using the mold 20A equipped with the excess resin removing mechanism 40 according to the second embodiment of the present invention. The second embodiment is characterized in the resin sealing step, and only a description thereof will be given below.

The resin sealing step commences executing a substrate loading step, in which the substrate 16 is loaded onto the mold 20A as shown in Fig. 10(A).

As shown in this figure, the second lower mold half body 24A is spaced apart from the first lower mold half body 23 along the direction Z2 immediately after the resin sealing step is initiated. Further, the pressure control rod 43 of the excessive resin removing mechanism 40 is placed in a position in the direction Z2.

After the substrate 16 is loaded onto the lower mold 22A, the film 30 is disposed to the part 24a of the upper mold 21, and the sealing resin 35 is placed on the substrate 16 or the bumps 12 provided thereon.

After the above substrate loading step is

completed, a resin layer forming step is executed. The upper mold 21 is moved in the direction Z1. Then, as shown in Fig. 10(B), the upper mold 21 and the second lower mold half body 24A come into contact with each other, so that the film 30 is brought in the clamped state.

At this time, the cavity 28 is defined in the mold 20A by the cavity surfaces 24a, 25 and 26. The opening part 41 of the excess resin removing mechanism 40 is opened to the cavity 28.

After the upper mold 21 comes into contact with the second lower mold half body 24A, the upper mold 21 and the second lower mold half body 24A maintains the film 30 in the clamped state while moving in the direction Z1 as a whole. Hence, the resin 35 is compressed and molded in the cavity 28.

In order to prevent the bumps 12 from being damaged and appropriately fill the whole cavity 28 with the resin 35, it is necessary to select an appropriate moving speed of the upper mold 21 and the second lower mold half body 24A in the direction Z1, as has been described previously. The appropriate value selecting of the speed of the upper mold 21 and the second lower mold half body 24A in the direction Z1 is equivalent to the appropriate value selecting of the pressure applied to the resin 35 in the cavity 28.

According to the second embodiment of the present invention, the mold 20A is equipped with the excess resin removing mechanism 40. Hence, it is possible to control not only the moving speed of the upper mold 21 and the second lower mold half body 24A in the direction Z1 but also the compression pressure applied to the resin 35 using the pressure control rod 43. When the pressure control rod 43 reduces a pressure exerted in the direction Z2, the sealing resin 35 receives a reduced pressure in the cavity 28. When the pressure control rod 43 increases a pressure

exerted in the direction Z2, the sealing resin 35 receives an increased pressure in the cavity 28.

For example, if the amount of the sealing resin 35 is greater than the volume of the resin layer 13 and the cavity 28 has an increased pressure due to excess resin, the resin molding may be performed appropriately. In such a case, as shown in Fig. 10(C), the pressure control rod 43 of the excess resin removing mechanism 40 is moved down in the direction Z1, so that the excess resin can be transferred to the pot part 42 via the opening part 41.

As described above, the excess resin removing mechanism 40 removes excess resin when the resin layer 13 is formed, and the resin molding can always be carried out with an appropriate pressure. Hence, the resin layer 13 can be formed appropriately. It is also possible to prevent excess resin from leaking from the mold 20A. It is not required to precisely determine the amount of the sealing resin 35, as compared with the first embodiment of the present invention. Hence, it is easy to measure the amount of the sealing resin 35 to be supplied.

After the resin layer 13 is formed by the resin forming step, a mold detaching step is carried out. The operation of the mold 20A in the mold detaching step is the same as that of the first embodiment of the present invention. That is, the upper mold 21 is moved in the direction Z2 first, and the second lower mold half body 24A is slightly moved with respect to the first lower mold half body 23 in the direction Z1.

The left side with respect to the central line shown in Fig. 10(D) shows that the upper mold 21 is moved in the direction Z2, and the second lower mold half body 24A is slightly moved in the direction Z1. By slightly moving the second lower mold half

body 24A with respect to the first lower mold half body 23 in the direction Z1, the resin layer 13 can be detached from the slant portion 27.

In the second embodiment of the present invention, there is a possibility that the excess resin removing mechanism 40 may form a flash in the position in which the opening part 41 is located. Such a flash can be removed by moving the second lower mold half body 24A in the direction Z1.

After the resin layer 13 is separated from the slant portion 27, the second lower mold half body 24A is moved in the direction Z2, so that the upper surface of the half body 24A comes into contact with the film 30 and the slant portion 27 comes into contact with the resin layer 13 again. Hence, the substrate 16 is urged in the direction along which it is away from the mold 20A. Hence, as shown in the right side with respect to the center line in Fig. 10(D), the substrate 16 to which the resin layer 13 is provided is separated from the mold 20A.

In the fabrication method of the second embodiment of the present invention, the pressure in the cavity 28 can be regulated at the predetermined level. Hence, it is possible to prevent air from remaining in the resin 35 and prevent babbles (voids) from being formed in the resin layer 13. If babbles occur in the resin layer 13, these bobbles are expanded in a thermal process and a damage such as a crack may occur in the resin layer 13.

The excess resin removing mechanism 40 can prevent babbles from being formed in the resin layer 13 and prevent the resin layer from being damaged in the thermal process. Hence, the reliability of the semiconductor device 10 can be improved.

A description will now be given of a semiconductor device fabrication method according to third and fourth embodiments of the present invention.

Fig. 11 shows the semiconductor device fabrication method according to the third embodiment of the present invention, and Fig. 12 shows the semiconductor device fabrication method according to the fourth embodiment of the present invention. In Fig. 11, parts that have the same structures as those of the first embodiment of the present invention which has been described with reference to Figs. 1 through 9 are given the same reference numbers. In Fig. 12, parts that have the same structures as those of the first embodiment of the present invention which has been described with reference to Fig. 10 are given the same reference numbers.

The fabrication methods according to the third and fourth embodiments of the present invention are characterized in that the resin layer 13 is formed without using the film 30. As shown in Figs. 11(A) and 12(A), the film 30 is not arranged to the portion 24a of the upper mold 21 in the substrate loading. This differs from the first and second embodiments of the present invention.

Hence, in the resin layer forming step subsequent to the substrate loading step, as shown in Figs. 11(B), 11(C), 12(B) and 12(C), the upper mold 21 directly pushes the sealing resin 35, which is compression-molded. Since the cavity surface 24a of the upper mold 21 is flat, the resin layer 13 is molded under the good condition. The removing process is the same as that of the first or second embodiment of the present invention, and a description thereof will be omitted.

The resin layer 13 can be formed without using the resin layer 13. It should be noted that the bumps 12 completely fall in the resin layer 13 when the resin layer 13 is formed because the film 30 is not employed.

Hence, it is necessary to expose only the

ends of the bumps 12 in the protruding electrode exposing step that is carried out after the resin sealing step. The step of exposing only the ends of the bumps 12 will be described later for the sake of convenience.

A description will now be given of a semiconductor device fabrication method according to a fifth embodiment of the present invention.

Figs. 13 and 14 show the semiconductor device fabrication method according to the fifth embodiment of the present invention. In Figs. 13 and 14, parts that have the same structures as those of the first embodiment of the present invention which has been described with reference to Figs. 1 through 9 are given the same reference numbers, and a description thereof will be omitted.

According to the present embodiment, as shown in Fig. 13(A), a reinforcement plate 50 is attached to the first lower mold half body 23 before the substrate 16 is loaded onto the mold 20 in the substrate loading step. The reinforcement plate 50 is made of a substance having a predetermined mechanical strength and a predetermined heat radiation performance, and is formed of, for example, an aluminum plate. The diameter of the reinforcement plate 50 is slightly greater than that of the substrate 16. A surface of the reinforcement plate 50 is coated with a thermosetting adhesive (not shown).

The reinforcement plate 50 is loaded onto the mold 20 by merely placing it on the first lower mold half body 23 with ease. Hence, the use of the reinforcement plate 50 does not make the resin sealing step complicate.

A description will now be given of the functions of the reinforcement step used in the resin sealing step.

The resin layer forming step executed after

the substrate loading step commences moving the upper mold 21 and the second lower mold half body 24 in the direction Z1 so that the step of sealing the bumps 12 by the sealing resin 35 is initiated. At this time, the mold 20 is heated up to a temperature at which the sealing resin 35 can be fused. The above-mentioned thermosetting adhesive is formed of a material which is thermohardened at a comparatively low temperature. Hence, the reinforcement plate 50 is unified to the substrate 16 with a relatively short time after the initiation of the resin layer forming step. The reinforcement plate 50 may adhere to the substrate 16 beforehand.

As shown in Figs. 13(B) and 13(C), the resin layer 13 is formed by the compression molding method even in the fifth embodiment of the present invention. In the above method, the resin in the fused state is pressed by the upper mold 21, and the substrate receives a large pressure.

The formation of the resin layer 13 requires fusing of the sealing resin 35. Hence, the mold 20 is equipped with a heater. Heat generated by the heater is applied to the substrate 16 loaded onto the mold 20. Hence, the substrate 16 may be deformed due to the pressure in the compression molding and the heat of the heater. According to the fifth embodiment of the present invention, the reinforcement plate 50 is loaded before the substrate 16 is loaded onto the mold 20 in the substrate loading step, and is bonded to the substrate 16. Hence, the substrate 16 is reinforced by the reinforcement plate 50 in the resin layer forming step. Hence, even if the substrate 16 receives a pressure in the compression molding and heat of the heater, the substrate 16 can be prevented from being deformed and the yield can be improved.

Fig. 14 shows the substrate 16 which has been removed from the mold 20 after the resin layer 13

is completely formed. As shown in that figure, the reinforcement plate 50 is still attached to the substrate 16 even after the substrate 16 is removed from the mold 20. In the separating step (see Fig. 8) carried out by the resin layer forming step, the reinforcement plate 50 is cut by the dicer 29.

Thus, the separated semiconductor chips have the respective pieces of the reinforcement plate 50. As described before, the reinforcement plate 50 is made of a substance having a good heat radiation performance. Hence, the pieces of the reinforcement plate 50 of the semiconductor devices function as heat radiating plates. Thus, each semiconductor device has an improved heat radiating performance.

Figs. 15 through 17 show variations of the above-mentioned embodiments of the present invention. In these figures, parts that have the same structures as those of the aforementioned embodiments of the present invention are given the same reference numbers.

In the above-mentioned embodiments of the present invention, the sealing resin 35 is placed on the substrate 16 on the mold 20 or 20A. In the variations shown in Figs. 15 through 17, sealing resin is supplied in different manners.

The variation shown in Fig. 15 is characterized by using a sheet resin 51. The sheet resin 51 makes it possible to definitely form the resin layer 13 on the whole substrate 16.

When the sealing resin 35 is disposed on the center of the substrate 16, it takes a long resin formation time for melted resin to flow to the ends of the substrate 16 from the center thereof. In contrast, the sheet resin 51 is arranged so as to cover the upper portion of the substrate 16, the melted resin directly seals the bumps 12 located below the sheet resin 51 rather than flowing to the ends of

the substrate 16. Hence, the time necessary to complete the resin sealing step can be reduced.

The variation shown in Fig. 16 is characterized by using a fluid resin 52 for resin sealing. The fluid resin 52 has a high flowability and thus definitely seals the bumps 12 with a short time.

The variation shown in Fig. 17 is characterized by arranging a sealing resin 35A to the film 30 by an adhesive 53 before the resin sealing step. Alternatively, it is possible to provide the melted sealing resin 35 to the film 30 and harden it so that the sealing resin 35 is arranged to the film 30.

By arranging the sealing resin 35A to the film 30 rather than the substrate 16, it is possible to integrally perform the work of loading the film 30 and the work of supplying the sealing resin 35A and to thus improve the efficiency of the substrate loading step.

A description will now be given of a semiconductor device fabrication method according to a sixth embodiment of the present invention. Fig. 18 shows a resin sealing step of the fabrication method of the sixth embodiment of the present invention. In Fig. 18, parts that have the same structures as those of the first embodiment of the present invention are given the same reference numbers, and a description thereof will be omitted.

A description was given, with reference to Fig. 17, of the method for providing only one sealing resin 35A to the film 30 before the resin sealing step. In the sixth embodiment of the present invention, a large number of sealing resins 35A is aligned on the film 30 at given intervals. The film 30 is transported in the direction indicated by an arrow by a transporting apparatus which is not shown.

00

In Fig. 18(A), the substrate 16 to which the resin layer 13 is attached is located at the left side of the mold 20. The resin 13 is fixed to the film 30 and thus the substrate 16 is fixed to the film 30. The sealing resin 35A located in the mold 20 is subjected to the resin sealing step for this time. The sealing resin 35A located at the right side of the mold 20 is subjected to the resin sealing step for the next time.

Fig. 18(A) shows a state in which the substrate loading step is completed and shows the substrate 16 has been loaded onto the mold 20. The present embodiment employs the reinforcement plate 50 before the substrate 16 is loaded.

As shown in Fig. 18(B), the resin sealing step is initiated after the substrate loading step is completed, and the upper mold 21 and the second lower mold half body 24 are moved in the direction Z1 in order to seal the bumps 12 by the sealing resin 35A. Further, the upper mold 21 and the second lower mold half body 24 are moved in the direction Z1. Hence, as shown in Fig. 18(C), the resin layer 13 is formed on the substrate 16.

After the resin sealing step, the mold detaching step is carried out in the same manner as that which has been described with reference to Fig. 5. Hence, the substrate 16 to which the resin layer 13 is attached is detached from the mold 20. Since the resin layer 13 is fixed to the film 30, the substrate 16 is also fixed to the film 30.

As the above resin sealing step is completed, the transporting apparatus for the film 30 is activated, and transports the film 30 to the position in which the next sealing resin 35A is loaded onto the mold 20. Along with the operation of transporting the film 30, the reinforcement plate 50 and the substrate 16 (to which the resin layer 13 is

not provided) are loaded onto the mold 20 (that is, the substrate loading step is executed). Hence, the state shown in Fig. 18(A) is obtained. Then, the above process is repeatedly carried out.

According to the method of this embodiment, the sealing resins 35A are arranged so as to be spaced apart from each other at given intervals which do not affect the resin sealing step. The film 30 is transported when the resin sealing step is completed. The sealing resin 35A for the next resin sealing step is automatically loaded onto the mold 20. Hence, the resin sealing step is repeatedly carried out, and the efficiency in fabrication of the semiconductor devices can be improved.

Figs. 19 through 21 are diagrams for explaining a method for fabricating a semiconductor device according to a seventh embodiment of the present invention. In Figs. 19 through 21, parts that have the same structures as those of the first embodiment of the present invention which has been described with reference to Figs. 1 through 9 are given the same reference numbers, and a description thereof will be omitted.

In the aforementioned fabrication method according to the first embodiment of the present invention, the film 30 is formed of a flexible substance which is elastically deformable. In the resin sealing step, the ends of the bumps 12 are made to fall in the film 30. Hence, merely by detaching the film 30 from the resin layer 13 in the protruding electrode exposing step, the ends of the bumps 12 are exposed.

It may be slightly difficult to arrange the film 30 having an elasticity which allows only the ends of the bumps 1 to fall in the film 30. In the case where the film 30 is used as a carrier for transportation as shown in Fig. 18, the film 30 made

of an elastically deformable substance is deformed while being transported. Hence, the substrate 16 and the sealing resin 35A may be transported appropriately.

In order to avoid the above problem, it is necessary to use a film 30A which is not or little deformed elastically (the above will be hereinafter described integrally so that the film 30A is not deformed elastically). In the present embodiment, the film 30A is made of a substance which is not deformed elastically. Even when the film 30A is made of a substance which is not deformed elastically, the process carried out in the resin sealing step can be carried out in the same manner as that which has been described with reference to Figs. 1 through 5.

Figs. 19 through 21 shows a protruding electrode exposing step employed in the seventh embodiment of the present invention. When the resin sealing step is completed, the film 30A is fixed to the resin layer 13, as shown in Fig. 19. Since the film 30A is made of a material which is not deformed elastically, the bumps 12 do not fall in the film 30, but are totally sealed by the resin layer 13 (such a state is enlarged in Fig. 19(B)).

In this state, as shown in Fig. 20(A), the film 30A which is fixed to the resin layer 13 is detached therefrom. As shown in Fig. 20(B) which shows an enlarged state, the bumps 12 are completely sealed by the resin layer 13 even when the film 30A is detached from the resin layer 13.

The state shown in Fig. 20(B) in which the bumps 12 are completely sealed by the resin layer 13 is observed when the resin sealing step that does not use the films 30 and 30A is executed as has been described with reference to Figs. 11 and 12.

It will be noted that an electrical connection to the mount board 14 cannot be made in the

state in which the bumps 12 are completely sealed by the resin layer 13. Hence, it is required to expose the ends of the bumps 12 from the resin layer 13. Fig. 21(A) shows a manner for exposing the ends of the bumps 12 from the resin layer 13.

In the present embodiment, as shown in Fig. 21(A), a laser projecting device 60 is employed as a means for exposing the ends of the bumps 12 from the resin layer 13. The laser projecting device 60 may be a carbon dioxide laser, which is capable of processing resin well.

The depth of the removed portion of the resin layer 13 can be adjusted by appropriately changing energy of the laser protruding device 60. Hence, it is possible to precisely define the length of the ends of the bumps 12 exposed from the resin layer 13.

As shown in Fig. 21(A), the laser beam emitted by the laser projecting device 60 is projected onto the resin layer 13. Hence, the ends of all the bumps 12 can be exposed from the resin layer 13. Fig. 21(B) shows a state in which the laser processing step is completed and thus the ends of the bumps 12 protrude from the resin layer 13.

The step of exposing the ends of the bumps 12 from the resin layer 13 makes it possible to make electronic connections with terminals of the mount board 14 irrespective of whether the film 30A is formed of a substance that is not deformable elastically or the resin sealing step which does not use the films 30 and 30A is employed as has been described with reference to Figs. 11 and 12.

The step of exposing the ends of the bumps 12 from the resin layer 13 is not limited to use of the laser projection, but can be realized by using eximer laser, etching, mechanical polishing and blasting. If eximer laser is used, the ends of the

bumps 12 can precisely be exposed with ease. If etching, mechanical polishing or blasting is used, the ends of the bumps 12 can be exposed at a comparatively low cost.

A description will now be given, with reference to Figs. 22 through 25, of a mold 20C for the semiconductor device fabrication method according to the third embodiment of the present invention (hereinafter simply referred to as mold 20C). In Figs. 22 through 25, parts that have the same structures as those of the mold 20 shown in Fig. 1 are given the same reference numbers, and a description thereof will be omitted.

The mold 20C is characterized by providing a fixing/detaching mechanism 70 for fixing the substrate 16 to the first lower mold half body 23C or detaching it therefrom to the position in which the first lower mold half body 23C is placed. The fixing/detaching mechanism 70 is generally made up of a porous member 71, an intake/exhaust device 73 and a pipe 74.

The porous member 71 is formed of a porous ceramic, a porous metal or a porous resin, through which a gas (such as air) can pass.

The pipe 73 is arranged below the porous member 71, and is connected to the intake/exhaust device 72. The intake/exhaust device 72 may be a compressor or a negative pressure generator, and has a compressed gas feed mode in which compressed air is fed to the pipe 73, and a suction mode in which a suction process is carried out for the pipe 73. The intake/exhaust device 72 can switch between the above two modes.

When the intake/exhaust device 72 operates in the compressed gas feed mode, the compressed air is supplied to the porous member 71 via the pipe 73, and is then injected to the outside of the device 72. At this time, if the substrate 16 is placed on the first

lower mold half body 23C, the substrate 16 is urged in the direction in which the substrate 16 is detached. The above state is shown on the right side with respect to the center line shown in Fig. 22, and will be referred to as a detached state.

When the intake/exhaust device 72 operates in the suction mode, the intake/exhaust device 72 performs the suction process through the pipe 73. Hence, negative pressure caused due to the suction process is exerted on the porous member 71. At this time, if the substrate 16 is placed on the first lower mold half body 23C, the substrate 16 is sucked towards the porous member 71. This state is illustrated on the left side with respect to the center line in Fig. 22, and will be referred to as a fixed state.

As described above, by providing the fixing/detaching mechanism 70 to the mold 20C, the substrate 16 is fixed to the first lower mold half body 23C in the fixed state. Hence, it is possible to prevent occurrence of a deformation of the substrate such as a warp in the resin sealing step. It is also possible to calibrate a warp inherent in the substrate 16. In addition, the substrate 16 is urged so as to be detached from the first lower mold half body 23C in the detached state. Hence, the detaching of the substrate 16 from the mold 20C can be facilitated.

Fig. 23 shows a mold 20D for the semiconductor device fabrication device according to the fourth embodiment of the present invention (hereinafter simply referred to as mold 20D).

In the aforementioned first embodiment of the present invention, the mold 20 has the fixed first lower mold half body 23, while the second lower mold half body 24 is elevated with respect to the first lower mold half body 23. In contrast, the mold 20D has a fixed second lower mold half body 24D, and a first lower mold half body 23D is elevated with

respect to the second lower mold half body 24D.

With the above arrangement in which the first lower mold half body 23D is elevated with respect to the second lower mold half body 23D, it is possible to definitely detach the substrate 16 to which the resin layer 13 is attached from the mold 20. In Fig. 23, the left side with respect to the center line of Fig. 23 shows a state in which the first lower mold half body 23D ascends, while the right side shows a state in which the first lower mold half body 23D descends.

Fig. 24 shows a mold 20E for the semiconductor device fabrication method according to the fifth embodiment of the present invention (hereinafter simply referred to as mold 20E).

In the aforementioned first embodiment of the present invention, the slant portion 27 is formed on the peripheral inner wall of the second lower mold half body 24 in order to facilitate the detaching performance. The mold 20E used in the fifth embodiment of the present invention is designed so that an area circularly defined by a second lower mold half body 24E is wider than the area of the upper portion of the first lower mold half body 23, whereby a step portion 74 is formed in the second lower mold half body 24E and faces the first lower mold half body 23.

The step portion 74 formed in the second lower mold half body 24E facilitates the detaching performance. The step portion 74 has an approximately rectangular shape cross section, which can be formed easily.

The left side with respect to the center line of Fig. 24 shows a state in which the second lower mold half body 24E moves down from the resin sealing position in order to be detached from the resin layer 13. The right side with respect to the

center line of Fig. 24 shows a state in which the second lower mold half body 24E moves up, and the substrate 16 to which the resin layer 13 is attached is detached from the mold 20E.

Fig. 25 shows a mold 20F for the semiconductor device fabrication method according to the sixth embodiment of the present invention (hereinafter simply referred to as mold 20F).

The mold 20F used in the present embodiment is characterized by providing non-adhesive process films 75 in an interface between contact surfaces of an upper mold 21F and a lower mold 22F (a first lower mold half body 23F and a second lower mold half body 24F), the resin layer 13 being placed on the above contact surfaces. The non-adhesive process films 75 are made of a substance which does not adhere to the resin layer 13. Hence, the substrate 16 to which the resin layer 13 is formed can be detached from the mold 20F with ease.

Figs. 76 and 77 show a variation of the mold used in the sixth embodiment of the present invention. Fig. 76 shows an arrangement in which the area of the substrate 16 is narrower than the upper area of the first lower mold half body 23, and a film 30D is placed on the upper surface of the sealing resin 35. Hence, it is possible to reduce the contact interface between the sealing resin 35 and the first lower mold half body 23 and facilitate the detachability.

When a suction process as described with reference to Fig. 22 is employed in the present embodiment, fine holes (vacuum holes) may be provided in necessary positions of the film 30D.

Fig. 77 shows an arrangement in which the area of the upper surface of the first lower mold half body 23 is approximately equal to the area of the substrate 16. In each of the aforementioned embodiments, the area of the substrate 16 is narrower

than the area of the upper surface of the first lower mold half body 23. Hence, the resin layer 13 is provided on sides of the substrate 16 (side surface portions) by the resin sealing process.

By making the area of the upper surface of the first lower mold half body 23 and the area of the substrate 16 equal to each other, it is possible to form the resin layer 13 on the upper surface of the substrate 16 only. It is possible to selectively provide the resin layer 13 on the upper surface of the substrate 16 only or not only on the upper surface but also the side surfaces by taking into consideration how the substrate 16 is used.

In the structure shown in Fig. 77, the film 30 is used for the upper mold 21 and the non-adhesive process film 75 (Fig. 25) is used for the lower mold 22 in order to facilitate the detachability.

A description will now be given of semiconductor devices according to second and third embodiments of the present invention.

Fig. 26 shows a semiconductor device 10A according to the second embodiment of the present invention, and Fig. 27 shows a semiconductor device 10B according to the third embodiment of the present invention. In Figs. 26 and 27, parts that have the same structures as those of the semiconductor device 10 shown in Fig. 9 according to the first embodiment of the present invention are given the same reference numbers.

The semiconductor device 10A according to the second embodiment of the present invention has a module structure in which a plurality of semiconductor elements 11 are mounted on a stage member 80. The resin layer 13 seals the bumps 12 except for the ends thereof, and seals the side portions of the semiconductor elements 11. Further, the stage member 80 is formed of a substance having good heat radiating

performance (for example, copper or aluminum).

Since the stage member 80 of the semiconductor device 10A is formed of a substance having good heat radiating performance, heat generated by the plurality of semiconductor elements 11 can be efficiently radiated.

The semiconductor device 10B according to the third embodiment of the present invention is characterized by providing dam portions 81 in the outer peripheral portions of the stage member 80 of the semiconductor device 10A shown in Fig. 26. The height H2 of the dam portions 81 from the element mounting surface of the stage member 80 (indicated by an arrow in Fig. 27) is greater than the height H1 of the semiconductor elements 11 from the element mounting surface (indicated by another arrow in Fig. 27).

The height H2 of the dam portions 81 from the element mounting surface of the stage member 80 is less than the height H3 (indicated by yet another arrow in the figure) from the element mounting surface to the ends of the bumps 12 of the elements 11 by a predetermined length.

With the above arrangement, when resin for forming the resin layer 13 is provided in recess portions defined by the dam portions 81 and the stage member 80, the dam portions 81 are filled with the resin and the bumps 12 are sealed except for the ends thereof. Hence, it is possible to easily form the resin layer 13 which seals the bumps 12 so that the ends thereof are exposed from the resin layer 13.

In the semiconductor devices 10A and 10B according to the second and third embodiments of the present invention, additional wiring lines can be formed on the upper surface of the resin layer 13 so that the semiconductor elements 11 are connected together to provide given functions.

A description will now be given of an eighth embodiment of the present invention. Fig. 28 is a diagram which shows a method for fabricating a semiconductor device according to the eighth embodiment of the present invention and more particularly illustrates the substrate 16 after the resin sealing step is completed. Fig. 28(A) shows the whole substrate 16, and Fig. 28(B) is an enlarged view of a portion of the substrate 16. In Fig. 28, parts that have the same structures as those of the first embodiment of the present invention which has been described with reference to Figs. 1 through 9 are given the same reference numbers, and a description thereof will be omitted.

The aforementioned method for fabricating the semiconductor device according to the first embodiment of the present invention employs the resin layer 13 formed by a single kind of resin layer 35. It will be noted that the resin layer 13 is required to have various functions. For example, it is desirable to form the resin layer 13 of hard resin in terms of protection of the substrate 16 and to form the resin layer 13 of soft resin in order to relax stress applied to the bumps 12 when mounting the device. In practice, it may be very difficult to meet both the requirements by means of a single kind of resin.

The eighth embodiment of the present invention is characterized in that a plurality of kinds of resin having different natures are used as the sealing resin used in the resin sealing step. In the present embodiment, two kinds of resin are used to form resin layers 13A and 13B. In the example shown in Fig. 28, the resin layers 13A and 13B are stacked.

In order to form the resin layers 13A and 13B, the resin molding step commences filling the mold with sealing resin for forming the resin layer 13A.

Then, the resin layer 13A is formed on the substrate 16. Next, the resin molding step fills the mold with sealing resin for forming the resin layer 13B. Hence, the resin layer 13B is formed on the resin layer 13A. Alternatively, a sealing resin is formed beforehand which has a stacked structure having the resin layers 13A and 13B. Then, the above sealing resin is formed on the substrate 16 so that the resin layers 13A and 13B are provided by performing the resin sealing step only one time.

For example, the resin layer 13B facing the outside of the device is made of hard resin, and the resin layer 13A located inside thereof is made of soft resin. In this arrangement, the substrate 16 can definitely be protected by the resin layer 13B formed of hard resin, while stress applied to the bumps 12 at the time of mounting the device can be absorbed by the resin layer 13A formed of soft resin. Hence, the semiconductor device fabricated by the present embodiment method has improved reliability.

A description will now be given of a ninth embodiment of the present invention.

Fig. 29 is a diagram showing a method for fabricating a semiconductor device according to the ninth embodiment of the present invention. In Fig. 29, parts that have the same structures as those of the first embodiment of the present invention are given the same reference numbers, and a description thereof will be omitted.

The ninth embodiment of the present invention is characterized, as in the case of the eighth embodiment thereof, by using a plurality kinds of resin having different performances are used (two kinds of resin are used in the ninth embodiment). The eighth embodiment of the present invention has the stacked structure made up of the resin layers 13A and 13B. In the ninth embodiment of the present

invention, the resin layer 13B is arranged in the outer periphery of the substrate 16, and the resin layer 13A is arranged in a portion surrounded by the resin layer 13B (see Fig. 29(C)).

A description will be given of a method for forming the semiconductor device according to the ninth embodiment of the present invention.

Fig. 29(A) shows a resin sealing step of the semiconductor device fabrication method according to the present embodiment of the invention. A mold 20G used in the present resin sealing step has a structure having upper and lower portions, which correspond to the lower and upper portions of the mold 20 used in the first embodiment of the present invention described with reference to Fig. 1. For the sake of convenience, parts of the mold 20G are assigned the same names and reference numerals as those of the mold 20. Further, the present embodiment employs the reinforcement plate 50 as in the case of the aforementioned fifth embodiment of the present invention.

The reinforcement plate 50 is attached to the first lower mold half body 23. A sealing resin 35A for forming the resin layer 13A and a sealing resin 35B for forming the resin layer 13B are arranged to the lower surface (facing the substrate 16) of the reinforcement plate 50. The sealing resin 35B for forming the resin layer 13B is located in the outer periphery of the reinforcement plate 50. The sealing resin 35A for forming the resin layer 13A is located in the area surrounded by the sealing resin 35B. The substrate 16 to which the bumps 12 are formed is supported by the upper mold 21 through the film 30.

The substrate 16 and the reinforcement member 50 to which the sealing resins 35A and 35B are attached are loaded onto the mold 20G. Then, the first lower mold half body 23 moves up towards the

upper mold 21. Hence, the sealing resins 35A and 35B are compression-molded so that the resin layers 13A and 13B are formed. As described before, since the sealing resin 35B is arranged in the outer periphery of the reinforcement plate 50 and the sealing resin 35A is arranged in the area surrounded by the sealing resin 35B, the resin layer 13B is located in the outer periphery of the substrate 16, and the resin layer 13A is located in the area surrounded by the resin layer 13A.

When the above resin sealing step is completed, as shown in Fig. 29(B), the film 30 is removed by the protruding electrode exposing step, so that the semiconductor device 10C shown in Fig. 29(C) is defined.

The resin layer 13B located in the outer periphery of the substrate 16 (semiconductor element) can be formed of hard resin, while the resin layer 13A surrounded by the resin layer 13B can be formed of soft resin. The outer periphery of the semiconductor device 10C fabricated by the above method is surrounded by the resin layer 13B formed of hard resin, and the substrate 16 is definitely protected by the reinforcement plate 50 and the resin layer 13B. Hence, the semiconductor device 10C has improved reliability.

The resin layer 13A located further in than the resin layer 13B is formed of soft resin and is thus capable of absorbing stress applied to the bumps 12 at the time of mounting the device on a mounting board. Hence, the stress applied to the bumps 12 can be relaxed, and the reliability of the semiconductor device 10C can be improved.

A description will now be given of tenth and eleventh embodiments of the present invention.

Fig. 30 is a diagram showing a method for fabricating a semiconductor device according to the

tenth embodiment of the present invention, and Fig. 31 is a diagram showing a method for fabricating a semiconductor device according to the eleventh embodiment of the present invention. In Figs. 30 and 31, parts that have the same structures as those of the first embodiment described with reference to Figs. 1 through 9 and the ninth embodiment of the present invention described with reference to 29 are given the same reference numbers.

The fabrication method according to the tenth embodiment shown in Fig. 30 is characterized by arranging the sealing resin 35 to the reinforcement plate 50 in the resin sealing step as in the case of the aforementioned ninth embodiment of the present invention. The fabrication method according to the eleventh embodiment shown in Fig. 31 is characterized by providing a reinforcement plate 50A integrally with a frame part 54 and arranging the sealing resin 35 to the reinforcement plate 50A beforehand.

By arranging the sealing resin 35 to the reinforcement plates 50 and 50A beforehand in the resin sealing step, the reinforcement plates 50 and 50A can be used as a part of the mold 20G. More particularly, the reinforcement plates 50 and 50A can be used as a part of the first lower mold half body 23.

Hence, it is possible to reduce the area of the sealing resin 35 which directly contacts the first lower mold half body 23 (mold 20G) and to omit the step of removing unwanted resin attached to the mold employed in the prior art. Hence, the work of the resin sealing step can be simplified.

Particularly, the eleventh embodiment of the present invention provides the reinforcement plate 50A with the frame part 54. Hence, the portion of the reinforcement plate 50A which faces the substrate 16 defines a recess portion 55, which can be used as a cavity. In the arrangement shown in Fig. 30 in which the reinforcement plate 50 of a flat-plate shape is used, the sealing resin 35 touches the second lower mold half body 24. Hence, unwanted resin located in the above touching portion cannot be removed.

In contrast, the eleventh embodiment of the present invention shown in Fig. 31 can realize an arrangement in which the sealing resin 35 does not contact the mold 30G at all, so that unwanted resin attached to the mold 20G can easily be removed.

In the above-mentioned tenth and eleventh embodiments of the present invention, when the reinforcement plates 50 and 50A are formed of a material having a good heat radiating performance, the semiconductor devices 10D and 10E will have an improved heat radiating performance. Fig. 30(B) shows the semiconductor device 10D fabricated by the fabrication method according to the tenth embodiment, and Fig. 31(B) shows the semiconductor device 10E fabricated by the fabrication method according to the eleventh embodiment of the present invention.

A description will now be given of a twelfth embodiment of the present invention.

Figs. 32 and 33 are diagrams showing a method for fabricating a semiconductor device according to the twelfth embodiment of the present invention. In Figs. 32 and 33, parts that have the same structures as those of the first embodiment described with reference to Figs. 1 through 9 are given the same reference numbers, and a description thereof will be omitted.

The fabrication method of the present

embodiment is characterized by forming the resin layer 13 (the first resin layer) on the front surface of the substrate 16 on which the bumps 12 are formed as in the case of each of the aforementioned embodiments, and then forming a second resin layer 17 on the back surface of the substrate 16. A detailed description will be given of a resin sealing step of the present invention by referring to Figs. 32 and 33.

Fig. 32(A) and Fig. 32(B) show a step of compression-forming the first resin layer 13 on the front surface of the substrate 16 on which the bumps 12 are formed. The process shown in Figs. 32(A) and 32(B) is the same as that which has been described previously with reference to Figs. 1 through 4. Hence, a description of the step of forming the first resin layer 13 will be omitted here.

After the first resin layer 13 is formed on the front surface (bump formation surface) of the substrate 16 through the process shown in Figs. 32(A) and 32(B), the substrate 16 is taken out of the mold 20, and is turned upside down. Then, the substrate 16 is loaded onto the mold 20 again. Hence, the substrate 16 is loaded onto the mold 20 so that the surface of the substrate 16 on which the bumps 12 are formed faces the first lower mold half body 23. Then, as shown in Fig. 33(D), a second sealing resin 36 is placed on the upper surface of the substrate 16 loaded onto the first lower mold half body 23.

Subsequently, as shown in Fig. 33(E), the upper mold 21 and the second lower mold half body 24 are moved down and thus the second sealing resin 36 is compression-molded. Hence, as shown in Fig. 33(F), the second resin layer 17 is formed on the back surface of the substrate 16.

Fig. 33(G) shows a semiconductor device 10E fabricated by the method of the present embodiment. As shown in this figure, the semiconductor device 10E

has a structure in which the first resin layer 13 is compression-molded on the front surface of the substrate 16 on which the bumps 12 are formed and the second resin layer 17 is compression-molded on the back surface of the substrate 16.

The semiconductor device 10 is well balanced because the first resin layer 13 is formed, by the resin sealing step, on the front surface of the substrate 16 on which the bumps 12 are formed, and thereafter the second resin layer 17 is formed so as to cover the back surface of the substrate 16.

That is, the arrangement in which only the first resin layer 13 is provided to the front surface of the substrate 16 has a possibility that a difference in thermal expansion may occur between the front and back sides of the substrate 16 because the substrate 16 (semiconductor element) and the sealing resin have different thermal expansion ratios and a warp may occur in the substrate 16.

In contrast, according to the twelfth embodiment of the present invention, the front and back surfaces of the substrate 16 are respectively covered by the resin layers 13 and 17 so that the states of the front and back surfaces of the substrate 16 can be equalized and the semiconductor device 10E can be well balanced. Hence, it is possible to prevent occurrence of a warp in the semiconductor device 10E during the thermal process.

It is also possible to select the first resin layer 13 formed on the front surface of the substrate 16 and the second resin layer 17 formed on the back surface thereof of resins having different natures. For example, the first resin layer 13 is formed of soft resin so that stress applied to the bumps 12 can be relaxed.

When the second resin layer 17 provided on the back surface of the substrate 16 is formed of hard

resin, the substrate 16 can definitely be protected from external force. When the second resin layer 17 is formed of resin having a good heat radiating performance, the semiconductor device 10E has an improved heat radiating performance.

A description will be given of a thirteenth embodiment of the present invention.

Fig. 34 is a diagram showing a method for fabricating a semiconductor device according to a thirteenth embodiment of the present invention. In Fig. 34, parts that are the same as those of the first embodiment described with reference to Figs. 1 through 9 and the twelfth embodiment described with reference to Figs. 32 and 33 are given the same reference numbers, and a description thereof will be omitted.

Even in the present embodiment fabrication method, the first resin layer 13 is formed on the front surface of the substrate 16 and the second resin layer 17 is formed on the back surface thereof. In the fabrication method of the twelfth embodiment described with reference to Figs. 32 and 33, the first resin layer 13 is formed by the process shown in Fig. 32(A) through 32(C). Thereafter, the substrate 16 to which the first resin layer 13 is formed is taken out of the mold 20 and is turned upside down. Then, the process shown in Figs. 33(D) through 33(F) is carried out so that the second resin layer 17 is formed. Hence, the twelfth embodiment of the present invention is required to perform the compression molding step twice and does not have a good production efficiency.

With the above in mind, the fabrication method according to the thirteenth embodiment of the present invention is characterized by simultaneously forming the first and second resin layers 13 and 17 by carrying out the compress molding step only one time. When the substrate 16 is loaded onto the mold 20 in the resin sealing step, as shown in Fig. 34(A), the

second sealing resin 36 is loaded onto the mold 20 first, and the substrate 16 is placed on the first sealing resin 36 second. Thereafter, the first sealing resin 35 is placed on the substrate 16. During the above process, the second sealing resin 35 contacts the back surface of the substrate 16, and the first sealing resin 35 is placed on the surface of the substrate 16 on which the bumps 12 are formed.

Fig. 34(B) shows a state in which the compression molding is being performed. As shown in this figure, the substrate 16 is sandwiched between the first sealing resin 35 and the second sealing resin 36. Hence, the sealing resins 35 and 36 can be simultaneously compression-molded on the front and back surfaces of the substrate 16. Fig. 34(C) shows a state in which the first resin layer 13 is formed on the front surface of the substrate 16, and the second resin layer 17 is formed on the back surface thereof.

Fig. 34(D) shows a semiconductor device fabricated by the production method according to the present embodiment, and has the same structure as that of the semiconductor device 10E fabricated by the twelfth embodiment (the semiconductor device fabricated by the method according to the thirteenth embodiment is also assigned the reference number 10E). As described above, it is not necessary to perform the work for turning the substrate 16 upside down as in the case of the fabrication method of the twelfth embodiment. The first resin layer 13 and the second resin layer 17 can totally be formed by performing the compression molding process only one time. Hence, the production efficiency of the semiconductor device 10E can be improved.

A description will now be given of a method for fabricating a semiconductor device according to a fourteenth embodiment of the present invention.

Fig. 35 is a diagram showing the method for

fabricating the semiconductor device according to the fourteenth embodiment. In Fig. 35, parts that have the same structures as those of the first embodiment described with reference to Figs. 1 through 9 are given the same reference numbers, and a description thereof will be omitted.

In each of the aforementioned embodiments of the present invention, the protruding electrodes are spherical bumps. The fourteenth embodiment is characterized in that the protruding electrodes are straight bumps 18. The straight bumps are of a circular cylinder shape, and can be formed by a plating method. Since the straight bumps 18 have the circular cylinder shape, the area of tip ends thereof is wider than that of the spherical bumps 12.

the resin sealing step and the protruding electrode exposing step for the straight bumps 18 can be performed in the same manner as those employed in the aforementioned embodiments of the present invention. Figs. 35(A) and 35(B) show a state in which the substrate 16 in which the straight bumps 18 are formed is loaded onto the mold 20 (not shown therein) in the resin sealing step. Fig. 35B is an enlarged cross-sectional view of a portion of the illustration of Fig. 35(A). In the loaded state, a film 30A is loaded onto the ends of the straight bumps 18.

The film 30A has the same structure as that shown in Fig. 19 and is not liable to be elastically deformed. When the resin sealing step is carried out for the substrate 16 in the above state, the resin layer 13 is compression-molded between the film 30A and the front surface of the substrate 16.

When the resin sealing step is completed, a process is carried out which removes the film 30A fixed to the resin layer 13 (indicated by a pear-skin illustration) therefrom, as shown in Fig. 35(C). As

shown by an enlarged illustration of Fig. 35(D), the straight bumps 18 are embedded in the resin layer 13 except for the ends thereof.

In the seventh embodiment described with reference to Figs. 19 through 21, the bumps 12 has a spherical shape, and thus only small areas of the bumps 12 are exposed from the resin layer 13 which totally seals the bumps 12. Hence, it is required to expose the ends of the bumps 12 from the resin layer 13, as shown in Fig. 21.

In contrast, the fourteenth embodiment of the present invention employs the straight bumps 18 of the circular cylinder shape, the ends of the bumps 18 exposed from the resin layer 13 has a comparatively wide area. Hence, as shown in Fig. 35(D), a sufficient electrical contact can be made by merely removing the film 30A from the resin layer 13. Hence, the use of the straight bumps 18 can omit the step of exposing the bumps 12 from the resin layer 13 which is required when the spherical bumps 12 are employed. Thus, the step of fabricating the semiconductor device can be simplified.

If it is required to provide further improved electrical contact performance, the step of exposing the ends of the straight bumps 18 from the resin layer 13. In the following description, the term "bumps 12" includes the bumps 12 having the spherical shape and the straight bumps 18. Further, if the bumps 12 having the spherical shape are specifically described, a term "spherical bumps 12" is used. Similarly, if the straight bumps 18 are specifically described, a term "straight bumps 18" is used.

A description will be given of a fifteenth embodiment of the present invention.

Fig. 36 is a diagram showing a method of fabricating a semiconductor device according to the

fifteenth embodiment of the present invention. In Fig. 36, parts that have the same structures as those of the first embodiment described with reference to Figs. 1 through 9 and the fourteenth embodiment described with reference to Fig. 35 are given the same reference numbers, and a description thereof will be omitted.

The fabrication method according to the fifteenth embodiment is characterized by forming, after at least the ends of the bumps 12 (the straight bumps 18 are used in the present embodiment) are exposed from the resin layer 13 by the protruding electrode exposing step, other bumps 90 (hereinafter referred to as external connection bumps) on the ends of the bumps 12.

The external connection bumps 90 are formed by an external connection protruding electrode forming step, which may be a bump formation technique which is generally used in practice. Examples of such a technique are a transferring method, a plating method and a dimple plate method. After the protruding electrode exposing step is executed, the external connection protruding electrode forming step is carried out so that the external connection bumps 90 are formed on the ends of the straight bumps 18.

According to the present embodiment, the protruding electrode exposing step is carried out and then the external connection protruding electrode forming step is carried out so that the external connection bumps 90 are formed on the ends of the straight bumps 18 and the electrical connections between the semiconductor device and a mounting board can be made more definitely.

More particularly, the bumps 12 are formed on the electrodes formed on the substrate 16 (semiconductor element), and are required to have a small size. Hence, when the small-size bumps 12 are

used as external connection terminals for making electrical connections with the mounting board, there is a possibility that the electrical connections between the mounting board and the bumps 12 may not be made definitely.

The external connection bumps 90 provided in the present embodiment are separated from the bumps 12 formed on the substrate 16. Hence, it is possible to design the external connection bumps 90 separately from the substrate 16 and the bumps 12 (of course, the bumps 90 must be electrically connected to the bumps 12) and is thus flexible to the structure of the mounting board. Hence, the external connection bumps 90 provided to the ends of the bumps 12 makes it possible to improve the performance of mounting the semiconductor device on the mounting board.

A description will be given of a sixteenth embodiment of the present invention.

Fig. 37 is a diagram showing a method of fabricating a semiconductor device according to a sixteenth embodiment of the present invention. In Fig. 37, parts that have the same structures as those of the first embodiment described with reference to Figs. 1 through 9 and the fifteenth embodiment described with respect to Fig. 36 are given the same reference numbers, and a description thereof will be omitted.

The present embodiment is characterized by bonding the bumps 12 and the external connection protruding electrodes by means of adhesive members 91 (hereinafter, stress relaxation bonding members) in the external connection protruding electrode forming step. The present embodiment is also characterized by using pole electrodes 92 that serve as the external connection protruding electrodes.

The stress relaxation bonding members 91 are solder which has a fusing point higher than the

temperature applied when the semiconductor device is mounted. The pole electrodes 92 may be wires of palladium. The bumps 12 and the pole electrodes 92 are bonded together by the stress relaxation bonding members 91. The solder is a comparatively soft metal, and thus the stress relaxation bonding members 91 of solder are deformed in the bonded positions of the bumps 12 and the pole electrodes 92. Hence, stress exerted on the pole electrodes 92 can be absorbed.

According to the sixth embodiment, the bumps 12 and the pole electrodes 92 are bonded together by the stress relaxation bonding members 91 having the stress relaxing function. Hence, even if external force is exerted on the pole electrodes 92 and stress is caused, the stress is relaxed by the stress relaxation bonding members 91 and is prevented from being transferred to the bumps 12. Hence, it is possible to the substrate 16 (semiconductor element) from being damaged due to external stress and thus improve the reliability of the semiconductor device.

Since the external connection protruding electrodes are formed by the pole electrodes 92, it is possible to make good electrical connections with external connection terminals (those provided on the mounting board or those of a test device), as compared with the spherical electrodes. The spherical electrodes have a comparatively narrow connection area, whereas the pole electrodes 92 have a comparatively wide connection area.

It may be somewhat difficult to form the spherical electrodes and obtain an even height (diameter). In contrast, it is possible to easily form the wire-shaped pole electrodes 92 having an equal length, whereby there is no substantial difference in length among the pole electrodes 92. Further, the pole electrodes 92 can be elastically buckling-deformed, and inherently have the stress

relaxing function. Hence, it is possible to more effectively relax stress caused by external force.

A description will be given of a seventeenth embodiment of the present invention.

Fig. 38 is a diagram showing a method of fabricating a semiconductor device according to the seventeenth embodiment of the present invention. In Fig. 38, parts that have the same structures as those of the first embodiment described with reference to Figs. 1 through 9 are given the same reference numbers and a description thereof will be omitted.

The film 30 is formed of an elastic substance in order to expose the bumps 12 from the resin layer 13 in the aforementioned first embodiment of the present invention. Further, the film 30 is provided to the bumps 12 so that the ends of the bumps 12 fall in the film 30. Thus, when the film 30 is removed, the ends of the bumps 12 are exposed from the resin layer 13. However, the ends of the bumps 12 protruding from the resin layer 13 thus formed may have a comparatively narrow area and may not make good electrical contacts to the mounting board.

In the aforementioned seventh embodiment, the film 30A is formed of hard resin, and the ends of the bumps 12 are not naked from the resin layer 13 when the film 30A is removed. The ends of the bumps 12 are exposed by the laser projecting device or the like as shown in Fig. 21. However, the seventh embodiment requires a large-scale facility to expose the ends of the bumps 12.

With the above in mind, as shown in Fig. 38(A), the seventeenth embodiment is characterized by forming the film 30B of a hard substance in the resin sealing step and forming projections 19 on the film 30B so that the projections 19 face the bumps 12. A description will be given of the resin sealing step using the film 30B provided with the projections 19.

In Fig. 38, an illustration of the mold is omitted.

Fig. 38(B) shows a state in which the substrate 16, the sealing resin 35 and the film 30B are loaded onto the mold. In this state, the projections 19 formed on the film 30B are positioned so as to face the bumps 12 formed on the substrate 16. The film 30B is formed of a hard resin substance, and the projections 19 are formed of a comparatively soft resin substance. That is, the present embodiment, the film 30B and the projections 19 are made of different substances (however, the films 30B and the projections 19 may be integrally formed of an identical substance).

Fig. 38(C) shows a state in which the sealing resin 35 is subjected to a compression molding process. In the compression molding process, the projections 19 formed on the film 30B are pressed by the bumps 12. Hence, the sealing resin 35 do not adhere to the bumps 12, in areas in which the projections 19 are pressed by the bumps 12. IN addition, the projections 19 are formed of soft resin, and the contact areas between the bumps 12 and the projections 19 can be increased because the projections 19 are elastically deformable.

Fig. 38(D) shows a protruding electrode exposing step in which the film 30B is removed from the substrate 16. As has been described previously, the sealing resin 35 do not adhere to the bumps 12 in the areas in which the bumps 12 are pressed by the projections 19. In the state in which the film 30B has been removed, the above areas are exposed from the resin layer 13. In addition, the areas in which the bumps 12 are exposed from the resin layer 13 are wider than corresponding those obtained by the method of the first embodiment of the present invention.

Hence, according to the seventeenth embodiment of the present invention, it is possible to

definitely expose the bumps 12 from the resin layer 13 without a large scale facility. Further, the areas of the bumps 12 exposed from the resin layer 13 are comparatively wide. Hence, as shown in Fig. 38(E), even when the external connection bumps 90 are provided to the ends of the bumps 12, the bumps 12 and the external connection bumps 90 can definitely be bonded together.

A description will be given of an eighteenth embodiment of the present invention.

Figs. 39 and 40 are diagrams showing a method for fabricating a semiconductor device according to the eighteenth embodiment of the present invention. In Figs. 39 and 40, parts that have the same structures as those of the first embodiment described with reference to Figs. 1 through 9 are given the same reference numbers and a description thereof will be omitted.

The present embodiment is characterized by a method for forming a bump 12A on the substrate 16 and a structure thereof. The bump 12A is formed on a connection electrode 98 provided on the surface of the substrate 16. The step of forming the bump 12A commences forming a core portion 99 (indicated by a pear-skin illustration) on the upper portion of the connection electrode 98. The core portion 99 is formed of resin having elasticity (for example, polyimide).

The core portion 99 can be formed on the connection electrode 98 by the following method. First, resin (photosensitive polyimide) for forming the core portion 99 is spin-coated on the entire surface of the substrate 16 to have a given thickness. Subsequently, the portion of the resin 98 other than the connection electrode 98 is removed by photolithography.

Then, an electrically conductive film 100 is

formed so as to cover the entire surface of the core portion 99. The electrically conductive film 100 is formed by a thin-film forming technique such as a plating method or sputtering method. The side portions of the film 100 are connected to the connection electrode 98. The electrically conductive film 100 is formed of a metal which has an elasticity and a low electrical resistance. By the above method, the bump 12A is formed. In Fig. 39, a reference number 102 indicates an insulating film.

It can be seen from the above description that the bump 12A includes the core portion 99 and the electrically conductive film 100 formed on the surface of the core portion 99. As described above, the core portion 99 has an elasticity and the electrically conductive film 100 is also formed by a substance having an elasticity. Hence, even if external force is exerted on the bump 12A at the time of mounting, resultant stress can be absorbed due to elastic deformations of the core portion 99 and the electrically conductive film 100. Hence, it is possible to prevent stress from being applied to the substrate 16, which can thus be suppressed from being damaged.

Now, a description will be given of the height of the bump 12A with respect to the resin layer 13. Fig. 39(A) shows an arrangement in which the ends of the bump 12A protrudes from the resin layer 13. The bump 12A has a comparatively wide exposed area. Hence, when the external connection bump 90 is provided, the bump 21A and the bump 90 can definitely be bonded together through a wide interface area.

Fig. 39(B) shows an arrangement in which the end of the bump 12A is flush with the surface of the resin layer 13. This arrangement provides a semiconductor device of an LCC (Leadless Chip Carrier) structure, and contributes to increasing the mounting

density.

Fig. 39(C) shows an arrangement in which the end of the bump 12A is located at a lower level than that of the surface of the resin layer 13. Hence, a recess portion 101 is formed in the resin layer 13 through which the bump 12A is exposed. If the external connection bump 90 is applied to the present arrangement, the recess portion 101 functions to position the external connection bump 90. Hence, as compared with the arrangement shown in Fig. 39(A), the bump 12A and the external connection bump 90 can be positioned easily.

In the present eighteenth embodiment, as shown in Fig. 40, electrode pads 97 provided on the substrate 16 (semiconductor element) are spaced apart from connection electrodes 98 in which the bumps 12A are formed. The electrode pads 97 and the connection electrodes 98 are connected together through lead lines 96.

In the arrangement shown in Fig. 39 in which the external connection bump 90 is provided to the end of the bump 12A, the bump 90 is made greater than the bump 12A in order to improve the mounting performance. Hence, if the adjacent bumps 12 are arranged at a small pitch, the adjacent external connection bumps 90 may contact each other.

With the above in mind, in the arrangement shown in Fig. 90, the electrode pads 97 and the connection electrodes 98 are connected together by means of the lead lines 96, so that the connection electrodes 98 in which the bumps 12A are formed are arranged at an increased pitch. Hence, it is possible to avoid occurrence of an interference between the adjacent external connection bumps 90.

A description will be given of a nineteenth embodiment of the present invention.

Fig. 41 is a diagram showing a method for

producing a semiconductor device according to the nineteenth embodiment of the present invention. In Fig. 41, parts that have the same structures as those of the first embodiment described with reference to Figs. 1 through 9 are given the same reference numbers, and a description thereof will be omitted.

In the present fabrication method, as shown in Fig. 41(A), a cut position groove 105 having a relatively wide width is formed, before the resin sealing step, in a position (indicated by a broken line X; the position is hereinafter referred to as cut position) in which the substrate 16 is cut by a separating step carried out. The width of the cut position groove 105 is at least greater than the width of a dicer 29, which will be described later.

In the resin sealing step of forming the resin layer 13 subsequent to the step of forming the groove 105, the cut position groove 105 is filled with the sealing resin 35, so that a cut position resin layer 106 is formed. In the separating step carried out after the resin sealing step, as shown in Fig. 41(B), the substrate 16 is cut, by the dicer 29, in the cut position X within the cut position groove 105 full of the cut position resin layer 106. Hence, the substrate 16 is cut as shown in Fig. 41(C).

According to the above mentioned fabrication method, it is possible to prevent occurrence of a crack in the substrate 16 and the resin layer 13 in the separating step. The reason for the above will be described below.

An arrangement will now be assumed in which the cut position groove 105 is not formed. The separating step cuts the substrate 16 having the surface on which the resin layer 13 that is a relatively thin film is provided. The cutting process using the dicer 29, a large magnitude of stress is applied to the substrate 16. Hence, the thin resin

layer 13 may be flaked off from the substrate 16 or crack may occur in the resin layer 13 and the substrate 16.

In contrast, according to the nineteenth embodiment of the present invention, the cut position groove 105 which is relatively wide is formed in the cut position X. Hence, the separating step is carried out within the cut position groove 105 in which the cut position resin layer 106 is formed. The cut position resin layer 106 is thicker than the resin layer 13 formed on the other portion, and a greater mechanical strength. Further, the cut position resin layer 106 is more flexible than the substrate 16, and functions to absorb the stress.

Hence, the stress caused in the cutting process is absorbed and weakened by the cut position resin layer 106, and is then applied to the substrate 16. Hence, it is possible to prevent occurrence of a crack in the resin layer 13 and the substrate 16 and improve the yield.

As shown in Fig. 41(C), exposed portions of the cut position resin layer 106 are provided on the side surfaces of the substrate 16 after the separating step is completed. Hence, the side portions of the substrate 16 are protected by the cut position resin layer 106, so that the substrate 16 can be suppressed from being affected by the external environments.

Further, a handling apparatus used to transport the semiconductor device can be designed to grip the exposed portions of the cut position resin layer 106. Hence, it is possible to prevent the substrate 16 from being damaged by the handling apparatus.

A description will now be given of a twentieth embodiment of the present invention.

Fig. 42 is a diagram showing a method for fabricating a semiconductor device according to the

Fig. 42, parts that have the same structures as those of the first embodiment described with reference to Figs. 1 through 9 and the nineteenth embodiment described with reference to Fig. 41 are given the same reference numbers, and a description thereof will be omitted.

In the aforementioned nineteenth embodiment, the cut position groove 105 is formed in the cut position X. In contrast, the twentieth embodiment is characterized, as shown in fig. 42(A), that a pair of stress relaxing grooves 110a and 110b are provided so that sandwich the cut position X. Hence, the separating step, the substrate 16 is cut in the position between the pair of stress relaxing grooves 110a and 110b.

Further, as shown in Fig. 42(B), 111a and 111b are formed in the stress relaxing grooves 110a and 110b in the resin sealing step. The stress relaxing resin layers 111a and 111b are thicker than the resin layer 13 formed on the other portions and have an enhanced mechanical strength. Further, the stress relaxing resin layers 111a and 111b are more flexible than the substrate 16 and thus function to absorb stress generated.

When the substrate 16 is cut in the position between the stress relaxing grooves 110a and 110b, a large magnitude of stress is applied to the above position (hereinafter, the portion is referred to as a substrate cutting portion 16a). Hence, a crack may be generated in the substrate cutting portion 16a and the resin layer 13 provided thereon. However, no important structural elements such as the bump 12 and an electronic circuit are provided in the substrate cutting portion 16a. Hence, there is no problem even if a crack occurs.

The stress generated when the substrate

cutting portion 16a is cut is transferred towards the sides of the substrate 16. However, the stress relaxing grooves 110a and 11b full of the stress relaxing layers 111a and 111b are formed on the sides of the substrate cutting portions 16a. Hence, the above stress can be absorbed by the stress relaxing grooves 110a and 110b.

Hence, the stress generated in the substrate cutting portions 16a do not affect portions (in which electronic circuits are formed) located beyond the stress relaxing grooves 110a and 110b. Thus, it is possible to prevent a crack from being generated in the areas in which the bumps 12 and electronic circuits are formed. Fig. 42(C) shows a state in which the separating step is completed.

A description will be given of a twenty first embodiment of the present invention.

Fig. 43 is a diagram of a method for fabricating a semiconductor device according to the twenty first embodiment. In Fig. 43, parts that have the same structures as those of the first embodiment described with reference to Figs. 1 through 9 and the nineteenth embodiment described with reference to Fig. 41 are given the same reference numbers, and a description thereof will be omitted.

In the fabrication method of the present embodiment, a first separating step is executed before the resin sealing step is executed. Thus, the substrate 16 is separated into semiconductor elements 112. Each of the semiconductor elements 112 is equipped with bumps 12 and an electronic circuit (not shown).

After the first separating step is completed, the resin sealing step is carried out. In this step, as shown in Fig. 43(A), the semiconductor elements 112 are arranged on a film member 113 serving as a base member. At this time, an adhesive is used

member 113. As shown in Fig. 43(A), the semiconductor elements 112 are arranged so that a gap portion 114 is formed between the adjacent semiconductor elements 112.

Then, a resin compression-molding process is carried out so that the resin layer 13 is formed on the surface of each of the semiconductor elements 112, and a cut position resin layer 106 is formed in the gap portion 114. Subsequently, a protruding electrode exposing step is carried out which exposes at least the ends of the bumps 12 from the resin layer 13. Fig. 43(B) shows a state observed when the above process is completed.

Then, a second separating step is carried out. In this step, a cutting operation is performed in the position between the adjacent semiconductor elements 112, that is, the position in which the cut position resin layer 106 is formed. Hence, the cut position resin layer 106 is cut along with the film member 113. Hence, as shown in Fig. 43(C), the semiconductor elements 112 having the resin layer 13 are separated from each other. Then, as shown in Fig. 43(D), the separated film members 113 are removed.

In the above-mentioned fabrication method, the semiconductor elements 112 are separated from each other by cutting the substrate 16 by the first separating step. Hence, it is possible to mount different types of semiconductor elements 112 on the film member 113 in the resin sealing step.

Hence, it is possible to realize a combination of semiconductor elements 112 of different types and different performances on the single resin sealing layer 13. Hence, the degree of freedom in design of semiconductor devices can be improved. Further, the twenty first embodiment has the same effects as those of the nineteenth embodiment.

described with reference to Fig. 41.

A description will be given of a twenty second embodiment of the present invention.

Fig. 44 is a diagram showing a method of fabricating a semiconductor device according to the twenty second embodiment. In Fig. 44, parts that have the same structures as those of the twenty first embodiment described with reference to Fig. 43 are given the same reference numbers, and a description thereof will be omitted.

The fabrication method of the present embodiment is generally the same as that of the twenty first embodiment described with reference to Fig. 43. In the twenty first embodiment, the film member 113 is used as the base member in the resin sealing step. In contrast, the twenty second embodiment uses a heat radiating plate 115 as the base member.

Thus, the semiconductor elements 112 are mounted on the heat radiating plate 115 in the resin sealing step, and the heat radiating plate 115 is cut together with the cutting position resin layer 106 in the second separating step. In the twenty first embodiment, the film member 113 is removed after the second separating step is completed. In contrast, the present embodiment does not remove the heat radiating members 115 after the second separating step is completed. Hence, the heat radiating plates 115 remain in the respective semiconductor devices, which have improved heat radiating performance.

A description will be given of a twenty third embodiment of the present invention.

Figs. 45 and 46 are diagrams showing a method for fabricating a semiconductor device according to a twenty third embodiment of the present invention. In Figs. 45 and 46, parts that have the same structures as those of the first embodiment described with reference to Figs. 1 through 9 are

given the same reference numbers and a description thereof will be omitted.

The fabrication method of the present embodiment is characterized by forming, as shown in Fig. 46, positioning grooves 120 on the resin layer after the resin sealing step is executed but before the separating step is executed.

The positioning grooves 120 formed on the resin layer 13 can be used as a reference for positioning a semiconductor device 10F to a tester. By forming the positioning grooves 120 before the separating step is executed, the positioning grooves 120 can be totally and efficiently formed with respect to a plurality of semiconductor devices 10F.

The positioning grooves 120 can be formed by, for example, performing half scribing to the resin layer 13 by using the dicer 29, as shown in Fig. 45. Hence, the positioning grooves 120 can be efficiently and precisely formed by the generally used scribing technique.

A description will be given of a twenty fourth embodiment of the present invention.

Fig. 47 is a diagram showing a method for fabricating a semiconductor device according to the twenty fourth embodiment. In Fig. 47, parts that have the same structures as those of the first embodiment are given the same reference numbers and a description thereof will be omitted.

The present embodiment is characterized by forming, as shown in Fig. 47, positioning grooves 121 on the back surface of the substrate 16 before the resin sealing step is completed but before the separating step is performed. Fig. 47(B) is an enlarged view of a part of the illustration of Fig. 47(A).

The positioning grooves 121 can be used as a reference for positioning the semiconductor device as

in the case of the twenty third embodiment. Particularly, the positioning of the semiconductor device at the time of mounting is carried out so that the bumps 12 face the mounting board. Hence, the positioning grooves 120 formed on the resin layer 13 cannot be visually recognized from the upper side.

In contrast, the positioning grooves 121 formed on the back surface of the substrate 16 can be visually recognized even at the time of mounting. Hence, the mounting process can be carried out precisely. The positioning grooves 121 can be formed by performing half scribing on the back surface of the substrate 16 by the dicer 29 as in the case of the twenty third embodiment.

A description will be given of twenty fifth and twenty sixth embodiments of the present invention.

Fig. 48 is a diagram showing a method for fabricating a semiconductor device according to the twenty fifth embodiment of the present invention, and Fig. 49 is a diagram showing a method for fabricating a semiconductor device according to the twenty sixth embodiment of the present invention. In Figs. 48 and 49, parts that have the same structures as those of the first embodiment described with reference to Figs. 1 through 9 are given the same reference numbers, and a description thereof will be omitted.

The fabrication method of the twenty fifth embodiment is characterized by forming positioning grooves 121 as in the case of the twenty third and twenty fourth embodiments. Fig. 48(C) shows one positioning groove 122 formed on the resin layer 13.

As shown in Fig. 48(A), the positioning grooves 122 are formed by using a film 30C having projections 31 located in positions in which the projections 31 do not interfere with the bumps 12. Fig. 48(B) shows a state in which the film 30C having the projections 31 faces the substrate 16 in the resin

sealing step. As shown, the projections 31 is located so as not to face the bumps 12. Hence, the positioning groove 122 is formed on the resin layer 13 due to the projections 31 when the resin sealing step is completed.

The fabrication method of the twenty sixth embodiment is characterized by forming a positioning protruding 123 in the resin layer 13. Fig. 49(C) shows the positioning protruding 123 formed in the resin layer 13.

The positioning protruding 123 are formed by using the film 30C having recesses 32 located in the positions in which the recess positions 32 do not interfere with the bumps 12. Fig. 49(B) shows a state in which the film 30C having the recess 32 faces the substrate 16. As shown, the recess 32 is located so as not to face the bumps 12. Hence, the positioning protruding 123 is formed on the resin layer 13 due to the recess 32 when the resin sealing step is completed.

The above-mentioned twenty fifth and twenty sixth embodiments respectively use the films 30C having the projections 31 and the recesses 32 located in the positions having no positional interferences with the bumps 12, so that the positioning grooves 122 and the positioning protruding 123 serving as the references for positioning can be formed on the resin layer 13. Hence, when the semiconductor device is subjected to a test process or a mounting process, the semiconductor device can be positioned by referring to the positioning grooves 122 or the positioning protruding 123. Hence, the positioning work of the semiconductor device can be simplified.

A description will be given of a twenty seventh embodiment of the present invention.

Fig. 50 is a diagram showing a method for fabricating a semiconductor device according to the

twenty seventh embodiment. In Fig. 50, parts that have the same structures as those of the first embodiment described with reference to Figs. 1 through 9 are given the same reference numbers, and a description thereof will be omitted.

The fabrication method of the present embodiment is characterized by selecting some bumps 12 among the bumps 12 as references for positioning (hereinafter such bumps are referred to as positioning bumps 12B) and by processing, after the resin sealing step is completed, the resin layer 13 in the positions in which the positioning bumps 12B are formed. Hence, the general bumps 12 can be discriminated over the positioning bumps 12B. The structure itself of the positioning bumps 12B is the same as that of the general bumps 12.

Fig. 50(A) shows the substrate 16 observed after the resin sealing step and the protruding electrode exposing step are completed. In this state, the resin layer 13 has a uniform film thickness on the substrate 16. Hence, the positioning bumps 12B cannot be discriminated from the general bumps 12.

With the above in mind, as shown in Fig. 50(B), a step is performed which reduces the thickness of the resin layer 13 in the vicinity of the positioning bumps 12B. Hence, the positioning bumps 12B can be discriminated from the general bumps 12. The resin layer 13 can be processed to define the positioning bumps 12B by, for example, laser beam projection, excimer laser, etching, mechanical polishing or blasting, these means being also used in the aforementioned protruding electrode exposing step. Hence, there is no need to greatly modify the fabrication facility for resin processing.

A description will be given of a method of discriminating the positioning bumps 12B from the general bumps 12. Fig. 50(C) is an enlarged view of a

part of the positioning bump 12B, and Fig. 50(D) is a top view of the positioning bump 12B. Fig. 51(A) is an enlarged view of the general bump 12, and Fig. 51(B) is a top view of the general bump 12.

As described previously, the positioning bump 12B has the same structure as that of the general bump 12. Hence, it is impossible to discriminate the general bump 12 and the positioning bump 12B only by referring to their structures themselves. The bumps 12 and 12B have a spherical shape or a rugby ball shape, and thus the diameters thereof viewed from the top are different from each other due to the depths in which the bumps 12 and 12B are embedded in the resin layer 13.

More particularly, the general bump 12 is deeply embedded in the resin layer 13, and thus a comparatively small diameter L2 of the exposed portion can be observed when viewing the general bump 12 from the top, as shown in Fig. 51(B). In contrast, the positioning bump 12B is greatly exposed from the resin layer 13 by the aforementioned resin process, and thus a comparatively large diameter L1 of the exposed portion can be observed when viewing the positioning bump 12 from the top, as shown in Fig. 50(D) (L1 > L2).

Hence, it is possible to discriminate the general bump 12 and the positioning bump 12B from each other by measuring the diameters of the bumps 12 and 12B observed when viewing these bumps from the top. Hence, it is possible to position the semiconductor device by referring to the positioning bumps 12B.

A description will be given of a method for mounting the semiconductor device fabricated by any of the foregoing embodiments of the present invention.

Fig. 52 shows a first embodiment of the mounting method. Fig. 52(A) shows a method for mounting the semiconductor device 10 fabricated by the

method according to the aforementioned first embodiment of the present invention, wherein the bumps 12 are bonded to the mounting board 14 by using bonding members 125 such as solder paste. Fig. 52(B) shows a method for mounting a semiconductor device 10G fabricated by the method according to the aforementioned fourteenth embodiment, wherein the straight bumps 18 are bonded to the mounting board 14 by using the bonding members 125 such as solder paste. Fig. 52(C) shows a method for mounting a semiconductor device 10H fabricated by the method according to the aforementioned fifteenth embodiment, in which the external connection terminals 90 provided to the ends of the bumps 12 are bonded to the mounting board 14.

Fig. 53 shows a second embodiment of the mounting method. The mounting method shown in Fig. 53 mounts the semiconductor device 10 on the mounting board 14 and arranges an under fill resin 126.

Fig. 53(A) shows an arrangement in which the bumps 12 of the semiconductor device 10 are directly bonded to the mounting board 14 and then the under fill resin 126 is provided. Fig. 53(B) shows an arrangement in which the bumps 12 are bonded to the mounting board 14 through the bonding members 125, and then the under fill resins 126 are provided.

As described above, the semiconductor devices 10, 10A - 10H have the arrangements in which the resin layers 13, 13A and 13B are formed on the substrates 16, which are definitely protected thereby.

On the other hand, the portions of the bumps 12, 18 and 90 bonded to the mounting board 14 are exposed and may be oxidized. Also, if there is a large difference in thermal expansion ration between the mounting board 14 and the substrate 16, a large magnitude of stress may be applied to the bonded portions of the bumps 12, 18 and 90 and the mounting board 14. With the above in mind, the under fill

resin 126 may be provided in order to prevent the bonded portions from being oxidized and relax the stress applied to the bonded portions.

Fig. 54 shows a third embodiment of the mounting method (the semiconductor device 10H having the external connection bumps 90 is exemplarily illustrated). The present mounting method is characterized by arranging heat radiating fins 127 and 128 to the semiconductor device 10H at the time of mounting.

Fig. 54A shows an arrangement in which the heat radiating fin 12 is provided to a single semiconductor device 10H. Fig. 54B shows an arrangement in which the heat radiating fin 128 is arranged to a plurality of (two in the figure) semiconductor devices 10H. The semiconductor devices 10H are fixed to the heat radiating fins 127 and 128 and are then mounted on the mounting board 14. Alternatively, the semiconductor devices 10H are mounted on the mounting board 14, and then the heat radiating fins 127 and 128 are fixed to the semiconductor devices 10H.

Fig. 55 shows a fourth embodiment of the mounting method. The present mounting method mounts a plurality of semiconductor devices 10 on the mounting board 14 by using interposer boards 130. The semiconductor devices 10 are bonded to the interposer boards 130 by the bumps 12, and the interposer boards 130 are electrically connected together through substrate bonding bumps 129. Hence, connection electrodes 130a and 130b are formed on the upper and lower surfaces of each of the interposer boards 130, and are connected together by internal wiring lines 130c.

The present mounting method makes it possible to arrange a plurality of semiconductor devices 10 in a stacked formation and thus increase

the mounting density of semiconductor devices 10 per unit area on the mounting board 14. The arrangement of the present method is effective and efficient when the semiconductor devices 10 are memory devices.

Fig. 56 shows a fifth embodiment of the mounting method, in which the semiconductor device 10A of the second embodiment described with reference to Fig. 26 is mounted on the interposer board 131, which is then mounted on the mounting board 14. The interposer board 131 used in the present embodiment is a multi layer wiring board. A plurality of upper electrodes which are to be connected to the semiconductor device 10A are provided on the upper surface of the interposer board 131. A plurality of mounting bumps 136 which are to be bonded to the mounting board 14 are provided on the lower surface of the interposer board 131.

Fig. 57 shows a sixth embodiment of the mounting method, in which the semiconductor device 10A of the second embodiment is mounted on a first interposer board 131, which is mounted on a second interposer board 132 together with other electronic components 135. Then, the second interposer board 132 is mounted on the mounting board 14. The second interposer board 132 is a multilayer wiring board. A plurality of upper electrodes which are to be connected to the first interposer board 131 and the electronic components 135 are provided on the upper surface of the second interposer board 132. A plurality of mounting bumps 137 which are to be bonded to the mounting board 14 are provided on the lower surface of the second interposer board 132.

Fig. 58 shows a seventh embodiment of the mounting method. In the sixth embodiment of the mounting method shown in Fig. 57, the first interposer board 131 on which the semiconductor device 10A is mounted and the electronic components 135 are provided

on only the upper surface of the second interposer 132, while the mounting bumps 137 are provided on the lower surface thereof.

In contrast, in the seventh embodiment of the mounting method, a second interposer board 133 has upper and lower surfaces on both of which surfaces are provided the electronic components 135 and the first interposer boards 131 on which the semiconductor devices 10A are mounted. Electrical connections with the outside of the device are made by card edge connectors 138 provided on a side end of the second interposer board 133 (the left side end in Fig. 58).

In the mounting methods described with reference to Figs. 55 through 58, the interposer boards 131 - 133 are interposed between the semiconductor device 10, 10A and the mounting board 14 (or a connector to which the card edge connectors 138). The interposer boards 131 - 133 are multilayer wiring boards, so that the wiring lines within the boards can be routed with ease and a high degree of freedom, and the matching between the bumps 12 of the semiconductor devices 10, 10A (the external connection bumps 90) and the mounting board 14 (or connector).

A description will be given of a method for fabricating a semiconductor device according to a twenty eighth embodiment of the present invention, and a fourth embodiment of the semiconductor device.

First, a description will be given, with reference to Fig. 63, of a semiconductor device 10J according to the fourth embodiment of the present invention. In Fig. 63, parts that have the same structures as those of the semiconductor device 10 according to the first embodiment described with reference to Fig. 9 are given the same reference numbers and a description thereof will be omitted. The semiconductor device 10J of the present embodiment is generally made up of the substrate 16

(semiconductor element), the resin layer 13 and external connection electrodes 140. The substrate 16 functions as a semiconductor element and has a surface on which are provided electronic circuits and the external connection electrodes 140 which can be connected to external terminals. The resin layer 13 is formed so as to cover the surface of the substrate 16 so that the external connection electrodes 140 are sealed by the resin layer 13.

The semiconductor device 10J of the present embodiment is characterized in that the external connection electrodes 140 are laterally exposed at the interface between the substrate 16 and the resin layer 13. More particularly, the semiconductor device 10J does not have any bumps, and electrical connections to a mounting board or the like can be made by the external connection electrodes 140 laterally exposed at the interface and used instead of the bumps.

The semiconductor device 10J can be mounted on the mounting board by the external connection electrodes 140 rather than the bumps. Hence, it is possible to simplify the structure and fabrication process of the semiconductor device 10J and to thus reduce the cost and fabrication efficiency. Further, since the external connection electrodes 140 are laterally exposed at the interface between the resin layer 13 and the substrate 16, the semiconductor device 10J can vertically be mounted on the mounting board 14, as will be described in detail later.

A description will now be given of a method for fabricating a semiconductor device according to a twenty eighth embodiment of the present invention. The fabrication method of the twenty eighth embodiment fabricates the semiconductor device 10J shown in Fig. 63.

The method for fabricating the semiconductor device 10J does not have the step of forming the

bumps, but executes the resin sealing step immediately after a semiconductor element forming step is performed. In the semiconductor element forming step, given electronic circuits are formed on the surface of the substrate 16, and the lead lines 96 and the connection electrodes 98 are formed thereon, as has been described with reference to Fig. 40. Further, in the present step, the external connection electrodes 140 are formed on the connection electrodes 98.

Fig. 59 shows the substrate in a state in which the semiconductor element forming step is completed. As shown in this figure, the external connection electrodes 140 are arranged along an edge of each of the rectangular areas (depicted by the solid lines), which correspond to respective semiconductor elements.

After the substrate forming step is carried out, a resin sealing step is carried out, in which the substrate 16 is loaded onto the mold and the resin 13 is compression-molded. The present resin sealing step is the same as that of the aforementioned first embodiment, and a description thereof will be omitted.

When the resin sealing step is completed, the resin layer 13 is formed on the entire surface of the substrate 16. Hence, the lead lines 96 and the connection electrodes 98 are covered by the resin layer 13. After the resin sealing step, a separating step is immediately carried out rather than the protruding electrode exposing step because the bumps are not formed.

The present embodiment is characterized by cutting, in the separating step, the substrate 16 in the position where the external connection electrodes 140 are formed. In Fig. 59, the broken lines denote the cutting positions. The substrate 16 is cut in the cutting position together with the resin layer 13, parts of the external connection electrodes 140 are

cut, so that the semiconductor devices 10J can be obtained in which the external connection electrodes 140 are laterally exposed at the interface between the substrate 16 and the resin layer 13.

As described above, the fabrication method of the present embodiment does not need the bump forming step and the protruding electrode exposing step, which are required in the aforementioned embodiments. Further, the external connection electrodes 140 can be exposed from the resin layer 13 by merely cutting the substrate 16 in the cutting positions together with the resin layer 13. Hence, the semiconductor devices 10J can easily be fabricated.

A description will now be given, with reference to Figs. 60 through 62, of a method for fabricating a semiconductor device according to a twenty ninth embodiment of the present invention. The present fabrication method is directed to fabricating the semiconductor device 10J shown in Fig. 63. In Figs. 60 through 62, parts that have the same structures as those shown in Fig. 59 are given the same reference numbers and a description thereof will be omitted.

As described previously, the twenty eight embodiment fabrication method described with reference to Fig. 59 can fabricate the semiconductor device 10J with ease. However, the separating step is required to cut the substrate 16 not only at the positions indicated by the broken lines shown in Fig. 59 but also at the positions indicated by the solid lines shown therein. Further, parts indicated by arrows W are unnecessary (and discarded). Hence, the twenty eighth embodiment method does not execute the cutting process efficiently in the separating step and does not substrate 16 efficiently.

Fig. 60 shows the substrate 16 in a state in

which the semiconductor element forming step is completed. Fig. 60(A) shows the whole substrate 16, and Fig. 60(B) is an enlarged view of semiconductor elements 11a and 11b among a plurality of semiconductor elements shown in Fig. 60(A).

As shown in Fig. 60(B), even in the present embodiment, the external connection electrodes 140 are arranged along an edge of each of the semiconductor elements 11a and 11b. However, the present embodiment is characterized in that the external connection electrodes 140 are commonly owned by the adjacent semiconductor elements 11a and 11b.

After the above substrate forming step, a resin sealing step is carried out so that the resin layer 13 is formed on the surface of the substrate 16. Hence, the lead lines 96 and the connection electrodes 98 formed in the substrate forming step are sealed.

After the resin sealing step is completed, a separating step is performed so that the substrate 16 is cut in the positions where the external connection electrodes 140 are formed. In Fig. 61(B), the position indicated by the broken line is a cutting position.

The substrate 16 is cut in the cutting position so that the external connection electrodes are cut in the central positions thereof. Thus, as shown in Fig. 62, the semiconductor devices 10J are formed in each of which devices the external connection electrodes 140 are laterally exposed at the interface between the substrate 16 and the resin layer 13.

As described above, the external connection electrodes 140 are commonly owned by the adjacent semiconductor elements 11a and 11b. Hence, by forming the cutting process only one time, it is possible to expose the external connection electrodes 140 in each of the semiconductor elements 11a and 11b.

Hence the efficiency in fabrication of the semiconductor devices 10J can be improved. Further, the present fabrication method does not produce the unnecessary parts indicated by the arrows W shown in Fig. 59. Hence, the substrate 16 can efficiently be utilized. e

A description will now be given of eighth through eleventh embodiments of the semiconductor device mounting method, which are directed to mounting the semiconductor device shown in Fig. 63 on the mounting board 14.

Fig. 64 shows the eighth embodiment of the mounting method which mounts the semiconductor device 10J. The present mounting method is directed to mounting a single semiconductor device 10J on the mounting board 14.

As has been described previously, the semiconductor device 10J has the external connection electrodes 140, which are laterally exposed from the side portion thereof. Hence, the semiconductor device 10J can be mounted so that a side surface 141 thereof from which the external connection electrodes 140 are exposed faces the mounting board 14. Thus, the semiconductor 10J can be mounted on the mounting board 14 in an upright state.

In the arrangement shown in Fig. 64(A), a paste member 142 is used to bond the external connection electrodes 140 and the mounting board 14, whereby the semiconductor device 10J vertically stands on the mounting board 14. In the arrangement shown in Fig. 64(B), external connection bumps 143 are provided to the external connection electrodes 140 beforehand, and are then bonded to the mounting board 14, so that the semiconductor device 10J vertically stands on the mounting board 14.

The above vertical mounting of the semiconductor device 10J on the mounting board 14

requires a reduced area on the mounting board 14, as compared with a mounting arrangement in which the semiconductor 10J is laid on the mounting board 14, and thus improves the density of mounting the semiconductor devices 10J.

Figs. 65 and 66 show the ninth and tenth embodiments of the mounting method wherein a plurality of semiconductor devices 10J are mounted on the mounting board 14.

The ninth embodiment shown in Fig. 65 is characterized in that a plurality of semiconductor devices 10J are vertically arranged side by side, and adhesives 144 are used to bond the adjacent semiconductor devices 10J together. The step of bonding the adjacent semiconductor devices 10J by the adhesives 144 is carried out before the semiconductor devices 10J are mounted on the mounting board 14. Alternatively, the bonding step may be carried out when the semiconductor devices 10J are bonded to the mounting board 14.

The semiconductor devices 10J are bonded to the mounting board 14 by arranging the external connection bumps 143 to the external connection electrodes 140 beforehand and bonding the external connection bumps 143 to the mounting board 14, as in the case of Fig. 64(B). Alternatively, the adhesives 142 shown in Fig. 64(A) can be used to bond the semiconductor devices 10J and the mounting board 14.

The tenth embodiment shown in Fig. 66 is characterized in that a plurality of semiconductor devices 10J are vertically arranged side by side and a supporting member 145 is used to support the semiconductor devices 10J in the vertically standing state. The semiconductor devices 10J are bonded to the mounting board 14 by using the external connection bumps 143 as in the case of the ninth embodiment mounting method.

The supporting member 145 is formed of a metal having a good heat radiating performance, and has partition walls 146 by which the adjacent semiconductor devices 10J are separated from each other. Each of the semiconductor devices 10J is bonded to a pair of partition walls 146 by an adhesive, whereby the semiconductor devices 10J are fixed to the supporting member 145.

The means for fixing the semiconductor devices 10J to the supporting member 145 is not limited to an adhesive but includes means for holding each of the semiconductor devices 10J by a respective pair of partition walls 146.

According to the ninth and tenth embodiments of the method for fabricating the semiconductor device 10J, it is possible to handle a plurality of semiconductor devices 10J as a unit. Hence, it is possible to mount a number of semiconductor devices 10J on the mounting board 14 on the unit basis and to thus improve the efficiency in mounting the semiconductor devices 10J.

Fig. 67 shows the eleventh embodiment of the method for mounting semiconductor devices 10J. The present method is characterized by mounting a plurality of (four in the illustrated structure) semiconductor devices 10J on the mounting board 14 through an interposer board 147.

In the present embodiment, a plurality of semiconductor devices 10J to which the ninth embodiment mounting method described with reference to Fig. 65 is applied are mounted on the interposer board 147. Then, the interposer board 147 is mounted on the mounting board 14. The interposer board 147 used in the present embodiment is a multilayer wiring board, which has an upper surface on which upper electrodes 148 are formed to which the semiconductor devices 10J are connected. Also, the interposer board 147 has a

lower surface on which lower electrodes 149 are arranged. The mounting bumps 136 for bonding the interposer board 147 to the mounting board 14 are provided to the lower electrodes 149. The upper electrodes 148 and the lower electrodes 149 are connected by internal wiring lines 150.

According to the present embodiment mounting method, the interposer board 147 is provided between the semiconductor devices 10J and the mounting board 14, so that the semiconductor devices 10J can be mounted on the mounting board 14 with an increased degree of freedom.

A description will be given of a semiconductor device 160 having a structure different from those of the foregoing semiconductor devices 10, 10A - 10J and a method for fabricating the device 160. Figs. 68 and 69 are diagrams showing the method for fabricating the semiconductor device 160, and Fig. 70 is a diagram of the structure of the semiconductor device 160.

As shown in Fig. 70, the semiconductor device 160 is generally made up of a plurality of semiconductor elements 161, an interposer board 162, external connection bumps 163 and a resin layer 164.

The semiconductor elements 161 are mounted on the upper surface of the interposer board 162 together with electronic components 165. A plurality of upper electrodes 166 are formed on the upper surface of the interposer board 162, and are electrically connected to the semiconductor elements 161 by wires 168.

A plurality of lower electrodes 167 are formed on the lower surface of the interposer board 162, and external connection bumps 163 are connected to the lower electrodes 167. A plurality of through holes 169 are formed in the interposer board 162, and are used to make electrical connections between the

upper electrodes 166 and the lower electrodes 167. Hence, the semiconductor elements 161 and the external connection bumps 163 are electrically connected together. A resin layer 164 is formed by the compression molding technique so as to cover the upper surface of the interposer board 162.

It is possible to form the resin layer 164 by the compression molding technique even on the semiconductor device 160 which employs the wires 168 for making the electrical connections between the semiconductor elements 161 and an external part (interposer board 162).

The method for fabricating the above semiconductor device 160 commences mounting the semiconductor elements 161 on the upper surface of the interposer board 162 by an adhesive. The electronic components 165 may be simultaneously mounted, if necessary. Then, a wire bonding step is carried out so that the wires 168 are provided between the upper electrodes 166 formed on the upper surface of the interposer board 162 and pads provided on the upper portions of the semiconductor elements 161. Thereafter, the external connection bumps 163 are provided to the lower electrodes 167 formed on the lower surface of the interposer board 162 by, for example, a transfer method.

After the semiconductor elements 161, the external connection bumps 163 and the wires 168 are provided to the interposer board 162, the board 162 is loaded onto a mold for resin sealing, and the resin layer 164 is formed on the surface of the interposer board 162 by the compression molding method. Fig. 69 shows the interposer board 162 on which the resin layer 164 is formed. Subsequently, the interposer board 162 is cut at given cutting positions indicated by the broken lines in Fig. 69, so that the semiconductor device 160 shown in Fig. 70 can be

obtained.

Figs. 71 through 75 are diagrams showing semiconductor devices 170 and 170A having structures different from those of the aforementioned semiconductor devices 10, 10A - 10J, and their fabrication methods. Fig. 71 is a diagram showing a structure of the semiconductor device 170, and Figs. 72 and 73 are diagrams showing a method for fabricating the semiconductor device 170. Fig. 74 is a diagram showing a structure of the semiconductor device 170A, and Fig. 75 is a diagram showing a method for fabricating the semiconductor device 170A.

The semiconductor device 170 has an extremely simple structure, which is generally made up of semiconductor elements 171, a resin package 172, and metallic films 173. A plurality of electrode pads 174 are formed on the upper surfaces of the semiconductor elements 171. The resin package 172 is formed by compression-molding epoxy resin. The resin package 172 has a mounting surface 175 on which resin projections 177 are integrally formed.

The metallic films 173 are formed so as to cover the resin projections 177 formed in the resin package 172. Wires 178 are provided between the metallic films 173 and the electrode pads 174, whereby the metallic films 173 and the semiconductor elements 171 are electrically connected together.

The semiconductor device 170 thus configured does not need inner leads and outer leads such as conventional SSOP, and does not need areas for leading from the inner leads to the outer leads and areas for the outer leads themselves. Thus, the semiconductor device 170 can be down sized.

Further, there is no need to provide a mount board necessary to form solder balls such as BGA, so that the cost of fabricating the semiconductor device 170 can be reduced. The resin projections 177 and the

metallic films 173 cooperate with each other and function as the solder bumps of the BGA type semiconductor device. Hence, the mounting performance can be improved.

The method for fabricating the semiconductor device 170 will be described with reference to Figs. 72 and 73. Lead frame 180 shown in Fig. 72 is prepared. The lead frame 180 is made of, for example, copper (Cu). A plurality of recess portions 181 having a counterpart shape of the resin projections 177 are formed in the positions corresponding to those of the resin projections 177. The metallic films 173 are formed on the surfaces of the recess portions 181.

First, the semiconductor elements 171 are mounted on the lead frame 180. Next, the lead frame 180 are loaded to a wire bonding apparatus, which arranges the wires 178 between the electrode pads 174 of the semiconductor elements 171 and the metallic films 173 formed on the lead frame 180. Hence, the semiconductor elements 171 and the metallic films 173 are electrically connected. Fig. 72 shows the arrangement observed after the above steps are completed.

After the wires 178 are arranged, the resin package 172 is formed on the lead frame 180 so as to seal the semiconductor elements 171. In the present embodiment, the resin package 172 is formed by the compression-molding. Fig. 73 shows the lead frame 180 on which the resin package 172 is formed.

After the resin package 172 is formed, the arrangement is cut at the position indicated by the broken lines shown in Fig. 73, and then a removing step is carried out in which the resin package 172 is removed from the lead frame 180. Thus, the semiconductor device 170 can be obtained. In the removing step, the lead frame 180 is placed in an etchant and is thus dissolved. The etchant used in

the removing step is required to dissolve the lead frame 180 only and not to dissolve the metallic films 173.

Since the lead frame 180 is totally dissolved, the resin package 172 is separated from the lead frame 180. The metallic films 173 are disposed to the resin projections 177, and thus the semiconductor device 170 shown in Fig. 71 can be obtained. Hence, the above method makes it possible to definitely remove the lead frame 180 from the resin package 172 with ease and to improve the yield.

The semiconductor device 170A shown in Fig. 74 has an arrangement in which the semiconductor elements 171 are arranged in the single resin package 172. Hence, the semiconductor device 170A can be made to have multiple functions. The method for fabricating the semiconductor device 170A is almost the same as that which has been described with reference to Figs. 72 and 73, while there is an only minor difference such that the cutting positions indicated in Fig. 75(B) are different from those in the previously described method. Hence, a detailed description of the method for fabricating the semiconductor device 170A will be omitted.

Figs. 78 through 80 show a method for fabricating a semiconductor device according to a thirtieth embodiment of the present invention. First, a semiconductor device 210 fabricated by the thirtieth embodiment will be described by referring to Fig. 78. In the following description, semiconductor devices having a T-BGA (Tape-Ball Grid Array) structure will exemplarily be described. However, the present invention can be applied to semiconductor devices of other BGA structures.

The semiconductor device 210 is generally made up of a semiconductor element 211, a wiring board 212, a frame 213, protruding electrodes 214 and a

sealing resin 215.

The semiconductor element 211 is a so-called bare chip, and a plurality of bumps 216 are provided on the lower surface thereof. The semiconductor element 211 is electrically or mechanically connected to the wiring board 212 by flip-chip bonding.

The wiring board 212 is made up of a base film 217 (a flexible base member), leads 218 and an insulating film 219 (solder resist). The base film 217 is a

The base film 217 is thicker than the leads 218 and the insulating film 219, and has a comparatively insulating film having a flexibility such as polyimide. The leads 218 have a given pattern which is formed on the base film 217 and is made of an electrically conductive film such as a copper foil.

The base film 217 is thicker than the leads 218 and the insulating film 219, and has a comparatively strong mechanical strength. Hence, the leads 218 and the insulating film 219 are supported by the base film 217. As described above, the base film 217 has flexibility, and the leads 218 and the insulating member 219 are comparatively thin. Hence, the wiring board 212 can be bent. Further, an attachment hole 217a for attaching the semiconductor element 211 is formed in the approximately central position of the base film 217.

A plurality of leads 218 are provided in correspondence with the number of bump electrodes 216 of the semiconductor element 211. Inner lead portions 220 and outer lead portions 221 are integrally formed. The inner lead portions 220 are inner portions of the leads 218, and are bonded to the bump electrodes 216 of the semiconductor element 211. The outer lead portions 221 are located further out than the inner lead portions 220, and the protruding electrodes 214

are connected thereto.

The insulating film 219 is an insulating resin film such as polyimide, and connection holes 219a are formed therein in positions corresponding to the positions of the protruding electrodes 214. The leads 218 and the protruding electrodes 214 are electrically connected through the connection holes 219a. The insulating film 219 protrudes from the leads 218.

The frame 213 is formed of a metallic substance such as copper or aluminum. In the central portion of the frame 213, a cavity 223 is formed so as to face the attachment hole 217a formed in the base film 217. In the present embodiment, the cavity 223 penetrates the frame 213 and connects the upper and lower surfaces thereof. The frame 213 has a rectangular shape when viewing it from the top. Hence, the cavity 223 forms the frame 213 into a rectangular frame shape.

The aforementioned wiring board 212 having flexibility is bonded to and fixed to the lower surface of the frame 213 by an adhesive 222. In the state in which the wiring board 212 is arranged to the frame 213, the inner lead portions 220 of the leads 218 extend into the cavity 223. The semiconductor element 211 is bonded, in flip-chip bonding formation, to the inner lead portions 220 extending into the cavity 223. Hence, the semiconductor element 211 is located within the cavity 223.

The outer lead portions 221 of the leads 218 are disposed so as to be located at the lower surface side of the frame 213. The protruding electrodes 214 are arranged to the outer lead portions 221. In the present embodiment, the protruding electrodes 214 are formed of solder bumps, and are bonded to the outer lead portions 221 via the connection holes 219a formed in the insulating film 219 by using solder balls.

The outer lead portions 221 to which the protruding electrodes 214 are arranged are located at the lower surface side of the frame 213. Although the wiring board 212 is flexible, the outer lead portions 221 are suppressed from being flexibly deformed by the frame 213. Hence, even if the flexible wiring board 212 is used, the protruding electrodes 214 can precisely be located in positions, and the mounting performance can be improved.

The sealing resin 215 is disposed within the cavity 223 onto which the semiconductor element 211 is loaded. The sealing resin 215 is formed by the compression-molding method. By arranging the sealing resin 215 in the cavity 223, the semiconductor element 211, the bump electrodes 216 and the inner lead portions 220 of the leads 218 are sealed by resin, so that the semiconductor element 211 and the inner lead portions 220 of the leads 218 can definitely be protected.

A description will be given, with reference to Fig. 79, of a method (fabrication method according to the thirtieth embodiment) of fabricating the semiconductor device 210 having the above-mentioned structure.

The semiconductor device 210 is generally made up of a semiconductor element forming step of forming the semiconductor element 211, a wiring board forming step of forming the wiring board 212, a protruding electrode forming step of forming the protruding electrodes 214, an element mounting step of mounting the semiconductor element 211 on the wiring board 212, a resin sealing step of sealing the semiconductor element 211 and other components by the sealing resin 215, and a test step of testing the semiconductor device 210 from various viewpoints.

Among the above steps, the semiconductor element forming step, the wiring board forming step,

the protruding electrode forming step, the element mounting step and the testing step can be executed by using the known techniques. The present method has a unique feature in the resin sealing step, which will mainly be described below.

Fig. 79 shows the resin sealing step used in the thirtieth embodiment.

As shown in Fig. 79, the resin sealing step commences loading, onto a mold 224 for fabricating semiconductor devices (hereinafter simply referred to as mold), the wiring board 212 on which the semiconductor element 211 is mounted through the semiconductor element forming step, the wiring board forming step and the element mounting step.

The structure of the mold 224 will be described. The mold 224 is generally made up of an upper mold 225 and a lower mold 226, which are respectively equipped with heaters that are not shown. The heaters heat and melt sealing resin before molding (the sealing resin before molding is specifically indicated by a reference number 227).

The upper mold 225 is elevated in directions Z1 and Z2 indicated by an arrow by means of an elevating apparatus, which is not shown. The lower surface of the upper mold 225 is a cavity surface 225a, which is flat. The upper mold 225 has a very simple shape, which can be produced at a less-expensive cost.

The lower mold 226 is made up of a first lower mold half body 228 and a second lower mold half body 229. The first lower mold half body 228 is arranged within the second lower mold half body 229. The upper and lower mold half bodies 228 and 229 can independently be elevated in the directions Z1 and Z2 indicated by the arrow by means of the elevating apparatus which is not shown.

In the present embodiment, a resin film 231

is provided to the cavity surface 230 formed on the upper surface of the first lower mold half body 228. A sealing resin 227 is placed on an upper portion of the resin film 231. Then, the resin sealing step is carried out. The resin film 231 is formed of, for example, polyimide, chloroethylene, PC, Pet, or statical resin, and is required not to be degraded by heat applied at the time of molding the resin.

In the resin sealing step, the wiring board 212 on which the semiconductor device 211 is mounted is loaded onto the mold 224. More particularly, the upper mold 225 and the second lower mold half body 229 are spaced apart from each other, and the wiring board 212 is placed therebetween. Then, the upper mold 225 and the second lower mold half body 229 are moved to become close to each other, so that the wiring board 212 is held by the upper mold 225 and the second lower mold half body 229. Fig. 79 shows a state in which the wiring board 212 is held by the upper mold 224 and the lower mold half body 229 so that the wiring board 212 is loaded onto the mold 224.

The sealing resin 227 arranged on the first lower mold half body 228 is, for example, polyimide or epoxy resin (PPS, PEEK, PES and thermoplastic resin such as heat-resistant liquid crystal resin), and is formed into a circular cylinder shape. the sealing resin 227 is located in the substantially central position of the first lower mold half body 228 so as to face the semiconductor element 211 placed on the wiring board 212.

After the wiring board 212 is loaded onto the mold 224, the step of compression-molding the sealing resin 227 is executed. After the above step is initiated, it is confirmed that the temperature of the sealing resin 227 is raised, by heating through the mold 224, to a level at which the sealing resin 227 may be melted. Then, the first lower mold half

body 228 is moved up in the direction Z2.

The sealing resin 227 which has been heated and melted is also moved up since the first lower mold half body 228 is moved up in the direction Z2, and reaches the wiring board 212. Further, the first lower mold half body 227 is moved up and the sealing resin is thus compressed. Hence, the sealing resin 227 enters into the cavity 223 via gaps between the inner lead portions 220 and the semiconductor element 211.

As described above, the sealing resin 227 is pressed by the first lower mold half body 228 and is thus compressed. Thus, the sealing resin 227 enters the cavity 223 in a compressed state. By the above resin sealing process, as shown in Fig. 78, the sealing resin 215 is formed in the cavity 223 and the upper portion of the semiconductor element 211. Hence, the semiconductor element 211, the bump electrodes 216 and the inner lead portions 220 are protected by the sealing resin 215.

As described above, the sealing resin 227 is compressed in the mold 224 and is molded (this process is called compression molding method). By molding the sealing resin 227 by the compression molding method, narrow gap portions formed between the semiconductor element 211 and the wiring board 212 can definitely be filled with resin.

Since the compression molding method requires a comparatively low molding pressure, it is possible to prevent the wiring board 224 from being deformed at the time of molding the resin and to prevent a load from being applied to electrically connecting portions between the semiconductor element 211 and the wiring board 212 (more particularly, the connecting portions between the bump electrodes 216 and the inner lead portions 220). Hence, it is possible to prevent the semiconductor element 211 and

the wiring board 212 from being broken and to realize the highly reliable resin sealing process.

In the resin sealing step, if the first lower mold half body 228 is moved too fast, the molding pressure is abruptly increased, so that the connecting portions between the bump electrodes 216 and the inner lead portions 220 may be damaged. If the first lower mold half body 228 is moved too slowly, the molding pressure becomes too low, so that some portions may not be filled with resin and the time necessary to execute the resin sealing step may become long. The fabrication efficiency is degraded. With the above in mind, the moving speed of the first lower mold half body 228 is selected to an appropriate level at which the above contradictory problems do not occur.

After the sealing resin 215 is formed, the step of removing the wiring board 212 from the molding resin 224 is carried out. In order to remove the wiring board 212 from the mold 224, the first lower mold half body 228 is moved down in the direction Z1. Since the resin film 231 having a good detachment performance is provided to the cavity surface of the first lower mold half body 228, the first lower mold half body 228 can easily be removed from the sealing resin 215.

After the first lower mold half body 228 is removed from the sealing resin 215, the upper mold 225 and the second lower mold half body 229 are moved so as to become away from each other. Hence, the wiring board 212 can be taken out of the mold 224. There is no problem even when the first lower mold half body 228 is moved at the same time as the second lower mold half body 229 and the upper mold 225 are moved.

After the wiring board 212 is removed from the mold 224, the protruding electrodes 214 are formed on the wiring board 212. The protruding electrodes

214 can be formed by various methods. In the present embodiment, a transfer method is employed in which solder balls are transferred to connection holes 219a formed in the wiring board 212, and are heated, so that the solder balls are bonded to the leads 218. By the above-mentioned series of steps, the semiconductor device shown in Fig. 78 can be fabricated.

Fig. 80 shows a resin sealing step executed in the method for fabricating the semiconductor device 210 shown in Fig. 78 according to a thirty first embodiment of the present invention. In Fig. 80, parts that have the same structures as those shown in Fig. 79 are given the same reference numbers, and a description thereof will be omitted.

In the resin sealing step shown in Fig. 78, the resin film 31 for improving the detachability is arranged to only the cavity surface 230 of the first lower mold half body 28. As shown in Fig. 79, there is a portion in which the cavity surface 225a of the upper mold 224 contacts the sealing resin 215.

With the above in mind, the present embodiment resin sealing step is characterized in that a resin film 232 having a good detachability is provided to the cavity surface 225a of the upper mold 225. The resin film 232 may be formed of the same substance as that of the aforementioned resin film 231. The resin film 232 is arranged to the cavity surface 225a of the upper mold 225 before the wiring board 212 is loaded onto the mold 224. Then, the wiring board 212 is held by the upper mold 225 and the second lower mold half body 229.

The resin film 232 can be arranged without any particular additional step, and the sealing resin 215 can easily be detached from the cavity surface 225a of the upper mold 225 when the wiring board 212 is taken out of the mold 224.

A description will be given of a

semiconductor device according to the thirty first embodiment of the present invention.

Fig. 81 shows a semiconductor device 210A according to the thirty first embodiment of the present invention. In Fig. 81, parts that have the same structures as those of the semiconductor device 10 according to the thirtieth embodiment of the present invention are given the same reference numbers, and a description thereof will be omitted.

The semiconductor device 210A according to the present embodiment is characterized by providing a heat radiating plate 233 to the mounting-side surface (the lower surface in the figure) of the sealing resin 215. The heat radiating plate 233 is formed of a metal having a good heat radiating performance such as aluminum. By providing the heat radiating plate 233 to the sealing resin 215 sealing the semiconductor element 211, it is possible to efficiently radiate heat generated in the semiconductor element 211. Hence, it is possible to suppress the temperature of the semiconductor element 211 from raising and to thus improve the reliability in the operation of the semiconductor device 210A.

The semiconductor device 210A according to the present embodiment has the wiring board 212 arranged in a direction different from that of the semiconductor device 210 according to the aforementioned thirtieth embodiment. That is, the base film 217 forms the lowermost layer, and the leads 218 and the insulating film 219 are arranged in a stacked formation on the base film 217.

Hence, the insulating film 219 is bonded to the frame 213 by the adhesive 222, and the connection holes 217b accommodating the protruding electrodes 214 are formed on the base film 217. As described above, the wiring board 212 can be arranged in any of the two different directions by selecting the positions in

which the connection holes 217b and 219a
aforementioned].

Figs. 82 and 83 are diagrams showing a resin sealing step in the method of fabricating the semiconductor device 210A shown in Fig. 81. In Figs. 82 and 83, parts that have the same structures as those shown in Figs. 79 and 80 are given the same reference numbers and a description thereof will be omitted.

The resin sealing step shown in Fig. 82 is characterized by arranging the heat radiating plate 233 to the cavity surface 230 of the first lower mold half body 228. Hence, the sealing resin 227 is provided on the heat radiating plate 233. Further, the heat radiating plate 233 has a size slightly smaller than the cavity surface 230. Thus, the movement of the first lower mold half body 228 is not interfered with the arrangement of the heat radiating plate 233.

The compression molding step for the sealing resin 227 using the mold 224 to which the heat radiating plate 233 is provided is basically the same as that described with reference to Fig. 79. However, the sealing resin 227 is pressed by the heat radiating plate 233 which is moved up by moving up the first lower mold half body 228 and is thus compression-molded.

The heat radiating plate 233 and the sealing resin 227 does not have a good detachability, and the heat radiating plate 233 is merely placed on the first lower mold half body 228 made of a metal. Hence, when the first lower mold half body 228 is moved down after the sealing resin 215 is formed, the heat radiating plate adheres to the sealing resin 215. That is, by executing the resin sealing step, it is possible to simultaneously arrange the heat radiating plate 233 to the sealing resin 215 and to easily fabricate the

semiconductor device 210A equipped with the heat radiating plate 233.

The resin sealing step shown in Fig. 83 is characterized by arranging the heat radiating plate 233 to the cavity surface 230 of the first lower mold half body 228 and arranging a resin film 232 having a good detachability to the cavity surface 225a of the upper mold 225.

Hence, the present embodiment resin sealing step easily fabricates the semiconductor device 210A equipped with the heat radiating plate 233 and easily detaches the sealing resin 215 from the cavity surface 225a of the upper mold 225.

A description will now be given of a semiconductor device according to a thirty second embodiment of the present invention.

Fig. 84 shows a semiconductor device 210B according to the thirty second embodiment of the present invention. In Fig. 84, parts that have the same structures as those of the semiconductor device 210 according to the thirtieth embodiment are given the same reference numbers, and a description thereof will be omitted.

The semiconductor device 210B according to the present embodiment is characterized by providing the first heat radiating plate 233 to the mounting-side surface (the lower surface in the figure) of the sealing resin 215 as in the case of the semiconductor device 210A according to the thirty first embodiment and by providing a second heat radiating plate 234 to the upper surface of the frame 213.. The second heat radiating plate 234 is made of a metal having a good heat radiating performance such as aluminum as in the case of the first heat radiating plate 233.

The heat radiating plates 233 and 234 are arranged so as to sandwich the semiconductor element 211, and more efficiently radiate heat generated in

the semiconductor element 211. Thus, the reliability of the semiconductor device 210B can be improved. When the frame 213 to which the second heat radiating plate 234 is arranged is made of a substance having a good heat radiating performance, the heat radiating performance of the semiconductor device 210B can further be improved.

The semiconductor device 210B uses wires 235 as means for electrically connecting the semiconductor element 211 and the wiring board 212. Hence, the semiconductor element 211 is connected to the wiring board 212 by bonding the second heat radiating plate 234 to the upper surface of the frame 213 by, for example, an adhesive (not shown), so that the bottom portion of the second heat radiating plate 234 is present in the cavity of the frame 213.

Then, the semiconductor device 211 is bonded to the second heat radiating plate 234 in the cavity 223 by an adhesive 236, and the wiring board 212 is bonded to the lower surface of the frame 213. Thereafter, the wires 235 are provided between the leads 218 of the wiring boards 212 and the semiconductor element 211 by wire bonding.

Then, the sealing resin 215 is formed by the compression-molding process as in the case of the aforementioned embodiments. In this process, the sealing resin 215 does not directly contact the upper mold 225 because the heat radiating plate 234 is provided above the semiconductor element 211 and the frame 213. Hence, the detachability can be improved.

The heat radiating plate 234 may be formed of a substance which does not have a good heat radiating performance but a relatively low heat radiating performance when the semiconductor element 211 does not generate much heat.

A description will now be given of a semiconductor device according to a thirty third

embodiment of the present invention.

Fig. 85 shows a semiconductor device 210C according to the thirty third embodiment of the present invention. In Fig. 85, parts that have the same structures as those of the semiconductor device 210B according to the thirty second embodiment of the present invention described with reference to Fig. 84 are given the same reference numbers, and a description thereof will be omitted.

The semiconductor device 210C according to the present embodiment has a frame 213A, which integrates the second heat radiating plate 234 of the semiconductor device 210B described with reference to Fig. 84 and the frame 213 thereof. Hence, a cavity 223A is defined by a bottom portion 237 of the frame 213A.

The semiconductor element 211 is fixed to the bottom portion 237 by an adhesive 236, and the wiring board 212 is arranged to the lower surface of the frame 213A in this figure. Hence, wire bonding between the semiconductor device 211 and the wiring board 212 can be employed.

The semiconductor device 210C can be obtained by a reduced number of components and a reduced number of production steps, as compared to the semiconductor device 210B according to the thirty second embodiment. The cost of fabricating the semiconductor device 210C can be reduced. The sealing resin 215 of the semiconductor device 210C can be provided by the compression-molding method.

A description will now be given of a semiconductor device according to a thirty fourth embodiment of the present invention.

Fig. 86 shows a semiconductor device 210D according to the thirty third embodiment of the present invention. In Fig. 86, parts that have the same structures as those of the semiconductor device

210B according to the thirty second embodiment are given the same reference numbers and a description thereof will be omitted.

The semiconductor device 210D is characterized by placing the semiconductor element 211 on a wiring board 212A so that protruding electrodes 214 can be arranged below the semiconductor element 211. The wiring board 212 is different from those of the semiconductor devices 210 - 210C in that there are no attachment holes 217a.

The above arrangement increases the degree of freedom in arrangement of the protruding electrodes 214 and realizes down-sized semiconductor device 210D. The sealing resin 215 of the semiconductor device 210D can be formed by the compression-molding process.

A description will now be given, with reference to Fig. 87, of a resin sealing step. In Fig. 87, parts that have the same structures as those of the mold 224 described with reference to Fig. 79 are given the same reference numbers, and a description thereof will be omitted.

A mold 224A used in the present embodiment is generally made up of the upper mold 225 and a lower mold 226A. The mold 224A has a multi-process arrangement which is capable of totally processing a plurality of (two in the present embodiment) sealing resins 215.

The upper mold 225 is almost the same as that of the mold 224 shown in Fig. 79. However, the mold 224A has a comparatively large size because it has the multi-process arrangement. The lower mold 226A is made up of first and second lower mold half bodies 228 and 229A. Two first lower mold half bodies 228 are arranged in the second lower mold half body 229.

An excess resin removing mechanism 240 for removing excess resin is provided in the central

position of the second lower mold half body 229A. The excess resin removing mechanism 240 is generally made up of a pot portion 242 and a pressure control rod 243. Openings 241 are formed above wall portions 238 of the second lower mold half body 229A. The openings 241 are coupled to the pot portion 242.

The pot portion 242 has a cylindrical structure in which the pressure control rod 243 is slidably provided. The pressure control rod 243 is connected to a driving mechanism which is not shown, and can be elevated in the directions Z1 and Z2 indicated by the arrow with respect to the second lower mold half body 229A.

A description will be given of a resin sealing step using the mold 224A equipped with the excess resin removing mechanism 240.

The resin sealing step commences executing the substrate loading step, in which the wiring board 212 is loaded onto the mold 224A. The lower mold 226A is moved down in the direction Z1 with respect to the upper mold 225, and the pressure control rod 243 is located to the upper limit immediately after the resin sealing step is started.

The resin films 231 are respectively placed on the first lower mold half bodies 228, and resins 227 are placed thereon. Subsequently, the wiring board 212 is loaded onto the upper portion of the second lower mold half body 229A, and the upper mold 225 and the lower mold 226A are moved so as to be close to each other. Hence, the wiring board 212 is clamped between the upper mold 225 and the lower mold 226A. Fig. 87 shows the clamped state. At this time, cavity portions 239 (space portions) are defined above the first lower mold half bodies 228 of the mold 224A. The pot portion 242 of the excess resin removing mechanism 240 is coupled to the cavity portions 239 via the openings 241.

After the wiring board 212 is clamped between the upper body 225 and the lower mold 226A, the first lower mold half bodies 228 are driven to move up in the direction Z2. Hence, the resins 227 are compressed and molded in the cavity portions 239. In order to definitely seal the semiconductor elements 211, it is required to set the movement speed of the first lower mold half bodies 228 to an appropriate level. In other words, the appropriate level setting of the movement speed of the first lower mold half bodies 228 leads to the appropriate level setting of the compression pressure applied to the sealing resins 227 in the cavity portions 239.

According to the present embodiment, the compression pressure applied to the sealing resins 227 can be controlled not only by controlling the movement speed of the first lower mold half bodies 228 but also controlling the movement speed of the pressure control rod 243 of the excess resin removing mechanism 240. More particularly, when the pressure control rod 243 is moved down, the pressure applied to the sealing resins 227 is reduced. When the pressure control rod 243 is moved up, the pressure applied to the sealing resins 227 is increased.

For example, if the amounts of the resins 227 are greater than the volumes of the sealing resins 215, and excess resins increase the pressures of the cavity portions 239, the resin layers may not be formed appropriately. In this case, the pressure control rod 243 is moved down in the direction Z1, and excess resins are transferred to the pot portions 242 through the openings 241. Hence, even if there is an excess amount of resin, the pressures in the cavities 239 can be maintained at the appropriate level.

As described above, the excess resin removing mechanism 240 functions to remove excess resin generated in the step of forming the sealing

resins 227, so that the resin molding can always be performed at the appropriate pressure level. Hence, the sealing resin 215 can be formed definitely. It is also possible to prevent excess resin from leaking from the mold 224A. It is not required to precisely measure the amounts of resins 227, so that the measurement operation can be performed easily.

After the sealing resins 215 are formed, a separating step is executed in which the wiring board 212 on which the sealing resins 215 is separated from the mold 224A.

As described above, the resin sealing step has the function of regulating the pressures in the cavity portions 239 at the appropriate level. Hence it is possible to prevent air from remaining in the sealing resins 215 and prevent babbles (voids) from being formed therein.

Let us assume a case where babbles occur in the sealing resins 215, if a thermal process is carried out after the resin sealing step, the babbles will expand and a crack may occur in the sealing resins 215. However, the excess resin removing mechanism 240 can prevent babbles from occurring in the sealing resins 215. Hence, there is no possibility that the sealing resins 215 may be damaged during the thermal process. As a result, the reliability of the semiconductor device can be improved.

A description will be given of semiconductor devices and methods for fabricating these devices according to thirty fifth through forty seventh embodiments of the present invention. Figs. 88 through 102, parts that are the same as those of the semiconductor device 210 according to the thirtieth embodiment described with reference to Figs. 78 and 79 are given the same reference numbers and a description thereof will be omitted.

Fig. 88 shows a semiconductor device 210E according to the thirty fifth embodiment of the present invention. Figs. 89 and 90 show a method for fabricating the semiconductor device 210. The semiconductor device 210E according to the thirty fifth embodiment of the present invention is characterized as follows. Extending portions 246 are formed at the sides of the semiconductor element 211 (see Fig. 89(A)). The extending portions 246 are bent along the frame 213 so that the extending portions 246 extend on the upper surface of the frame 213. Projection electrodes 214 are formed on the extending portions 246 located on the upper surface of the frame 213.

A wiring board 245 used in the present embodiment is made up of a base film 217, leads 218 and an insulating film 219 as in the case of the wiring board 212 used in the semiconductor device 210 according to the thirtieth embodiment. The base film 217 of the wiring board 245 is formed of a substance that is more flexibly deformable than the substance of the base film used in the thirtieth embodiment.

The wiring board 245 has a portion that faces the lower surface of the frame 213 is fixed to the frame 213 by an adhesive 222 as in the case of the thirtieth embodiment, and the extending portions 246 are fixed to the upper surface of the frame 213 by a second adhesive 247. Hence, the extending portions 246 are prevented from being flaked off from the frame 213.

According to the semiconductor device 210E thus structured, the protruding electrodes 214 are arranged on the upper side of the frame 213. Further, no other components are arranged on the upper surface of the frame 213. Hence, the protruding electrodes 214 can be arranged with a high degree of freedom. Further, the semiconductor device 210E can be down

sized, as compared to the semiconductor device 210 of the thirtieth embodiment in which the protruding electrodes 214 are arranged on the lower surface of the frame 213.

A description will be given of a method for fabricating the above semiconductor device 210E. First, the wiring board 245 as shown in Figs. 89(A) and 103 is prepared. The wiring board 245 has a rectangular base portion 251 on which the semiconductor element 211 to be mounted, and the extending portions 246 arranged on the four sides of the base portion 251.

An attachment hole 248 (shown in Fig. 103) for mounting the semiconductor element 211 is formed in the central position of the base portion 251. Leads 218 are provided between edge portions of the attachment hole 248 and lands 249 formed in the extending portions 246 and located in the positions in which the protruding electrodes 214 are to be provided. The extending portions 246 have a trapezoidal shape in order to prevent the adjacent extending portions 246 from contacting each other when the wiring board 245 is bent.

The leads 219 are protected by the insulating film 219 (see Fig. 90(E)). The portions of the insulating film 219, which are located in the positions in which the lands 249, that is, the protruding electrodes 214 are to be provided, are removed so that the leads 218 are exposed. Fig. 103 shows an enlarged view of the wiring board 245 shown in Fig. 89(A).

The semiconductor element 211 is bonded to the upper surface of the wiring board 245 in the flip-chip bonding formation, and the frame 213 is bonded thereto by the adhesive 222. The frame 213 used in the present embodiment has a size smaller than that of the frame used in the thirtieth embodiment because the

extending portions 246 are provided in the outer periphery of the frame 213. Fig. 89(A) shows the wiring board 245 in which the semiconductor device 211A has been mounted.

As shown in Figs. 89(A) and 89(B), the wiring board 245, to which the semiconductor device 211 and the frame 213 are attached, is loaded onto the mold 224. The mold 224B used in the present embodiment has an upper mold 225A which has a cavity 250 in which the semiconductor element 211 and the frame 213 are accommodated.

After the wiring board 245 is loaded onto the mold 224B, as shown in Fig. 89(C), a first lower mold half body 228 having an upper portion on which a sealing resin 227 is provided through a heat radiating plate 233 is moved up, so that the sealing resin 227 is compressed and molded. Thus, as shown in Fig. 89(D), the semiconductor element 211 and a given area on the lower surface of the wiring board 245 are sealed by the sealing resin 215. Simultaneously, the heat radiating plate 233 is bonded to the sealing resin 215.

After the sealing resin 215 partially is formed on the wiring board 245, the wiring board 245 is separated from the mold 224B. Fig. 90(E) shows the wiring board 245 which has been separated from the mold 224B. As shown in this figure, the wiring board 224 has the extending portions 246 laterally extending from the sides of the base portion 251. The base portion 251 is flush with the extending portions 246 in the state observed immediately after the separating step is completed. In the present embodiment, an adhesive 247 is provided on the upper surfaces of the extending portions 246.

After providing the adhesive 247, a step of bending the extending portions 246 is carried out. In the bending step, as shown in Fig. 90(F), the

extending portions 246 are bent in the directions indicated by the arrows, and the bent extending portions 246 are bonded to the upper surface of the frame 213 by a second adhesive 247.

Fig. 90(G) shows the wiring board 245 observed after the bending step is completed. By the step of bending the extending portions 246 so as to be located on the upper surface of the frame 213, the lands 249 on which the protruding electrodes 214 are to be provided are located on the upper portion of the frame 213.

Then, a protruding electrode forming step is executed so that the protruding electrodes 214 are formed on the lands 249 on the upper portion of the frame 213 by, for example, the transfer method. Hence, the semiconductor device 210E is obtained. The method of fabricating the semiconductor device 210E forms the sealing resin 215 by using the compression molding as in the case of the fabrication method of the thirtieth embodiment, and improves the reliability of the device 210E. The process for providing the extending portions 246 on the upper surface of the frame 213 can easily be obtained by merely bending the extending portions 246.

A description will be given of a semiconductor device and its fabrication method according to the thirty sixth embodiment of the present invention. Fig. 91 shows a semiconductor device 210F and its fabrication method according to the thirty sixth embodiment of the present invention. In Fig. 91, parts that have the same structures as those shown in Figs. 88 through 90 are given the same reference numbers and a description thereof will be omitted.

Fig. 91(D) shows the semiconductor device 210F according to the thirty sixth embodiment of the present invention. The semiconductor device 210F has

the same structure as the semiconductor device 210E according to the thirty fifth embodiment. The fabrication method according to the thirty sixth embodiment differs from that according to the thirty fifth embodiment in that the second adhesive 247 is provided to the frame 213 rather than the wiring board 245, as shown in Figs. 91(A) and 91(B). That is, the second adhesive 247 can be provided to either the wiring board 245 or the frame 213.

A description will be given of a semiconductor device and its fabrication method according to the thirty seventh embodiment of the present invention. Fig. 92 shows a semiconductor device 210G and its fabrication method according to the thirty seventh embodiment. In Fig. 92, parts that have the same structures as those shown in Figs. 88 through 90 are given the same reference numbers, and a description thereof will be omitted.

Fig. 92(D) shows the semiconductor device 210E according to the thirty seventh embodiment of the present invention. The semiconductor device 210G differs from the semiconductor devices 210E and 210F in that the wiring board 245 is turned upside down.

More particularly, as shown in Fig. 92(A), the wiring board 245 has the base film 217, leads 218 and the insulating film 219 stacked in that order. Hence, the base film 217 has connection holes 217b for connecting the protruding electrodes 214 to the leads 218 when the extending portions 246 are bent and located on the upper portion of the frame 213.

Even when the wiring board 245 of the semiconductor device 210E or 210F is turned upside down and arranged as shown in Fig. 92(A), the semiconductor device 210G has the same effects as those of the semiconductor devices 210E and 210F. The present embodiment does not necessarily require the insulating film 219. In this case, the frame 213 and

the adhesives 222 and 247 are formed of substances having electrically insulating performance. Hence, the production cost will be reduced.

A description will be given of a semiconductor device and its production method according to the thirty eighth embodiment of the present invention. Fig. 93 shows a semiconductor device 210H and its fabrication method according to the thirty eighth embodiment of the present invention. In Fig. 93, parts that have the same structures as those shown in Figs. 88 through 90 are given the same reference numbers, and a description thereof will be omitted.

Fig. 93(D) shows the semiconductor device 210H according to the thirty eighth embodiment of the present invention. The semiconductor device 210H is characterized by bending the extending portions 246 towards the heat radiating plate 233 rather than the upper surface of the frame 213 employed in the semiconductor devices 210E, 210F and 210G. As shown in Fig. 93(A), the wiring board 245 used in the present embodiment has the base film 217, leads 218 and the insulating film stacked in that order from the top thereof. Thus, by bending the extending portions 246 towards the heat radiating plate 233, the base film 217 is exposed below the semiconductor device 210H and the insulating film 219 faces the heat radiating plate 233. Hence, the base film 217 has the connection holes 217b for connecting the protruding electrodes 214 and the leads 218. The adhesive 247 is provided to the insulating 219.

As indicated by the arrows in Fig. 93(B), the wiring boards 245 to which the connection holes 217b and the second adhesive 247 are provided are bent towards the heat radiating plate 233. Hence, the extending portions 246 are fixed to the heat radiating plate 233 by the second adhesive 247, and the

connection holes 217b are opened downwards. Then, the protruding electrodes 214 electrically connected to the leads 218 are formed in the connection holes 217b by the transfer method or the like. Hence, the semiconductor device 210H shown in Fig. 93(D) can be obtained.

The semiconductor device 210H thus obtained has the extending portions 246 located below the heat radiating plate 233, so that the semiconductor element 211 is exposed to the outside. Hence, heat generated in the semiconductor element 211 can efficiently be radiated, and the semiconductor device 210H has improved heat radiating performance.

The extending portions 246 of the semiconductor device 210H are bent and the protruding electrodes 214 are provided thereon. Hence, the semiconductor device 210H can be down sized.

A description will be given of a semiconductor device and its fabrication method according to the thirty ninth embodiment of the present invention. In Fig. 94, parts that have the same structures as those shown in Figs. 88 through 90 are given the same reference numbers, and a description thereof will be omitted.

Fig. 94(D) shows a semiconductor device 210I according to the thirty ninth embodiment of the present invention. The semiconductor device 210I has the same structure as the semiconductor device 210H according to the thirty eighth embodiment of the present invention. The method for fabricating the semiconductor device 210I differs from that for fabricating the semiconductor device 210H in that the second adhesive 247 is provided to the heat radiating plate 233 rather than the wiring board 245, as shown in Figs. 94(A) and 94(B). That is, the second adhesive 247 may be provided to the wiring board 245 or the heat radiating plate 233.

A description will be given a semiconductor device and its fabrication method according to the fortieth embodiment of the present invention. Fig. 95 shows a semiconductor device 210J and its fabrication method according to the fortieth embodiment of the present invention. In Fig. 95, parts that have the same structures as those shown in Figs. 88 through 90 and Fig. 94 are given the same reference numbers, and a description thereof will be omitted.

Fig. 95(D) shows the semiconductor device 210J according to the fortieth embodiment of the present invention, which is characterized by arranging a heat radiating film 252 to the semiconductor device 210I described with reference to Fig. 94. The heat radiating film 252 is fixed to the semiconductor element 211 and the upper surface of the frame 213 by, for example, an adhesive.

As described above, the semiconductor device 210J has the same wiring board substrate as the semiconductor device 210I, and thus the extending portions 246 are bent towards the heat radiating plate 233 arranged below the semiconductor element 211. Hence, the upper surface of the semiconductor element 211 is exposed.

By arranging the heat radiating film 252 to the exposed portion of the semiconductor element 211, heat generated in the semiconductor element 211 can efficiently be radiated, as compared to the arrangement shown in Fig. 94 in which the upper surface of the semiconductor element 211 is exposed.

Since the upper surface of the semiconductor element 211 is covered by the heat radiating fin 252, the fin 252 also functions as a protection member which protects the semiconductor element 211. Hence, the heat radiating fin 252 improves the reliability of the semiconductor device 210J.

A description will be given of a

semiconductor device and its fabrication method according to a forty first embodiment of the present invention. Fig. 96 shows a semiconductor device 210K and its fabrication method according to the forty first embodiment of the present invention. In Fig. 96, parts that have the same structures as those shown in Figs. 84, and 88 through 90 are given the same reference numbers, and a description thereof will be omitted.

Fig. 96(D) shows the semiconductor device 210K according to the forty first embodiment of the present invention. The semiconductor device 210K has a structure similar to that of the semiconductor device according to the thirty second embodiment described with reference to Fig. 84 and is, more particularly, characterized by providing a second heat radiating plate 234 to the upper surface of the frame 213. The second heat radiating plate 234 is formed of a metal having a good heat radiating performance such as aluminum as in the case of the first heat radiating plate 233.

The heat radiating plates 233 and 234 are provided so as to sandwich the semiconductor element 211, so that heat generated in the semiconductor element 211 can efficiently be radiated. Thus, the semiconductor device 210K has improved reliability.

The semiconductor device 210K can be fabricated as follows. The semiconductor device 210K employs wires 235 as means for connecting the semiconductor element 211 and the wiring board 245. Hence, the second heat radiating plate 234 is bonded to the upper surface of the frame 213 by, for example, an adhesive so that these components are unified. Hence, a bottom portion defined by the second heat radiating plate 234 is defined in the cavity 223 formed in the frame 213.

Then, the semiconductor element 211 is

bonded to the second heat radiating plate 234 in the cavity 223 by an adhesive 236. Further, the wiring board 245 is bonded to the lower surface of the frame 213. Then, the wires 235 are bonded between the leads 218 of the wiring board 245 and the semiconductor element 211 by the wire bonding process.

After the wire bonding process is completed, the sealing resin 215 is formed by the compression molding method as in the case of the aforementioned embodiments. Since the heat radiating plate 234 is provided on the semiconductor element 211 and the upper portion of the frame 213, the sealing resin 215 does not directly contact the upper mold 225, and the detachability can be improved. Fig. 96(A) shows the wiring board 245 to which the heat radiating plate 234, wires 235 and the sealing resin 215 are arranged. The present embodiment employs the heat radiating plate 234, which may be replaced by a plate member having a comparatively low heat radiating performance.

As shown in Figs. 96(B) and 96(C), the extending portions 246 provided to the wiring board 245 are bent towards the heat radiating plate 234, and are fixed thereto by a second adhesive 247. Then, the protruding electrodes 214 are provided to land portions 249 exposed in the extending portions 246 by the transfer method. Hence, the semiconductor device 210K shown in Fig. 96(D) is obtained.

A description will be given of semiconductor devices and fabrication methods thereof according to forty second and forty third embodiments of the present invention. Fig. 97 is a diagram showing a semiconductor device 210L and its fabrication method according to the forty second embodiment of the present invention. Fig. 98 is a diagram showing a semiconductor device 210M and its fabrication method according to the forty third embodiment of the present invention. In Figs. 97 and 98, parts that have the

same structures as those shown in Figs. 88 through 90 and 96 are given the same reference numbers, and a description thereof will be omitted.

Fig. 97(D) shows the semiconductor device 210L according to the forty second embodiment of the present invention. The semiconductor device 210L has an arrangement in which the second heat radiating plate 234 is provided to the upper surface of the frame 213, as in the case of the semiconductor device 210K according to the forty first embodiment. The semiconductor device 210L has the wiring board 245 arranged by turning the wiring board 245 of the semiconductor device 210K upside down.

That is, as shown in Fig. 97(A), the wiring board 245 has the base film 217, the leads 218 and the insulating film 219 stacked in that order from the lowermost layer side. Even by turning the wiring board 245 upside down, the same effects as those of the semiconductor device 210K can be obtained.

The extending portions 246 of the semiconductor device 210L are bent towards the second heat radiating plate 234. The present embodiment does not necessarily require the insulating film 219, which can be omitted when the frame 213 and the adhesives 222 and 247 are formed of substances having electrically insulating performance.

Fig. 98(D) shows the semiconductor device 210M according to the fourth third embodiment of the present invention. The semiconductor device 210M has an arrangement in which the second heat radiating plate 234 is provided on the upper surface of the frame 213 as in the case of the semiconductor device 210K. However, the semiconductor device 210M is characterized in that the extending portions 246 are bent towards the heat radiating plate 233 in contrary to the semiconductor devices 210K and 210L. The method of bending the extending portions 246 and

bonding them is the same as that for the semiconductor device 210H according to the thirty eighth embodiment described with reference to Fig. 93, and therefore a description thereof will be omitted.

According to the semiconductor device 210M, the extending portions 246 are located below the heat radiating plate 233, which is thus exposed to the outside. Hence, heat generated in the semiconductor element 211 can efficiently be radiated through the second heat radiating plate 234, and the heat radiating performance of the semiconductor device 210M can be improved. Further, the extending portions 246 are bent, on which the protruding electrodes 214 are formed. Hence, the semiconductor device 210M can be down sized.

A description will now be given of a semiconductor device and its fabrication method according to a forty fourth embodiment of the present invention. Fig. 99 is a diagram showing a semiconductor device 210N and its fabrication method according to the forty fourth embodiment of the present invention. In Fig. 99, parts that have the same structures as those shown in Fig. 37 and 88 through 90 are given the same reference numbers, and a description thereof will be omitted.

Fig. 99(D) shows the semiconductor device 210N according to the forty fourth embodiment of the present invention. A frame 213A used in the semiconductor device 210N has an integrated arrangement of the second heat radiating plate 234 and the frame 213 of the semiconductor device 210K described with reference to Fig. 96. A cavity 223A formed in the frame 213A includes a bottom portion 237.

The semiconductor element 211 is fixed to the bottom portion 237 by the adhesive 236, and the wiring board 245 is provided on the lower surface of

the frame 213A. Hence, wire bonding between the semiconductor element 211 and the wiring board 245 can be made. The semiconductor device 210N has a reduced number of components and a reduced number of fabrication steps, as compared to the semiconductor device 210K according to the forty first embodiment. Hence, the cost of fabricating the semiconductor device 210N can be reduced.

The method for fabricating the semiconductor device 210N will be described below. The semiconductor device 210N employs the wires 235 as means for electrically connecting the semiconductor element 211 and the wiring board 245. Hence, semiconductor element 211 is bonded to the bottom portion 235 formed by the frame 213A by the adhesive 236, and the wiring board 245 is bonded to the lower surface of the frame 213A. Then, the wires 235 are provided between the leads 218 of the wiring board 245 and the semiconductor element 211 by the wire bonding process.

After the wire bonding process, the sealing resin 215 is formed by the compression molding method as in the case of the aforementioned embodiments. The frame 213A is flush due to the bottom portion 237, and thus the sealing resin 215 does not directly contact the upper mold 225. Thus, the detachability can be improved. Fig. 99(A) shows the wiring board 245 to which the heat radiating plate 234, the wires 235 and the sealing resin 215 are arranged.

Then, as shown in Figs. 96(B) and 96(C), the extending portions 246 of the wiring board 245 are bent towards the upper surface of the frame 213A, and are fixed to the heat radiating plate 234 by the adhesive 247. Then, the protruding electrodes 214 are provided on lands 249 exposed on the extending portions 246 by the transfer method. Thus, the semiconductor device 210N shown in Fig. 99(D) can be

obtained.

A description will now be given of semiconductor devices and fabrication methods thereof according to forty fifth and forty sixth embodiments of the present invention. Fig. 100 is a diagram showing a semiconductor device 210P and its fabrication method according to the forty fifth embodiment of the present invention. Fig. 101 is a diagram showing a semiconductor device 210Q and its fabrication method according to the forty sixth embodiment of the present invention. In Figs. 100 and 101, parts that have the same structures as those shown in Figs. 88 through 90 and 99 are given the same reference numbers, and a description thereof will be omitted.

Fig. 100(D) shows the semiconductor device 210P according to the forty fifth embodiment of the present invention. The semiconductor device 210P has an arrangement in which the bottom portion 237 is integrally formed in the frame 213A as in the case of the semiconductor device 210N according to the forty fourth embodiment. The semiconductor device 210P has the wiring board 245 obtained by turning the wiring board 245 of the semiconductor device 210N upside down.

That is, as shown in Fig. 100(A), the wiring board 245 has the base film 217, the leads 218 and the insulating film 219 stacked in that order from the lowermost layer side. The semiconductor device 210P has the same effects as those of the semiconductor device 210N even by turning the wiring board 245 upside down. The extending portions 246 are bent towards the upper side of the frame 213A. The present embodiment does not necessarily require the insulating layer 219, which can be omitted by forming the frame 213A and the adhesives 222 and 247 of electrically insulating substances.

Fig. 101(D) shows the semiconductor device 210Q according to the forty sixth embodiment of the present invention. The semiconductor device 210A has an arrangement in which the bottom portion 237 is integrally formed in the frame 213A as in the case of the semiconductor device 44 according to the forty fourth embodiment. The semiconductor device 210Q is characterized by bending the extending portions 246 towards the heat radiating plate 233 rather than the upper surface of the frame 213A of the semiconductor devices 210N and 210P. The method for bending the extending portions 246 and attaching them to the heat radiating plate 233 is the same as that for the semiconductor device 210H according to the thirty eighth embodiment described with reference to Fig. 93.

According to the semiconductor device 210Q, the extending portions 246 are located below the heat radiating plate 233 and the protruding electrodes 214 are provided on the above extending portions 246. Hence, the semiconductor device 210Q can be downsized. There are no components provided on the upper portion of the frame 213A. Hence, when the frame 213A is formed of a substance having a good heat radiating performance, heat generated in the semiconductor element 211 can efficiently be radiated through the second heat radiating plate 234, so that the semiconductor device 210Q has improved heat radiating performance.

A description will be given of a semiconductor device and its fabrication method according to the forty seventh embodiment of the present invention. Fig. 102 is a diagram showing a semiconductor device 210R and its fabrication method according to the forty seventh embodiment of the present invention. In Fig. 102, parts that have the same structures as those shown in Figs. 88 through 90 and 99 are given the same reference numbers, and a

description thereof will be omitted.

Fig. 47(F) shows the semiconductor device 210R according to the forty seventh embodiment of the present invention. The frame 213A of the semiconductor device 210R has the same structure as that of the semiconductor device 210N described with reference to Fig. 99. That is, the frame 213A has the integrally formed bottom portion 237.

A wiring board 245A used in the present embodiment is different from the wiring board 245 shown in Figs. 89(A) and 103 in that the wiring board 245A does not have the attachment hole 248 for attaching the semiconductor element 211. An enlarged view of the wiring board 245A employed in the semiconductor device 210R is shown in Fig. 106.

As shown in this figure, lands 249 are provided on a base portion 251A of the wiring board 245A. Connection electrodes 253, which are to be wire-bonded to the semiconductor element 211 are provided in outer edge portions of the extending portions extending to four peripheral edges of the base portion 251A. The connection electrodes 253 and the lands 249 are electrically connected by the leads 218 formed on the extending portions 246 and the base portion 251.

As shown in Fig. 102(A), the base portion 251A is positioned on the bottom portion 237 of the frame 213A, and the wiring board 245A is positioned on the bottom portion 237 by an adhesive (not shown). In this state, the extending portions 246 extend further out than the external periphery of the frame 213A. The semiconductor element 211 is mounted in the cavity 223A formed in the frame 213A. An adhesive 247A for fixing the extending portions 246 to the frame 213A is provided to the lower surface of the frame 213A.

After the base portion 251A of the wiring board 245A is fixed to the bottom portion 237 of the

frame 213A, a step of bending the extending portions 246 is carried out without execution of the resin sealing step employed in the aforementioned embodiments. More particularly, as indicated by the arrows in Fig. 102(B), the extending portions 246 are bent and are then fixed to the frame 213A by the adhesive 247A.

Thus, as shown in Fig. 102(C), the connection electrodes 253 formed on the extending portions 246 become close to the semiconductor element 211. Then, the wires 235 are provided between the connection electrodes 253 and the semiconductor element 211 by the wire bonding process. Fig. 102(D) shows a state in which the wires 235 are provided between the connection electrodes 253 and the semiconductor element 211.

According to the present embodiment, a resin sealing step of forming the sealing resin 215 is carried out after the step of bending the extending portions 246 and the wire bonding step of bonding the wires 235. Fig. 102(E) shows the wiring board 245A to which the sealing resin 215 is provided. The resin sealing step can be carried out by using the aforementioned mold 224, so that the sealing resin 215 is formed by the compression molding process. In the present embodiment, the heat radiating plate 233 is provided at the same time as the sealing resin 215 is formed (see Fig. 82).

After the sealing resin 215 is formed, the protruding electrodes 214 are formed on the lands 249 by, for example, the transfer method. Thus, the semiconductor device 210R shown in Fig. 102(F) can be obtained. In the semiconductor device 210R thus fabricated, the protruding electrodes 214 are positioned at the side of the bottom portion 237 of the frame 213A, and the cavity 223A is not formed in these positions. Hence, the whole area of the bottom

portion 237 can be used to arrange the protruding electrodes 214. Hence, the protruding electrodes 214 may be arranged at a wide pitch or an increased number of protruding electrodes 214 may be arranged.

A description will now be given, with reference to Figs. 104 through 110, of other embodiments of the wiring boards 245 used in the semiconductor devices 210E through 210R. In Figs. 104 through 110, parts that have the same structures as those of the wiring board 245 described with reference to Fig. 103 are given the same reference numbers, and a description thereof will be omitted.

A wiring board 245B shown in Fig. 104 is of a type in which the semiconductor chip 211 is flip-chip bonded (hereinafter referred to as TAB type). Hence, the inner lead portions 220 protrude within the attachment hole 248.

The wiring board 245B is characterized in that the portions of the base film 217 on the portions that are bent in the bending step are removed. By removing the base film 217, the leads 218 are exposed and the mechanical strength thereof is degraded. Hence, solder resists 254 which are liable to be bent are provided to the portions in which the base film 217 is removed.

Hence, the wiring board 245B thus structured can be prevented from expanding at the bent portions, so that the contactability between the wiring board 245B and the frames 213, 213A and the heat radiating plates 233 and 234 can be improved. Hence, it is possible to prevent the wiring board 245B from flaking off from the frames 213, 213A and the heat radiating plates 233 and 234 and to thus improve the reliability of the semiconductor devices 210E through 210R. Further, improvement in the contactability with the frames 231, 213A and the heat radiating plates 233 and 234 leads to down sizing of the semiconductor devices

210E through 210R.

A wiring board 245C shown in Fig. 105 is of a type in which the semiconductor element 211 are bonded to the leads by the wiring bonding method (hereinafter referred to as a wire connection type). Hence, the wiring board 245C differs from the wiring boards 245 and 245A of the TAB type shown in Figs. 103 and 104 in that the inner lead portions 220 do not protrude within the loading hole 248. The wiring board 245A shown in Fig. 106 has been described previously, and a description thereof will be omitted here.

A wiring board 245D shown in Fig. 107 is of the TAB type, and is characterized in that each of the extending portions 246A has a triangular shape. Hence, pads 249 can be arranged along slant edges of the triangular shape. Hence, the adjacent pads 249 (that is, the protruding electrodes 214) can be arranged at a comparatively wide pitch. Thus, the pads 249 can easily be formed, and no problem will occur even if it is required to arrange an increased number of protruding electrodes 214. The extending portions 246A shown in Fig. 107 have a triangular shape, but are not limited thereto. That is, the extending portions 246A can be formed in an arbitrary shape which makes it possible to arrange the pads 249 at a wide pitch.

A wiring board 245E shown in Fig. 108 is of the TAB type, and is characterized in that the extending portions 246A have a triangular shape and the base film 217 does not have any portion that is to be bent. The wiring board 245E in the present embodiment makes it possible to prevent the wiring board 245E from flaking off from the frames 213, 213A and the heat radiating plates 233 and 234, so that the semiconductor device can be down sized and the reliability thereof can be improved. Further, the

pads 249 can easily be arranged so that the semiconductor device can meet the requirement of increasing the integration density of the semiconductor element 211. The solder resists 254 for protecting the leads 218 are arranged in the positions in which the base film 217 should be removed.

Wiring boards 245F, 245G and 245H shown in Fig. 109 are of the TAB type, and are characterized in that the lands 249 are formed by providing connection holes in the base film 217 (indicated by a pear-skin illustration). The wiring board 245F shown in Fig. 109(A) has an arrangement in which the extending portions 246 and the base portion 251 are integrally formed. The wiring board 245G shown in Fig. 109(B) has an arrangement in which the portions of the base film 217 which are to be bent are removed and therefore the solder resists 254 are provided. The wiring board 245H shown in Fig. 109(C) has an arrangement in which the lands 249 are formed on the base portion 251A.

The wiring boards 245F and 245G can be applied to the aforementioned semiconductor devices 210G (see Fig. 92), 210H (see Fig. 93), 210J (see Fig. 95), 210L (see Fig. 97), 210 M (see Fig. 98), 210P (see Fig. 100), and 210Q (see Fig. 101). The wiring board 245H can be applied to the semiconductor device 210R (see Fig. 102).

Fig. 110 shows a wiring board 245I which corresponds to a variation of the wiring board 245A described with reference to Fig. 106, and particularly shows an enlargement view of the connection electrodes 253 (indicated by a pear-skin illustration).

The wiring board 245I is characterized in that the connection electrodes 253 are arranged in an interdigital formation and corner portions 253a of the connection electrodes 253 are curved. The interdigital formation of arrangement of the

connection electrodes 253 makes it possible to widen the area of each of the connection electrodes 253 and to simplify the wire bonding process (electrical connection process) for making connections to the semiconductor element 211.

The curved corner portions 253a of the connection electrodes 253 function to decentralize stress generated when a bonding tool (ultrasonic welding tool) used for bonding the wires 235 and the connection electrodes 253. Hence, the electrical connections between the wires 235 and the connection electrodes 253 can definitely be made.

A description will now be given, with reference to Figs. 111 through 113, of a semiconductor device and its fabrication method according to a forty eighth embodiment of the present invention. In Figs. 111 through 113, parts that have the same structures as those of the semiconductor device 210E according to the thirty fifth embodiment shown in Figs. 88 through 90 are given the same reference numbers, and a description thereof will be omitted.

Fig. 111 shows a semiconductor device 210S according to the forty eighth embodiment of the present invention, and Figs. 112 and 113 show a method for fabricating the semiconductor device 210S. The semiconductor device 210S is characterized by using mechanical bumps 255 as protruding electrodes. The mechanical bumps 255 are obtained by deformation-processing or plastic-deforming leads 218 formed in the wiring board 245J, so that the deformed portions of the leads 218 protrude from the surface of the wiring board 245J and thus serve as protruding electrodes.

The use of the mechanical bumps 255 does not need ball members necessary for the transfer method employed in the aforementioned embodiments. Hence, the number of components can be reduced and the

fabrication process can be simplified. The deformation-processing step requires a simple step of, for example, pressing the leads 218 by a punch (tool) or the like. Hence, the mechanical bumps 255 (protruding electrodes) can easily be formed at low cost.

A description will be given of the method for fabricating the semiconductor device 210S. Fig. 112(A) shows the wiring board 245J in which the mechanical bumps 255 are formed after the resin sealing step is executed. As shown in this figure, the mechanical bumps 255 are formed in the extending portions 246 of the wiring board 245J.

An enlarged view of a portion indicated by an arrow A shown in Fig. 112(A) is shown in Figs. 112(B) through 112(D). As shown in these figures, the mechanical bumps 255 can have various structures.

Mechanical bumps 255A shown in Fig. 112(B) are characterized as follows. The leads 218 are pressed (deformation processing) integrally with the insulating film 219. Thereby, the pressed and deformed portions of the leads 218 and the insulating film 219 protrude from the connection hole 217b. Further, cores 256 are provided to resultant recess portions formed on the back surface of the deformed portions. Thus, the cores 256 have a shape which corresponds to the recess portions formed in the back surfaces of the mechanical bumps 255.

The insulating film 219 is subjected to the deformation processing together with the leads 218, and is not required to be removed. Hence, the step of forming the mechanical bumps 255A is simple. Further, the cores 256 arranged in the recess portions prevent the mechanical bumps 255A from being deformed even when the mechanical bumps 255A receives a pressure at the time of mounting the semiconductor device 210S.

In the structure shown in Fig. 112(C),

mechanical bumps 255B are formed by removing the insulating film 219 and pressing the leads 218 (by deformation processing). The cores 256 are provided to the resultant recess portions formed on the back sides of the mechanical bumps 255B.

The mechanical bumps 255B are obtained by pressing the leads 218 only, and can be formed in a shape with high precision, as compared to the structure shown in Fig. 112(B) in which the insulating film 219 is pressed together with the leads 218. If the insulating film 219 does not have a uniform thickness, the shapes of the mechanical bumps 255B may be affected by the uneven thickness. The structure shown in Fig. 112(C) is not affected by the thickness of the insulating film 219, so that the mechanical bumps 255B can be formed with high precision.

The structure shown in Fig. 112(D) is characterized in that the cores 256 used in the structure shown in Fig. 112(B) are not used, but the second adhesive 247 is provided in the recess portions formed on the back side of the mechanical bumps 255C.

The second adhesive 247 functions to fix the extending portions 246 to the frame 213 and is hardened so as to have a given rigidity. Hence, the second adhesive 247 provided in the recess portions functions as the cores 256.

The use of the second adhesive 247 as the cores 256 makes it possible to reduce the number of components, as compared to the structures shown in Figs. 112(B) and 112(C), and to simplify the step of forming the mechanical bumps 255C,

After the mechanical bumps 255 are formed in the wiring board 245J by any of the above-mentioned methods, the semiconductor element 211 is flip-chip bonded to the wiring board 245J. Subsequently, a resin sealing step using the compression molding method is carried out, so that a state shown in Fig.

112(A) can be obtained. Then, a bending step is performed as shown in Fig. 113, and the extending portions 246 are bent towards the upper surface of the frame 213 and is fixed thereto by the second adhesive 247. Thus, the semiconductor device 210S shown in Fig. 111 can be obtained.

Fig. 114 shows a semiconductor device 210T and its fabrication method according to a forty ninth embodiment of the present invention. The semiconductor device 210S and its fabrication method described with reference to Figs. 111 through 113 employ the flip-chip bonding in order to connect the semiconductor element 211 and the wiring board 245J.

In contrast, as shown in Fig. 114, the forty ninth embodiment is characterized by connecting the semiconductor element 211 and the wiring board 245J by the wires 235. Even when the mechanical bumps 255 are employed, the semiconductor element 211 and the wiring board 245J can be connected by the TAB method or the wire bonding method. The semiconductor device 210T and its fabrication method are the same as the semiconductor device 210S and its fabrication method described with reference to Figs. 111 through 113 except for the arrangement of the connections between the semiconductor element 211 and the wiring board 245J, and thus a description thereof will be omitted.

A description will be given of a semiconductor device and its fabrication method according to a fiftieth embodiment of the present invention. Fig. 115 is a diagram showing a semiconductor device 210U and its fabrication method according to the fiftieth embodiment of the present invention. In Fig. 115, parts that have the same structures as those shown in Figs. 102, 111 and 112 are given the same reference numbers, and a description thereof will be omitted.

Fig. 115(F) shows the semiconductor device

210U according to the fiftieth embodiment of the present invention. The frame 213A used in the semiconductor device 210U has the same structure as that of the semiconductor device 210R described with reference to Fig. 102. That is, the frame 213A includes the integrally formed bottom portion 237. A wiring board 245K used in the present embodiment has an arrangement in which the protruding electrodes 255 are formed on base portion 251A.

As shown in Fig. 115(A), the base portion 251A is positioned on the bottom portion 237 of the frame 213A, and is fixed thereto by the second adhesive 247. The extending portions 246 extend outwards from the outer periphery of the frame 213A. The semiconductor element 211 is mounted by the adhesive 236 within the cavity 223A formed in the frame 213A.

After the base portion 251A of the wiring board 245A is fixed to the bottom portion 237 of the frame 213A, the extending portions 246 are bent as shown in Fig.s 115(B) and 115(C), and the extending portions 246 are fixed to the frame 213A by the adhesive 247A. Then, the wires 235 are provided between the connection electrodes 253 and the semiconductor element 211 by the wire bonding method. Fig. 115(D) shows a state in which the wires 235 are provided between the connection electrodes 253 and the semiconductor element 211.

After the wires 235 are provided, a resin sealing step is performed. Fig. 115(E) shows a state in which the wiring board 245K is loaded onto the mold 224C. In the present embodiment, the mechanical bumps 255 are formed on the wiring board 245K preceding to the resin sealing step. Thus, inserting holes 257 into which the mechanical bumps 255 are inserted are formed in an upper mold 225B of the mold 224C.

The sealing resin 215 is shaped by the

compression-molding method. In the present embodiment, the heat radiating plate 233 is arranged at the same time as the sealing resin 215 is formed. By forming the sealing resin 215, the semiconductor device 210U shown in Fig. 115(F) can be obtained.

The semiconductor device 210U has the same advantages as the semiconductor device 210R shown in Fig. 102. More particularly, the mechanical bumps 255 are positioned on the side of the bottom portion 237 of the frame 213A, and the cavity 223A is not formed at the positions. Hence, the whole area of the bottom portion 237 can be used to arrange the mechanical bumps 255. Hence, the mechanical bumps 255 can be arranged at a comparatively wide pitch and an increased number of mechanical bumps 255 can be arranged on the bottom portion 237.

Fig. 116 is a diagram showing various semiconductor devices equipped with the mechanical bumps 255. Fig. 116(A) shows a semiconductor device 210V, which has an arrangement in which the mechanical bumps 255 are applied, as protruding electrodes, to the semiconductor device 10A of the thirty first embodiment described with reference to Fig. 81. Fig. 116(B) shows a semiconductor device 210W, which has an arrangement in which the mechanical bumps 255 are applied, as protruding electrodes, to the semiconductor device 10B of the thirty second embodiment described with reference to Fig. 84. Fig. 116(C) shows a semiconductor device 210X, which has an arrangement in which the mechanical bumps 255 are applied, as protruding electrodes, to the semiconductor device 210D of the thirty fourth embodiment described with reference to Fig. 116(C).

As shown in Fig. 116, the mechanical bumps 255 can be applied to the semiconductor devices 210V - 210X which do not have the extending portions 246 which are not bent. The structures of the

semiconductor devices 210V - 210X shown in Fig. 116 other than the mechanical bumps 255 are the same as those of the aforementioned semiconductor devices 210A, 210B and 210D, and a description thereof will be omitted.

Fig. 117(E) shows a semiconductor device 210Y according to fifty first embodiment of the present invention, which is characterized in that the frame 213 or 213A used in the aforementioned embodiments is not used. Hence, the semiconductor element 211 is supported by only the sealing resin 215. Hence, it is possible to further facilitate downsizing of the semiconductor device 210Y and to reduce the fabrication cost and simplify the assembly work due to a reduction in the number of components.

A description will be given of a method for fabricating the semiconductor device 210Y. In the following description, the semiconductor device 210Y has the mechanical bumps 255 as protruding electrodes. However, the following method can be applied to semiconductor devices having protruding electrodes other than the mechanical bumps.

Fig. 117(A) shows a state in which the mechanical bumps 255 are already formed and a wiring board 246L to which the semiconductor element 211 is provided is loaded to the mold 224C. In the present embodiment, the semiconductor element 211 and the wiring board 246L are electrically connected together by the wires 235. The mold 224C has the inserting holes 257 into which the mechanical bumps 255 are inserted, as in the case shown in Fig. 115(E).

The wiring board 246L is loaded onto the mold 224C, and the upper mold 225B and the lower mold 226 are moved so as to be close to each other. Then, as shown in Fig. 117(B), the wiring board 246L is clamped between the upper mold 225B and the lower mold 226.

Then, as shown in Fig. 117(C), the first lower mold half body 228 is moved up, and the sealing resin 227 seals the semiconductor element 211 and the wire 235 with a predetermined compression pressure. That is, the sealing resin 215 is formed by the compression molding method. The resin sealing step is carried out in a state in which the heat radiating plate 233 is placed on the first lower mold half body 228. Hence, the heat radiating resin 215 can be provided at the same time as the sealing resin 215 is formed.

Fig. 117(D) shows a state in which the wiring board 245L to which the sealing resin 215 is provided is detached from the mold 224C. In this state, there are unnecessary extending portions 258 extending from the side portions of the sealing resin 215. The unnecessary portions 258 are cut and removed after the separating process, so that the semiconductor device 210Y shown in Fig. 117(E) can be obtained.

Fig. 118 shows a semiconductor device 310A according to a fifty fourth embodiment of the present invention. Fig. 118(A) shows a cross-sectional view of the semiconductor device 310A, and Fig. 118(B) is a side view of the semiconductor device 310A.

The semiconductor device 310A has a very simple structure, which is generally made up of a semiconductor element 312, an electrode board 314A, a sealing resin 316A and protruding terminals 318. The semiconductor device 312 (semiconductor chip) has a semiconductor substrate in which electronic circuits are formed. A plurality of bump electrodes 322 are formed on the mounting surface of the semiconductor element 312. The bump electrodes 322 has an arrangement in which solder balls are arranged by the transfer method, and are bonded to the electrode board 314 by the flip-flop bonding. Alternatively a reflow

process may be employed.

By bonding the semiconductor element 312 and the electrode plate 314 in the flip-chip bonding formation, it is possible to reduce the space necessary for bonding, as compared to the use of wires and to thus down size the semiconductor device 310A. Further, it is possible to reduce the wiring length in the bonded portions the impedance and thus improve the electrical performance. Further, it is possible to narrow the pitch at which the bump electrodes 322 are arranged and realize an increased number of pins.

The electrode plate 314 functions as an interposer and is formed of an electrically conductive substance such as a copper alloy. As shown in Fig. 119(A), the electrode plate 314 includes a plurality of metallic plate patterns 326 having predetermined pattern shapes (as will be described later, Fig. 119(A) shows the electrode plate 314 in a lead frame formation.

The metallic plate patterns 326 has a lower surface to which the bump electrodes 322 of the semiconductor element 312 are bonded, and an upper surface to which the protruding terminals 318 are bonded. Thus, the metallic plate patterns 326 function to electrically connect the bump electrodes 322 and the protruding terminals 318. As shown in Fig. 118(B), end portions of the metallic plate patterns 326 are exposed from the side surfaces of the sealing resin 316A, and form side terminals 320.

The protruding terminals 318 are, for example, ball bumps made of solder (protruding electrodes) and are bonded to the electrode plate 314. The protruding terminals 318 are electrically connected to the existing bump electrodes 322 through the metallic plate patterns 326.

The sealing resin 316A is formed so as to cover the semiconductor element 312, the electrode

plate 314 and parts of the protruding terminals 318. The sealing resin 316A is formed of resin having electrically insulating performance such as polyimide and epoxy, and a minimum size sufficient to cover and protect the semiconductor element 312. Hence, the down-sizing of the semiconductor device 310A can be realized.

In the state observed after the sealing resin 316A is formed, a back surface 328 of the semiconductor element 312 is exposed from the sealing resin 316A. There are no electronic circuits in the back surface of the semiconductor element 312, which has a comparatively large mechanical strength. Hence, there is no problem in the arrangement in which the back surface 328 is exposed from the sealing resin 316A. The above arrangement functions to improve the heat radiating performance of the semiconductor device 310A because heat generated in the semiconductor element 312 can be radiated from the back surface 328 to the outside.

In the state in which the sealing resin 316A is formed, the end portions of the electrode plate 314 are exposed from the side surfaces of the sealing resin 316A so that side terminals 320 can be formed. Hence, it is possible to use, together with the protruding terminals 318, side terminals 320 as external connection terminals for making connections to another board or device.

Fig. 128 shows a mounting arrangement of the semiconductor device according to the fifty fourth embodiment, and more particularly, shows a state in which the semiconductor device 310A is mounted on a mounting board 332. As shown in Fig. 128, the protruding terminals 418 are positioned between the bottom surface of the sealing resin 316A and the mounting board 332, and cannot be visually observed or connected to a test tool such as a probe from the

outside of the device.

The semiconductor device 310A has the side terminals 320 which are exposed from the side surfaces of the sealing resin 316A. Hence, even after the semiconductor device 312 is mounted on the mounting board 322, it is still possible to test the semiconductor device 310A by using the side terminals 320. Hence, it is possible to detect a defective semiconductor device and to improve the yield and reliability.

Turning to Fig. 118 again, a further description will be given of the semiconductor device 310A.

The above-mentioned sealing resin 316A covers not only the semiconductor element 312 but also the interfaces at which the protruding terminals 318 of the electrode plate 314. Hence, the protruding terminals 318 are protected by the sealing resin 316A. Hence, it is possible to prevent the protruding terminals 318 from flaking off from the semiconductor device 310A due to external force. Since the sealing resin 316A has electrically insulating performance, it is possible to prevent the adjacent protruding terminals from being short-circuited particularly in an arrangement in which the protruding terminals 318 are arranged at a high density (that is, at a narrow pitch).

The protruding terminals 318 protrude from the sealing resin 316A. Hence, it is possible to definitely connect the protruding terminals 318 to the mounting board 332. Further, the semiconductor device 310A can be handled as in the case of the BGA (Ball Grid Array) as shown in Fig. 128. Hence, the mounting reliability can be improved.

The electrode plate 314A of the semiconductor device 310A will be drawn to attention.

As has been described previously, the

electrode plate 314A is a metallic plate. Thus, when the metallic plate 314A is provided in the sealing resin 316A for protecting the semiconductor element 312, the metallic plate 314A functions as a reinforcement member which reinforces the electrode plate. Hence, it is possible to more definitely protect the semiconductor element 312 and improve the reliability of the semiconductor device 310A. The electrode plate 314A is positioned between the semiconductor element 312 and the protruding electrodes 318 and the side terminals 320 serving as the external connection ends. Hence, the routing of wiring between the semiconductor element 312, the protruding terminals 318 and the side terminals 320 can be realized within the semiconductor device 310A. This is different from a conventional arrangement in which external connection ends are directly connected to the semiconductor device. According to the present embodiment arrangement, the electrode plate 314 increases the degree of freedom in layout of terminals of the semiconductor device 312 and external connection terminals (protruding terminals 318 and side terminals 320).

The electrode plate 314A is formed of an electrically conductive metal, which generally has better thermal conductivity than the sealing resin 316A. Hence, heat generated in the semiconductor element 312 can be radiated through the electrode plate 314A. Hence, it is possible to efficiently radiate heat generated in the semiconductor element 312 and thus ensure the stable operation of the semiconductor element 312.

A description will be given of a method for fabricating the semiconductor device 310A.

Figs. 119 through 122 are diagrams showing the method for fabricating the semiconductor device 310A. In Figs. 119 through 122, parts that have the

same structures as those shown in Fig. 118 are given the same reference numbers.

The fabrication method of the present embodiment includes an electrode plate forming step, a chip mounting step, a protruding terminal forming step, a sealing resin forming step and a cutting step. In the electrode plate forming step, a pattern forming process is carried out for a metallic base formed of a copper alloy (for example, a Cu-Ni-Sn system) which is generally used to form the lead frames. Thereby, a lead frame 234A having a plurality of electrode plates 314 is formed. The pattern forming process performed in the electrode plate forming step uses an etching method or press processing method.

The etching method and press processing method are generally used to form the lead frames. Hence, by applying the etching method or the press processing method to the step of forming the lead frames, the lead frame 324A can be formed without any increase in the facility.

Fig. 119(A) is a diagram of an enlarged view of a part of the lead frame 324A, in which four electrode plates 314A are depicted. According to the present embodiment fabrication method, a plurality of electrode plates 314A can be obtained from the lead frame 324A.

The electrode plates 314A have a plurality of metallic plate patterns 326, which can be processed to have arbitrary wiring patterns in the pattern forming step. Hence, the routing of wires can be realized by using the electrode plates 314A, so that the layout of external connection terminals formed on the electrode plates 314A can be determined with a large degree of freedom.

Fig. 119(B) shows a semiconductor element 312 (312A - 312C) provided on the electrode plates (the lead frame 324A). In the present embodiment,

three semiconductor elements 312A through 312C are mounted on a single electrode plate 314A. The semiconductor elements 312A - 312C are equipped with the bump electrodes 322 used for making electrical connections to the respective electrode plates 314A.

As shown in Fig. 119(B), the sizes of the semiconductor elements 312A - 312C may not be required to be equal to each other. The metallic plate patterns 326 formed on the electrode plates 314A are configured so as to correspond to the positions in which the bump electrodes 322 are to be formed.

After the electrode plate forming step is completed, the chip mounting step is performed, in which the semiconductor elements 312A through 312C are mounted on the electrode plates 314A and are electrically connected thereto. Figs. 120(A) and 120(B) show a state in which the semiconductor elements 312A - 312C are mounted on the respective electrode plates 314A.

The present embodiment employs the flip-chip bonding method as means for bonding the semiconductor elements 312A - 312C to the electrodes 314A so that the electrode plates 314A are directly bonded to the bump electrodes 322. Hence, it is possible to reduce the bonding areas between the semiconductor elements 312A - 312C and the electrode plates 314A and reduce the connection impedance.

After the chip mounting step is completed, the protruding terminal forming step is carried out, in which the protruding terminals 318 are formed in given positions of the metallic plate patterns 326 forming the electrode plates 314A. The protruding terminals 318 are formed of solder balls, which are bonded to the metallic plate patterns 326 by, for example, the transfer method. Fig. 121 shows the electrode plate 314A on which the protruding terminals 318 are arranged. The protruding terminals 318 are

arranged in a matrix formation by appropriately selecting the wiring patterns of the metallic plate patterns 326.

After the above protruding terminal forming step is completed, the sealing resin forming step is carried out, in which the lead frame 324A, to which the semiconductor elements 312 (312A - 312C) and the protruding terminals 318 are provided, is loaded onto the mold and the sealing resin 316A is formed by the compression molding method. Thus, the semiconductor elements 312 and the electrode plates 314A are sealed by the sealing resin 316A. Hence, the semiconductor elements 312 and the electrode plates 314A can be protected by the sealing resin 316A, so that the reliability of the semiconductor device 310A can be improved.

Fig. 122 shows the lead frame 324A to which the sealing resin 316A is formed. As shown, the back surfaces of the semiconductor elements 312 (312A - 312C) are exposed from the sealing resin 316A, and predetermined end portions of the protruding terminals 318 protrude from the sealing resin 316A. By exposing the back surfaces of the semiconductor elements 312 from the sealing resin 316A, it is possible to improve the heat radiating efficiency. By protruding the end portions of the protruding terminals 318 from the sealing resin 316A, the mounting performance can be improved.

After the sealing resin forming step is completed, the cutting step is executed. The sealing resin 316A and the lead frame 324A (electrode plates 314A) are cut at the boundaries of the semiconductor devices (indicated by lines A-A shown in Fig. 122). Hence, a plurality of semiconductor devices shown in Fig. 18 can be obtained.

By cutting the lead frame 324A (electrode plates 314A) together with the sealing resin 316A, the

electrode plates 314A are exposed in the side surfaces of the sealing resins 316A, and the exposed portions of the electrode plates 314A function as the side terminals 320, which can be used for external connection terminals.

A description will be given of a semiconductor device 310B according to a fifty fifth embodiment of the present invention.

Fig. 123 is a diagram showing the semiconductor device 310B according to the fifty fifth embodiment. More particularly, Fig. 123(A) shows a cross section of the semiconductor device 310B, and Fig. 123(B) shows a bottom surface thereof. In Fig. 123, parts that have the same structures as those of the semiconductor device 310A according to the fifty fourth embodiment described with reference to Fig. 118 are given the same reference numbers, and a description thereof will be omitted.

In the aforementioned semiconductor device 310A according to the fifty fourth embodiment of the present invention, the protruding terminals 318 are exposed from the sealing resin 316A. In contrast, the semiconductor device 310B is characterized in that the electrode plate 314A is directly exposed from the sealing resin 316B without providing the protruding terminals 318.

Since the semiconductor device 310B does not have the protruding terminals 318, it is possible to reduce the number of components and simplify the fabrication process. The electrode plate 341A is exposed from not only the side surfaces of the sealing resin 316B but also the bottom surface, and thus form the external connection terminals. Hence, the mounting using any of the side and bottom surfaces can be realized.

Fig. 130 shows an arrangement in which the semiconductor device 310B is mounted on the mounting

board 332. As shown in this figure, the semiconductor device 310B is mounted on the mounting board 332 using solders 336 in a face-down formation. The solders 336 extend not only to the bottom portion of the electrode plate 314A but also to the side terminals 320, so that solder bonding can be realized.

The semiconductor device 310B can be mounted using the side terminals 320 only as in the case of a semiconductor device 310C of to a fifty sixth embodiment which will be described later. Hence, the semiconductor device 310B has an improved degree of freedom in mounting.

A description will now be given of a semiconductor device 310C according to the fifty sixth embodiment. More particularly, Fig. 124(A) shows a cross section of the semiconductor device 310B and Fig. 124(B) shows an upper surface thereof.

In the aforementioned semiconductor device 310B according to the fifty fifth embodiment, the side surface and side end portions of the electrode plate 314 are directly exposed from the sealing resin 316B. In contrast, the semiconductor device 310C is characterized in that only the side portions of the electrode plate 314A are exposed from the sealing resin 316C whereby the side terminals 320 can be formed.

The electrode plate 314A of the semiconductor device 310C is embedded in the sealing resin 316C while the side terminals 320 remain. Hence, it is possible to prevent the electrode plate 314A from flaking off from the sealing resin 316C due to thermal stress and external force and to thus improve the reliability of the semiconductor device 310C.

A description will now be given of a semiconductor device 310D according to a fifty seventh embodiment.

Fig. 125 is a diagram of the semiconductor device 310D according to the fifty seventh embodiment. More particularly, Fig. 125(A) shows a cross section of the semiconductor device 310D, Fig. 125(B) shows an upper surface thereof, and Fig. 125(C) shows a bottom surface thereof.

The semiconductor device 310D is characterized by forming protruding terminals 330 in an electrode plate 314B. The protruding terminals 330 are shaped by press-processing the electrode plate 314B. Thus, the protruding terminals 330 and the electrode plate 314B are integrally formed. Alternatively, another electrically conductive member may be attached.

The step of forming the protruding terminals 330 is totally performed in the aforementioned electrode plate forming step. Hence, the formation of the protruding terminals 330 does not make the fabrication process complex. Further, the number of components can be reduced, as compared to an arrangement in which the protruding terminals 330 are formed by another member.

As shown in Figs. 125(A) and 125(B), the protruding terminals 330 are exposed from the bottom surface of the sealing resin 316D. Hence, the protruding terminals 330 can be made to function as external connection terminals.

Fig. 134 shows a state in which the semiconductor device 310D is mounted on the mounting board 332. As shown, the semiconductor device 310D is mounted on the mounting board 332 by using solders 354. The protruding terminals 330 are exposed from the bottom and side surfaces of the sealing resin 316D. Hence, the contact areas to the solders 354 can be increased, and the protruding terminals 330 can definitely be connected to the mounting board 332.

Except for the protruding terminals 330 and

the side terminals 320, the electrode plate 314B is embedded in the sealing resin 316D. Hence, the adjacent protruding terminals 330 can be electrically isolated from each other by the sealing resin 316D. Hence, it is possible to prevent the adjacent protruding terminals 330 from being short-circuited by the solders 354 at the time of mounting and to thus improve the reliability of mounting.

Figs. 126 and 127 show a method for fabricating the semiconductor device according to the fifty fifth embodiment of the present invention, and more particularly the method of fabricating the semiconductor device 310D.

The fabricating method of the present invention has the steps that are the same as those of the fabrication method according to the fifty fourth embodiment described with reference to Figs. 119 through 122 except for an electrode forming step, a sealing resin forming step and a cutting step. The following is directed to the electrode plate forming step.

In the present electrode plate forming step, the protruding terminals 330 are press-processed at the same time as the lead frame 324B having the electrode plates 314B is formed. the cutting step of the individual electrode plates 314B and the press processing for the formation of the protruding terminals 330 can be simultaneously carried out by selecting the structure of the mold for forming the lead frame 324B.

Fig. 126 shows the lead frame 324B formed by the electrode plate forming step. In this figure, hatched portions denote the protruding terminals 330, which protrude from the electrode plate 314B. According to the present embodiment, the protruding terminals 330 can be formed at the same time as the electrode plate 314B is formed. Hence, the process

for fabricating the semiconductor device 310D can be simplified.

As shown in Fig. 127, the sealing resin forming step is carried out wherein the sealing resin 316D is formed so that the protruding terminals 330 are exposed from the sealing resin 316D. In order to easily obtain the above arrangement, the cavity surface of the mold used in the sealing resin forming step is made to come into contact with the protruding terminals 330.

The cutting positions in the cutting step are indicated by the broken lines A-A shown in Fig. 127, and are selected so that the side surfaces of the protruding terminals 330 are exposed from the sealing resin 316D. Hence, as shown in Fig. 134, the solders 354 extend up to the side surfaces of the protruding terminals 330 at the time of mounting, so that definite soldering can be realized.

A description will now be given of mounting arrangements in which the semiconductor devices 310A - 310D are mounted on the mounting board 332.

Figs. 128 through 134 show mounting arrangements of the semiconductor devices 310A - 310D according to fifty fourth through sixtieth embodiments of the present invention. A description of the following has been described and will be omitted: the mounting arrangement for mounting the semiconductor device 310A according to the fifty fourth embodiment shown in Fig. 128, the mounting arrangement for mounting the semiconductor device 310B according to the fifty sixth embodiment shown in Fig. 130, and the mounting structure for mounting the semiconductor device 310D according to the sixtieth embodiment shown in Fig. 134.

Fig. 129 shows a mounting arrangement for the semiconductor device according to the fifty fifth embodiment.

The present mounting arrangement shown Fig. 129 employs the semiconductor device 310A according to the fifty fourth embodiment by way of example, and is characterized in that mounting bumps 334 are provided to the protruding terminals 318 for external connections, and the semiconductor device 310A is bonded to the mounting board 332 through the mounting bumps 334.

By bonding the semiconductor device 310A to the mounting board 332 through the mounting bumps 334, the semiconductor device 310A can be mounted in the same manner as the BGA (Ball Grid Array) type semiconductor device, and can meet a requirement for improvement in the mounting performance and the use of an increased number of pins.

Since the protruding terminals 318 are formed on the electrode plate 314A, there is a limit on the volumes of the protruding terminals 318. However, the mounting bumps 334 are allowed to have an arbitrary volume. Hence, by maximizing the volumes of the mounting bumps 334 within a range in which the adjacent mounting bumps 334 are not short-circuited, the performance of bonding between the semiconductor device 310A and the mounting board 332 can be improved and thus the reliability thereof can be improved. The mounting arrangement of the present embodiment can be applied to the semiconductor devices 310A, 310B and 310D.

Fig. 131 shows a mounting arrangement for the semiconductor device according to the fifty seventh embodiment of the present invention.

The present mounting arrangement employs the semiconductor device 310B according to the fifty fifth embodiment by way of example, and is characterized by bonding the semiconductor device 310B to the mounting board 332 by using a mounting member 338.

The mounting member 338 is made up of

connection pins 340 and a positioning member 342. The connection pins 340 are formed of flexible electrically conductive substance (for example, a spring member having electrical conductivity), and are arranged in the positions corresponding to those in which the external connection terminals of the electrode plate 314A are located. The positioning member 342 is made of a flexible and insulating substance such as silicon rubber, and functions to position the connection pins 340 in the above given positions.

The mounting member 338 thus configured is used so that the upper ends of the connection pins 340 are bonded to the electrode plate 314A of the semiconductor device 310B (for example, soldering), and the lower ends of the connection pins 340 are bonded to the mounting board 332.

As described above, the connection pins 340 are interposed between the external connection terminals and the mounting board. The connection pins 340 are flexible and thus absorb stress generated at the interface between the semiconductor device 310B and the mounting board 332 due to the difference in thermal expansion coefficient therebetween at the time of, for example, heating the device. If the connection pins 340 are formed of a material having flexibility, the positioning member 342 will absorb the above stress.

Hence, even if the above stress is applied, the bonded condition between the semiconductor device 310B and the mounting board 332 can definitely be maintained, and the reliability of the mounting can be improved. The positioning member 342 supporting the connection pins 340 is flexible, and thus does not prevent the connection pins 340 from being flexibly deformed. Hence, the positioning member 342 can definitely absorb the stress.

Since the connection pins 340 are positioned by the positioning member 342, it is not required to position the connection pins 340 with respect to the semiconductor device 310B (the electrode plate 314A) and with respect to the mounting board 332. Hence, the mounting operation can easily be performed. The present mounting arrangement can be applied to the other semiconductor devices 310A, 310B and 310D.

Fig. 132 shows a mounting arrangement for the semiconductor device according to the fifty eighth embodiment of the present invention.

The present mounting arrangement employs the semiconductor device 310C according to the fifty sixth embodiment by way of example, and is characterized by mounting the semiconductor device 310C on the mounting board 332 through a socket 344.

The socket 344 is made up of an attachment portion 346 to which the semiconductor device 310C is attached, and lead parts 348 provided so as to be connected to the side terminals 346 exposed from the side surfaces of the sealing resin 316C. The semiconductor device is attached to the attachment portion 346, and the upper portions of the lead parts 348 and the side terminals of the semiconductor device 310C are electrically connected together. Then, the lower portion of the lead portion 348 is bonded to the mounting board 332 (for example, soldering). Hence, the semiconductor device 310C is mounted on the mounting board 332 through the socket 344.

By mounting the semiconductor device 310C on the mounting board 332 through the socket 344, the attachment and detachment of the semiconductor device 310C with respect to the mounting board 332 can be realized by merely attaching and detaching the semiconductor device 310C to and from the socket 344. Hence, even if the semiconductor device 310C is required to be replaced by new one, for example, in

the maintenance work, the above replacement can easily be realized.

The lead parts 348 attached to the socket 344 are arranged to the sides of the attachment portion 346. Further, the side terminals 320 of the semiconductor device 310C are exposed from the sealing resin 316C. Hence, the lead parts 348 and the side terminals 320 face each other in the state in which the semiconductor device 310C is attached to the attachment portion 346. Thus, connections between the lead parts 348 and the semiconductor device 310C can be made without extending and routing the lead parts 348. Hence, the structure of the socket 344 can be simplified.

Fig. 133 shows a mounting arrangement for the semiconductor device according to the fifty ninth embodiment of the present invention.

The present mounting arrangement mounts the semiconductor device 310C on the mounting board 332 by using lead parts 350 as in the case of the mounting arrangement according to the aforementioned fifty eighth embodiment, and is characterized in that a die stage 352 is substituted for the attachment portion 346.

A socket 351 used in the present embodiment is made up of the lead parts 350 and the die stage 352, which are integrally formed by a lead frame member. The die stage 352 supports the semiconductor device 310C, and the lead parts 350 are arranged on the outer periphery thereof. The portions of the lead parts 350 that face the semiconductor device 310C are partially bent so as to be electrically connected to the side terminals 320.

Even by using the above socket 351, the semiconductor device 310C can be attached to and detached from the mounting board as in the case of the mounting arrangement according to the fifty eighth

embodiment. The lead parts 350 and the die stage 352 of the socket 351 are integrally formed, so that the number of components can be reduced and the socket 351 can easily be produced.

A description will now be given of a semiconductor device 310E according to a fifty eighth embodiment of the present invention.

Fig. 135 is a cross-sectional view of the semiconductor device 310E according to the fifty eighth embodiment of the present invention. The semiconductor device 310E is characterized in that a heat radiating plate (heat radiating member) 356 is provided on the upper surface of the semiconductor device 310A according to the aforementioned fifty fourth embodiment.

The heat radiating plate 356 is formed of a light substance having a good thermal conductivity such as aluminum. The heat radiating plate 356 is bonded to the semiconductor elements 312 and the sealing resin 316A by an adhesive having a high thermal conductivity. By arranging the heat radiating plate 356 on the sealing resin 316A in a position close to the semiconductor elements 312, it is possible to efficiently radiate heat generated in the semiconductor elements 312.

The back surfaces 328 of the semiconductor elements 312 are exposed from the sealing resin 316A, and the heat radiating plate 356 is directly attached to the exposed back surfaces 328. That is, the sealing resin 316A having poor thermal conductivity is not interposed between the heat radiating plate 356 and the semiconductor elements 312, so that the heat radiating performance can further be improved.

A description will now be given of a method for fabricating the semiconductor device 310E thus configured (the fabrication method according to the fifty sixth embodiment).

Figs. 136 through 141 are diagrams showing the method of fabricating the semiconductor device 310E. In Figs. 136 through 141, parts that have the same structures as those used for explaining the fabrication method of the fifty fourth embodiment with reference to Figs. 119 through 122 are given the same reference numbers, and a description thereof will be omitted.

The present fabrication method is characterized by applying a chip attachment step to the fabrication method of the fifty fourth embodiment. The chip attachment step attaches the semiconductor elements 312 to the heat radiating member 356 before the chip mounting step. Further, the present fabrication method includes the same electrode plate forming step, the chip mounting step, the protruding terminal forming step, the sealing resin forming step and the cutting step as those of the fifty fourth embodiment.

Fig. 136 is a diagram of an enlarged view of a part of the lead frame 324A obtained by the electrode plate forming step. Each area enclosed by the broken lines in Fig. 136 corresponds to one semiconductor device 310E (hereinafter the area is referred to as bonding attachment area 358).

Fig. 137 shows the chip attachment step, in which the heat radiating plates 356 each having the same area as that of each of the attachment areas 358 are formed. Then, the semiconductor elements 312 (312A - 312C) are placed on the heat radiating plates 356 in positions corresponding to arrangement positions on the electrode plates 314A in which the semiconductor elements 312 are to be located. Hence, the semiconductor elements 312 (312A - 312C) are fixed to the arrangement positions on the electrode plates 314A, so that three semiconductor elements 312A - 312C can be handled as a whole.

The heat radiating plates 356 are separated so as to have the size corresponding to that of the attachment areas 358. As shown in Fig. 138, it is possible to use joint members 360 which join the heat radiating plates 356 so that the heat radiating plates 356 are located in positions of the attachment areas 358 of the lead frame 324A.

After the above chip attachment step is completed, the chip mounting step and the protruding terminal forming step are carried out. Figs. 139 and 140 show the lead frame 324A observed after the chip mounting step and the protruding terminal forming step are completed. More particularly, Fig. 139 is a diagram of an enlarged view of a part of the lead frame 324A to which the heat radiating plate 356 is attached, and Fig. 140 shows the entire lead frame 324A.

In the chip mounting step, the heat radiating plate 356 on which the semiconductor elements 312 (312A - 312C) are attached is arranged to the lead frame 324A, so that the semiconductor elements 312A - 312C are mounted on the electrode plate 314A and are electrically connected thereto. As has been described previously, the chip attachment step of attaching the semiconductor elements 312 (312A - 312C) to the heat radiating plate 356 is executed prior to the chip mounting step. Hence, in the chip mounting step, the heat radiating plate 356 is placed on and attached to the attachment areas 358 of the lead frame 324A. Hence, the semiconductor elements 312 (312A - 312C) can be mounted on the electrode plate 314 at one time.

Hence, the chip mounting step is not required to position the individual semiconductor devices 312 (312A - 312C), but the heat radiating plate 356 having a large size and the electrode plate 314 (lead frame 324A) are merely positioned. Hence,

the positioning operation can easily be carried out.

By using the arrangement shown in Fig. 138 in which the heat radiating plates 356 are joined by the joint members 360 so as to be located in the positions of the attachment areas 358, a further increased number of semiconductor devices 312 can be positioned on the electrode plate 314 (lead frame 324A). Hence, the positioning operation can be made easier and the fabrication efficiency of the semiconductor devices 310E can be improved.

After the chip mounting step and the protruding terminal forming step are completed, the sealing resin forming step is performed. In the sealing resin forming step, the lead frame 324A to which the semiconductor elements 312 (312A - 312C) and the protruding terminals 318 are arranged is loaded onto the mold, and the sealing resin 316A is formed by the compression molding process. Since the heat radiating plate 356 is provided to the electrode plates 314A, the heat radiating plate 356 can be used as a part of the lower mold.

Fig. 141 shows the lead frame 324A to which the sealing resin 316A is formed. As shown in this figure, the sealing resin 316A is formed further in than the heat radiating member 356, so that good separating performance can be obtained. After the above sealing resin forming step is completed, the cutting step is executed so that the arrangement is cut along the lines A-A shown in Fig. 141. Thus, the semiconductor devices 310E can be obtained.

A description will now be given of a semiconductor device 310F according to a fifty ninth embodiment of the present invention.

Fig. 142 is a cross-sectional view of the semiconductor device 310F according to the fifty ninth embodiment of the present invention. The semiconductor device 310F is characterized by

arranging a heat radiating fin part 362 on the heat radiating plate 356 of the semiconductor device 310E according to the fifty eighth embodiment. Since the heat radiating fin part 362 has a large number of heat radiating fins 361, the heat radiating area is increased. The heat radiating fin 362 is bonded to the upper portion of the heat radiating plate 356 by an adhesive having a good thermal conductivity. Hence, the heat radiating efficiency is further improved, and the semiconductor elements 312 can be cooled efficiently.

A description will now be given of semiconductor devices 310G - 310J according to sixtieth through sixty third embodiments of the present invention, which are characterized by arranging the heat radiating plate in order to efficiently radiate heat generated in the semiconductor elements 312.

Fig. 143 shows the semiconductor device 310G according to the sixtieth embodiment of the present invention. The semiconductor device 310G has a structure in which the heat radiating plate 356 is attached to the semiconductor device 310B (see Fig. 123) according to the aforementioned fifty fifth embodiment. Fig. 144 shows the semiconductor device 310H according to the sixty first embodiment, which has the mounting member 338 (see Fig. 131) used in the mounting arrangement according to the aforementioned fifty seventh embodiment. Further, the heat radiating plate 356 is attached to the semiconductor elements 312.

Fig. 145 shows the semiconductor device 310I according to the sixty second embodiment of the present invention, which has an arrangement in which the heat radiating plate 356 is attached to the semiconductor device 310C (see Fig. 124) according to the aforementioned fifty sixth embodiment. Fig. 146

shows the semiconductor device 310J according to the sixty third embodiment, which has an arrangement in which the heat radiating plate 356 is attached to the semiconductor device 310D (see Fig. 125) according to the aforementioned fifty seventh embodiment. The heat radiating efficiency can be improved by arranging the heat radiating plate 356 to each of the semiconductor devices 310G - 310J.

A description will now be given of a semiconductor device 310K according to a sixty fourth embodiment of the present invention.

Fig. 147 is a diagram showing the semiconductor device 310K according to the sixty fourth embodiment. More particularly, Fig. 147(A) shows a cross section of the semiconductor device 310K, and Fig. 147(B) shows a bottom surface of the semiconductor device 310K. The semiconductor device 310K is made up of a semiconductor device main body 370, an interposer 372A, an anisotropic electrically conductive film 374, and external connection terminals 376.

The semiconductor device main body 370 is made up of a semiconductor element 378, protruding electrodes 380 and a resin layer 382. The semiconductor element 378 (semiconductor chip) has electronic circuits formed in a semiconductor substrate, and a large number of protruding electrodes 480 is arranged on the mounting surface of the semiconductor element 378. The protruding electrodes 380 are formed by solder balls processed by the process, and function as external connection electrodes.

The resin layer 382 (indicated by a pear-skin illustration) is formed of thermohardening resin such as polyimide, epoxy (PPS, PEK, PES and thermoplastic resin such as heat-resistant liquid crystal resin), is provided on the whole bump

formation surface of the semiconductor element 378. Hence, the protruding electrodes 380 arranged on the semiconductor element 378 are sealed by the resin layer 382 so that ends of the protruding electrodes 380 are exposed from the resin layer 382. That is, the resin layer 382 is provided to the semiconductor element 378 so as to seal the protruding electrodes 380 except for the ends thereof.

The semiconductor device main body 370 having the above structure has a chip-size package structure in which the whole size thereof is approximately equal to the size of the semiconductor chip element 378. In addition, the semiconductor device main body 370 has the resin layer 382 formed on the semiconductor element 378, the resin layer 382 sealing the protruding electrodes 380 except for the ends thereof. Hence, the protruding electrodes 380 that are liable to be affected are protected by the resin layer 382, which has the same functions as those of the under fill resin 306.

The interposer 372A functions as an intermediate member which electrically connects the semiconductor device main body 370 and the external connection terminals 376, and is made up of a wiring pattern 384A and a base member 386A. The present invention is characterized in that a TAB (Tape Automated Bonding) tape is utilized as the interposer 372A. Generally, the TAB tape is supplied as a component of the semiconductor devices at a low cost. Thus, the cost of fabricating the semiconductor devices 310K can be reduced.

The wiring pattern 384A having the interposer 372A is, for example, a printed circuit pattern of copper. The base member 386A is formed of an insulating resin such as polyimide, and has through holes 388 located in positions corresponding to the positions the protruding electrodes 380 of the

semiconductor device main body 370.

The anisotropic conductive film 374 has a flexible resin having adhesiveness in which a electrically conductive filler is mixed. Hence, the anisotropic conductive film 374 has both the adhesiveness and electrical conductivity in the direction in which a pressure is applied. The anisotropic conductive film 374 is interposed between the semiconductor device main body 370 and the interposer 372A.

Thus, the semiconductor device main body 370 and the interposer 372A are bonded together due to the adhesiveness of the anisotropic conductive film 374. In the above bonding step, the semiconductor device main body 370 is pressed towards the interposer 372a, and is thus electrically connected to the interposer 372A by the anisotropic conductive film 374.

The external connection terminals 376 are formed by solder balls, and are connected to the wiring pattern 384A via the holes 388 formed in the base member 336A. The external connection terminals 376 is arranged on the surface opposite to the mounting surface of the semiconductor device main body 370 in order to avoid a situation in which the terminals 376 prevents mounting of the semiconductor device main body 370.

Further, the semiconductor device 310k is arranged so that the pitch at which the protruding electrodes 380 formed on the main body 370 are arranged is equal to the pitch at which the external connection terminals 376 formed on the interposer 372A are arranged. Hence, the area of the anisotropic conductive film 374 and the interposer 372A obtained when vertically viewing them is approximately equal to the area of the semiconductor device main body 370 obtained when vertically viewing it.

Since the arrangement pitch of the

protruding electrodes 380 formed on the main body 370 is equal to that of the external connection terminals 376 formed on the interposer 372A, so that the anisotropic conductive film 374 and the interposer 372A can have reduced sizes and thus the semiconductor device 310K can be down sized.

The above interposer 372A has the wiring pattern 384A formed on the base member 386A. Hence, an arbitrary pattern can be formed on the base member 386A as the wiring pattern 384A. That is, the wiring pattern 384A can arbitrarily be routed on the base member 386A.

Hence, it is possible to arbitrarily determine the positions of the external connection terminals 376 irrespective of the positions of the protruding electrodes 380 formed on the semiconductor device 370. That is, a large degree of freedom in arrangement of the external connection terminals can be obtained. Thus, it is possible to easily design the semiconductor device main body 370 and the wiring implemented on the mounting board on which the semiconductor device 310K is mounted.

As has been described previously, the anisotropic conductive film 374 has adhesiveness and electrical conductivity in the direction on which the pressure is applied. Hence, it is possible to connect the semiconductor device main body 370 and the interposer 372A by the anisotropic conductive film 374. The adhesiveness of the anisotropic conductive film 374 mechanically bonds the semiconductor device main body 370 and the interposer 372A, and the anisotropic conductivity thereof electrically bonds (connects) the semiconductor main body 370 and the interposer 372A together.

The anisotropic conductive film 374 has both the adhesiveness and conductivity, so that the number of components and the number of fabrication steps can

be reduced, as compared to the arrangement in which the functions are separately realized by the respective components.

The anisotropic conductive film 374 is flexible and is interposed between the semiconductor device main body 370 and the interposer 372A. Thus, the anisotropic conductive film 374 can function as a buffer film and can relax stress (thermal stress) generated between the semiconductor device main body 370 and the interposer 372A. Thus, the reliability of the semiconductor device 310K can be improved.

A description will be given of a method for fabricating the semiconductor device 310K.

Fig. 148 shows the method for fabricating the semiconductor device 310K (according to the fifty seventh embodiment). As shown in this figure, the semiconductor device main body 370, the anisotropic conductive film 374 and the interposer 372A are formed beforehand. Then, as shown, the semiconductor device main body 370 and the interposer 372A are positioned, and the anisotropic conductive film 374 is interposed therebetween. Thereafter, the semiconductor device main body 370 is pressed towards the interposer 372A.

Thus, the semiconductor device main body 370 and the interposer 372A are mechanically bonded due to the adhesiveness of the anisotropic conductive film 374, and are electrically bonded (connected) due to the conductivity thereof. Hence, according to the present fabrication method, the mechanical bonding process and electrical connecting process can simultaneously be executed, so that the process for fabricating the semiconductor device 310K can be simplified.

After the semiconductor device main body 370 and the interposer 372A are jointed together, the external connection terminals 376 of solder balls are bonded to the interposer 372 by the transfer process.

In the transfer process, the external connection terminals 376 are placed in a heated atmosphere, and are thus fused. Thus, the terminals 376 enter the holes 388 and are electrically connected to the wiring pattern 384A of the interposer 372.

Since the external connection terminals 376 enter the holes 388 formed in the interposer 372, the bonding of the terminals 376 and the interposer 372A can be strengthened. Hence, it is possible to prevent the external connection terminals 376 from flaking off the interposer 372A and to thus improve the reliability of the semiconductor device 310K.

A description will now be given of a semiconductor device 310L according to a sixty fifth embodiment of the present invention.

Fig. 149 is a diagram of an enlarged view of an essential part of the semiconductor device 310L according to the sixty fifth embodiment. In Fig. 149, parts that have the same structures as those of the semiconductor device 310K according to the sixty fourth embodiment described with reference to Fig. 149 are given the same reference numbers, and a description thereof will be omitted.

The present semiconductor device 310L is characterized by providing an insulating member 394 having a given thickness on the interposer 372A. The insulating member 394 is formed of an insulating resin, for example, a polyimide-system resin, and has connection holes 396 located in positions corresponding to the positions of the protruding electrodes 380 provided on the semiconductor device main body 370.

When the semiconductor device main body 370 is pressed towards the interposer 374A when it is loaded onto the interposer 372a, the anisotropic conductive film 374 is deformed and urged due to the applied pressure. The anisotropic conductive film 374

is urged so that it enters the connection holes 396 having a comparatively narrow size. Hence, the internal pressure in the connection holes 396 is increased.

Since the pressure exerted on the anisotropic conductive film 374 in the connection holes 396 is particularly increased, the density of the conductive filler mixed in the anisotropic conductive film 374 is also increased. Hence, the electrical conductivity of the anisotropic conductive film 374 in the connection holes 396 can be enhanced. Thus, the semiconductor device 370 and the interposer 372A can definitely be connected electrically.

Figs. 150 and 151 show a method of fabricating the semiconductor device 310L (the fabrication method according to the fifty eighth embodiment). In Figs. 150 and 151, parts that have the same structures as those shown in Fig. 148 used to describe the fabrication method according to the fifty seventh embodiment are given the same reference numbers, and a description thereof will be omitted. The following fabrication method is directed to providing a large number of semiconductor devices 310L.

First, there are prepared a wafer 390 on which semiconductor device main bodies 370 are formed, and a TAB tape 392 on which the anisotropic conductive film 374 and a plurality of interposers 372A are formed. The insulating film 394 is provided on the upper surface (on which the wafer 390 is provided) of the TAB tape 392 and are located in positions facing the semiconductor device main body 370. The insulating member 394 can be formed by utilizing the photoresist formation technique. The connection holes 396 are formed in the insulating film 394 so that the holes 396 are located in positions corresponding to positions of the protruding electrodes 380.

Then, as shown in Fig. 150,, the protruding electrodes 380 and the connection holes 396 are positioned, and the anisotropic conductive film 374 is interposed between the wafer 390 and the TAB tale 392. Then, the wafer 390 is pressed towards the TAB tale 392.

Thus, the wafer 390 and the TAB tale 392 are mechanically bonded due to the adhesiveness of the anisotropic conductive film 374. Further, the protruding electrodes 380 are electrically bonded (connected) to the wiring pattern 384A due to the anisotropic conductivity of the anisotropic conductive film 374. As has been described previously, the conductivity of the anisotropic film 374 is improved within the connection holes 396. Thus, the protruding electrodes 380 and the wiring pattern 384 can definitely be connected electrically.

Fig. 151 shows a state in which the wafer 390 and the TAB tale 392 are bonded together. After the step of bonding the wafer 390 and the TAB tale 392 is completed, the cutting step is carried out in which the assembly is cut along broken lines A-A shown in Fig. 151. Hence, the individual semiconductor device main bodies 370 and the interposers 372A are formed so that a plurality of semiconductor devices 310L as shown in Fig. 149 can be obtained.

According to the present fabrication method, the mechanical bonding process and the electrically connecting process for the semiconductor device main bodies 370 and the interposers 372A can be performed simultaneously. Hence, the fabrication method for the semiconductor devices 310L can be simplified. Additionally, the present method can provide a large number of semiconductor devices 310L by a single sequence, and thus has high production efficiency.

Generally, it is said that the use of an electrical connection arrangement using an anisotropic

conductive film degrades the yield. In contrast, the present embodiment arranges the insulating member 394 in which the holes 396 are formed at the positions corresponding to the semiconductor device main body 370 (protruding electrodes 380). Hence, the electrical connections between the protruding electrodes 380 and the wiring pattern 384A can definitely be made. Thus, the semiconductor device 310L has improved reliability.

A description will now be given of a semiconductor device 310M according to a sixty sixth embodiment of the present invention.

Fig. 152 shows the semiconductor device 310M according to the sixty sixth embodiment. More particularly, Fig. 152(A) shows a cross section of the semiconductor device 310M, and Fig. 152(B) shows a bottom surface thereof. In Fig. 152, parts that have the same structures as those of the semiconductor device 310K according to the sixty fourth embodiment described with reference to Fig. 147 are given the same reference numbers, and a description thereof will be omitted.

In the semiconductor device 310K, the arrangement pitch for the protruding electrodes 380 formed on the semiconductor device main body 370 is equal to the arrangement pitch for the external connection terminals 376 arranged on the interposer 372A.

In contrast, the semiconductor device 310M is characterized in that the arrangement pitch for the external connection terminals 376 formed on an interposer 372B is greater than that for the protruding electrodes 380 formed on the semiconductor main body 370. Accordingly, the interposer 372B has an area greater than that of the semiconductor device main body 370.

Hence, it is possible to improve the degree

of freedom in routing a wiring pattern 384B on the interposer 372B. More particularly, as shown in Fig. 152(B), the positions in which the holes 396 for the protruding electrodes 380 are formed are spaced apart from the positions of the external connection terminals 376. Hence, the connection holes 396 and the external connection terminals 376 can be connected to the wiring pattern 384B.

Thus, the degree of freedom in layout of the external connection terminals 376 can be improved and it is easy to design the arrangement of the terminals. Even if the pitch between the adjacent protruding electrodes 380 is reduced due to an increase in the integration density of the semiconductor device main body 370, the protruding electrodes 380 can be provided in positions different from those of the external connection terminals 376. Hence, the arrangement can meet the requirement for reduction in the pitch.

Fig. 153 is a diagram showing a method for fabricating the above-mentioned semiconductor device 310M (the fabrication method according to the fifty ninth embodiment). Fig. 153 is directed to a method for fabricating the semiconductor device 310M one by one rather than the method for fabricating a plurality of semiconductor devices 310M simultaneously.

In the present fabrication method, the semiconductor device main body 370, the anisotropic conductive film 374 and the interposer 372B are formed beforehand. Then, the protruding electrodes 380 and the connection holes 396 are positioned. Thereafter, the anisotropic conductive film 374 is interposed between the semiconductor device main body 370 and the interposer 372B. Then, the semiconductor device main body 370 is pressed towards the interposer 372B.

Hence, the semiconductor device main body 370 and the interposer 372B are mechanically bonded

due to the adhesiveness of the anisotropic conductive film 374 and are electrically connected due to the anisotropic conductivity thereof. Thus, the semiconductor device 310M shown in Fig. 152 is obtained.

According to the present embodiment, the mechanical bonding process and electrically connecting process for the semiconductor device main body 370 and the interposer 372B can be executed simultaneously. Thus, the method for fabricating the semiconductor device 310M can be simplified.

A description will now be given of a semiconductor device 310N according to a sixty seventh embodiment of the present invention.

Fig. 54 is a cross-sectional view of the semiconductor device 310N according to the sixty seventh embodiment of the present invention. In Fig. 154, parts that have the same structures as those of the semiconductor device 310K according to the sixty fourth embodiment described with reference to Fig. 147 are given the same reference numbers, and a description thereof will be omitted.

In the semiconductor device 310K according to the aforementioned sixty fourth embodiment, the anisotropic conductive film 374 is used to mechanically and electrically connect the semiconductor device main body 370 and the interposer 372A together.

In contrast, the present semiconductor device 310N is characterized by using, instead of the anisotropic conductive film 374, an adhesive 398 and an electrically conductive paste 3100 (electrically conductive member).

The adhesive 398 is, for example, an insulating resin such as a polyimide-system resin, and is required to have a given flexibility after it is hardened. The adhesive 398 is interposed between the

semiconductor device main body 370 and the interposer 372A, and fixes them together. Through holes 3102 are formed in the adhesive 398 and are located in positions corresponding to the positions of the protruding electrodes 380.

The conductive paste 3100 has a given viscosity, and may enter the through holes 3102. The conductive paste 3100 entering in the through holes 3102 electrically connects the semiconductor device main body 370 and the interposer 372A together. More particularly, the conductive paste 3100 electrically connects the protruding electrodes 380 and the wiring pattern 384A, and thus the semiconductor device main body 370 is electrically connected to the interposer 372A.

In the semiconductor device 310N, the adhesive 398 mechanically connects the semiconductor device main body 370 and the interposer 372A, and the conductive paste 3100 electrically bonds (connects) them. By forming the mechanical connection and the electrical connection by the respective, separate members (adhesive 398 and the conductive paste 3100), it is possible to select substances optimal to the respective functions (mechanically connecting function and the eclectically connecting function). Hence, the mechanical connection and the electrical connection between the semiconductor device main body 370 and the interposer 372A can definitely be established, and the reliability of the semiconductor device 310N can be improved.

The adhesive 398 has a given flexibility even after it is hardened, and is interposed between the semiconductor device main body 370 and the interposer 372A. Hence, the adhesive 398 functions as a buffer film. Hence, the adhesive 398 functions to relax stress at the interface between the semiconductor device main body 370 and the interposer

372A. In the semiconductor device 310N, the arrangement pitch for the protruding electrodes 380 is equal to that for the external connection terminals 376. Thus, the semiconductor device 310N can be downsized.

Figs. 155 through 157 show a method for fabricating the semiconductor device 310N (fabrication method according to the sixtieth embodiment). In Figs. 155 through 157, parts that have the same structures as those shown in Figs. 150 and 151 used to describe the fabrication method according to the fifty eighth embodiment are given the same reference numbers, and a description thereof will be omitted. The present fabrication method described below is directed to fabricating a large number of semiconductor devices 310N simultaneously.

First, there are prepared the wafer 390 on which semiconductor device main bodies 370 are formed, and the TAB tape 392 on which the anisotropic conductive film 374 and a plurality of interposers 372B are formed.

The protruding electrodes 380 are coated with conductive paste 3100 at the time of forming the semiconductor device main bodies 370. The through holes 3102 are formed in the adhesive 398 and are located in the positions corresponding to the positions of the protruding electrodes 380. Further, the insulating member 394 is provided on the upper surface (to which the wafer 390 is attached) of the TAB tape 392 and is located in a position facing the semiconductor device main bodies 370.

The insulating member 394 can be formed by utilizing the photoresist forming technique. When the insulating member 394 is formed, the connection holes 396 are formed therein so as to be located in positions corresponding to those of the protruding electrodes 380.

After the positioning between the protruding electrodes 380 and the connection holes 396, the adhesive 398 is interposed between the wafer 390 and the TAB tape 392, and the wafer 390 is fixed to the TAB tape 392. Hence, the wafer 390 and the TAB tape 392 are mechanically connected together by the adhesive 398. The conductive paste 3100 enters the through holes 3102 and the connection holes 396, so that the protruding electrodes 380 and the wiring pattern 384A are electrically connected. Fig. 156 shows a state in which the wafer 390 and the TAB tape 392 are bonded together.

After the step of bonding the wafer 390 and the TAB tape 392 is completed, the assembly is cut along broken lines A-A shown in Fig. 156. Hence, the individual semiconductor devices 370 and the interposers 372B are formed, and the semiconductor devices 310N shown in Fig. 154 are obtained (the semiconductor device 310N shown in Fig. 154 does not have the insulating member 394).

The above fabrication method simultaneously produces a large number of semiconductor devices 310N. Alternatively, the semiconductor devices 310N can be produced one by one as shown in Fig. 157.

A description will now be given of a semiconductor device 310P according to a sixty eighth embodiment of the present invention.

Fig. 158 is a cross-sectional view of the semiconductor device 310P according to the sixty eighth embodiment of the present invention. In Fig. 158, parts that have the same structures as those of the semiconductor device 310N according to the sixty seventh embodiment described with reference to Fig. 154 are given the same reference numbers, and a description thereof will be omitted.

In the aforementioned semiconductor device 310N according to the sixty seventh embodiment, the

arrangement pitch for the protruding electrodes 380 formed on the semiconductor device main body 370 is equal to the arrangement pitch for the external connection terminals 376 provided on the interposer 372A in order to down size the semiconductor device 310N.

In contrast, in the present semiconductor device 310P, the arrangement pitch for the external connection terminals 376 provided on the interposer 372B is greater than that for the protruding electrodes 380 formed on the semiconductor device main body 370. Accordingly, the area of the interposer 372B is wider than that of the semiconductor device main body 370.

Hence, it is possible to improve the degree of freedom in routing the wiring pattern 384B on the interposer 372B. Hence, the degree of freedom in layout of the external connection terminals 376 can be improved and it becomes easy to design the layout of the terminals. Even if the protruding electrodes 380 are required to be arranged at a reduced pitch, the present arrangement can meet the above requirement.

Fig. 159 is a diagram showing a method for fabricating the above-mentioned semiconductor device 310P (fabrication method according to the sixty first embodiment). The present method is directed to fabricating the semiconductor devices 310P one by one.

First, there are prepared the semiconductor device main body 370, the adhesive 398 and the interposer 372B beforehand. The protruding electrodes 380 are coated with the conductive paste 3100 at the time of forming the semiconductor device 370. The through holes 3102 are formed in the adhesive 398 and are located in positions corresponding to those of the protruding electrodes 380. Further, the connection holes 396 are formed in the insulating member 394 and are located in the positions corresponding to those of

the protruding electrodes 380.

After the positioning between the protruding electrodes 380 and the connection holes 396 is carried out, the adhesive 398 is interposed between the semiconductor device main body 370 and the interposer 372B. Hence, the adhesive 398 mechanically connects the semiconductor device main body 370 to the interposer 372B. The conductive paste 3100 enters the through holes 3102 and the connection holes 396, so that the protruding electrodes 380 and the wiring patterns 384A are electrically connected. Thus, the semiconductor device 310P shown in Fig. 158 can be obtained.

A description will now be given of a semiconductor device 310Q according to a sixty ninth embodiment of the present invention.

Fig. 160 is a cross-sectional view of the semiconductor device 310Q according to the sixty ninth embodiment. In Fig. 160, parts that have the same structures as those of the semiconductor device 310N according to the sixty seventh embodiment described with reference to Fig. 154 are given the same reference numbers, and a description thereof will be omitted.

In the aforementioned semiconductor device 310N, the conductive paste 3100 is used as a conductive member, and electrically connects the semiconductor device main body 370 and the interposer 372A. In contrast, the present semiconductor device 310Q is characterized by providing stud bumps (an electrically conductive member) instead of the conductive paste 3100.

The stud bumps 3104 are arranged in predetermined positions (which face the protruding electrodes 380) on the wiring pattern 384A formed in the interposer 372A. The stud bumps 3104 are formed by the wire bonding technique. More particularly, a

wire bonding apparatus is used. First, a gold ball is formed on an end of a gold wire extending from a capillary of the wire bonding apparatus. Next, the gold ball is pressed to a given position on the wiring pattern 384A.

Then, the capillary is ultrasonic-vibrated so that the gold ball is welded to the wiring pattern 384A. Thereafter, the gold wire is clamped and the capillary is moved up so that the gold wire is cut. Thus, the stud bump 3104 is formed on the wiring pattern 384A. The stud bump 3104 is connected to the projection electrode 380 via the through hole 3102, so that the semiconductor device main body 370 is electrically connected to the interposer 372A.

As described above, in the semiconductor device 310Q, the adhesive 398 mechanically bonds the semiconductor device main body 370 and the interposer 372A. The stud bumps 3104 electrically bond (connect) the semiconductor device main body 370 and the interposer 372A. By separately realizing the mechanical connection and the electrical connection by the respective members (adhesive 398 and the stud bumps 3104), it is possible to definitely realize the mechanical and electrical connections between the semiconductor device main body 370 and the interposer 372A. Hence, the reliability of the semiconductor device 310Q can be improved.

In the connected state, the stud bumps 3104 fall in the projection electrodes 380, so that the electrical connections therebetween can definitely be made. In the semiconductor device 310Q, the arrangement pitch for the protruding electrodes 380 is equal to that for the external connection terminals 376. Hence, the semiconductor device 310Q can be downsized.

Figs. 161 through 163 show a method for fabricating the semiconductor device 310Q (fabrication

method according to a sixty second embodiment). In Figs. 161 through 163, parts that have the same structures as those shown in Figs. 155 through 157 used to describe the fabrication method according to the sixtieth embodiment are given the same reference numbers, and a description thereof will be omitted. The present embodiment is directed to fabricating a large number of semiconductor devices 310Q at one time.

First, provided are the wafer 390 on which the semiconductor device main bodies 370 are arranged, and the TAB tape 392 on which the anisotropic conductive film 374 and a plurality of interposers 372B are formed.

At the time of forming the TAB tape 392, the insulating member 394 is formed on the upper surface (to which the wafer 390 is attached) of the TAB tape 392 and is located in positions facing the semiconductor device main bodies 370. At the time of forming the insulating member 394, the connection holes 396 are formed in the insulating film 394 and are located in positions corresponding to those of the protruding electrodes 380. Further, the stud bumps 3104 are formed on the wiring pattern 384A within the connection holes 396.

After the positioning between the protruding electrodes 380 and the connection holes 396, the adhesive 398 is interposed between the wafer 390 and the TAB tape 392, and the wafer 390 is fixed to the TAB tape 392. Hence, the wafer 390 and the TAB tape 392 are mechanically connected together by the adhesive 398. Further, the stud bumps 3104 fall in the protruding electrodes 380 via the through holes 3102 and the connection holes 396. Hence, the protruding electrodes 380 and the wiring pattern 384A are electrically bonded (connected) by the stud bumps 3104. Fig. 162 shows a state in which the wafer 390

and the TAB tape 392 are bonded together.

After the step of bonding the wafer 390 and the TAB tape 392 is completed, the assembly is cut along broken lines A-A shown in Fig. 162. Hence, the individual semiconductor devices 370 and the interposers 372B are formed, and the semiconductor devices 310Q shown in Fig. 160 are obtained (the semiconductor device 310Q shown in Fig. 160 does not have the insulating member 394).

The above fabrication method produces a large number of semiconductor devices 310Q at one time. Alternatively, it is possible to fabricate the semiconductor devices 310Q one by one, as shown in Fig. 163.

A description will now be given of a semiconductor device 310R according to a seventieth embodiment of the present invention.

Fig. 164 is a cross-sectional view of the semiconductor device 310R according to the seventieth embodiment of the present invention. In Fig. 164, parts that have the same structures as those of the semiconductor device 310Q according to the sixty ninth embodiment described with reference to Fig. 160 are given the same reference numbers, and a description thereof will be omitted.

In the semiconductor device 310Q according to the sixty ninth embodiment, the arrangement pitch for the protruding electrodes 380 formed on the semiconductor device main body 370 is equal to that for the external connection terminals 376 disposed on the interposer 372A in order to down size the semiconductor device.

In contrast, the present semiconductor device 310R is characterized in that the arrangement pitch for the external connection terminals 376 disposed on the interposer 372B is greater than that for the protruding electrodes 380 formed on the

semiconductor device main body 370. Accordingly, the area of the interposer 372B is wider than that of the semiconductor device main body 370.

Hence, the degree of freedom in routing the wiring pattern 384B on the interposer 372B can further be improved since the external connection terminals 376 are arranged at a pitch greater than that at which the protruding electrodes 380 are arranged. Thus, the degree of freedom in layout of the external connection terminals 376 can be improved and the terminals can easily be designed. Further, the present embodiment can meet a requirement for reducing the pitch at which the protruding electrodes 380 are arranged.

Fig. 165 is a diagram showing a method for fabricating the above-mentioned semiconductor device 310Q (fabrication method according to the sixty third embodiment). The present embodiment is directed to producing the semiconductor devices 310Q one by one rather than producing them at one time.

First, the semiconductor device 370, the adhesive 398 and the interposer 372B are prepared beforehand. The through holes 3102 are formed in the adhesive 398 so as to be located in positions corresponding to those of the protruding electrodes 380. The insulating member 394 is formed to the interposer 372B, and the holes 396 are formed in the insulating member 394 so as to be located in positions corresponding to those of the protruding electrodes 380. Further, the stud bumps 3104 are formed on the wiring pattern 384A exposed in the connection holes 396 by the wire bonding technique.

Then, the positioning between the protruding electrodes 380 and the connection holes 396 is carried out, and the adhesive 398 is interposed between the semiconductor device main body 370 and the interposer 372B. Then, the semiconductor device main body 370 is pressed against the interposer 372B and is thus fixed

thereto. Hence, the semiconductor device main body 370 and the interposer 372B are mechanically bonded by the adhesive 398. The stud bumps 3104 fall in the protruding electrodes 380 through the through holes 3102 and the connection holes 396. Thus, the protruding electrodes 380 and the wiring pattern 384A are electrically bonded (connected) by the stud bumps 3104, so that the semiconductor device 310R shown in Fig. 164 can finally be obtained.

A description will now be given of a semiconductor device 310S according to a seventy first embodiment of the present invention.

Fig. 166 is a cross-sectional view of the semiconductor device 310S according to the seventy first embodiment of the present invention. In Fig. 166, parts that have the same structures as those of the semiconductor device 310N according to the sixty seventh embodiment described with reference to Fig. 154 are given the same reference numbers, and a description thereof will be omitted.

In the aforementioned semiconductor devices 310N - 310R according to the sixty seventh through seventieth embodiments, the conductive paste 3100 or the stud bumps 3104 are used, as the electrically conductive members, to electrically connect the semiconductor device main body 370 and the interposer 372A. In contrast, the present semiconductor device 310S is characterized in that flying leads 3106 (electrically conductive members) are substituted for the conductive paste 3100 or the stud bumps 3104.

The flying leads 3106 are integrally formed with a wiring pattern 384C formed in the interposer 372C, and obliquely extend upwards from the outer periphery of the interposer 372C (towards the semiconductor device main body 370). The flying leads 3106 are positioned so as to correspond to the protruding electrodes 380.

The flying leads 3106 are formed as follows. Portions of a base member 386C corresponding to the flying leads 3106 of the interposer 372C are removed by dry etching. Then, a wiring pattern 337C is obliquely bent upwards. Hence, the flying leads 3106 are formed in the outer periphery of the interposer 372C.

The flying leads 3106 bypass the positions in which the adhesive 398 is provided, and are connected to the protruding electrodes 380. Hence, the semiconductor device main body 370 and the interposer 372A are electrically connected. The positions in which the protruding electrodes 380 and the flying leads 3106 are connected are sealed by cover resins 3108. Hence, it is possible to prevent the flying leads 3106 from being deformed due to external force and to improve the reliability of the semiconductor device 310S.

As described above, in the present semiconductor device 310S, the adhesive 398 mechanically bonds the semiconductor device main body 370 and the interposer 372C, and the stud bumps 3104 electrically bond (connect) the semiconductor device main body 370 and the interposer 372C. By separately implementing the mechanical connection and the electrical connection by the respective members (adhesive 398 and the flying leads 3106), it is possible to definitely realize the mechanical and electrical connections between the semiconductor device main body 370 and the interposer 372A and to thus improve the reliability of the semiconductor device 310Q.

The adhesive 398 is not provided in the positions in which the flying leads 3106 and the protruding electrodes 380 are connected, so that the reliability of the connections therebetween can be improved. Further, the flying leads 3106 have spring

performance and thus contact the protruding electrodes 380 with a pressure. This also contributes to improving the reliability of the electrical connections between the flying leads 3016 and the protruding electrodes 380.

Figs. 167 through 171 show a method for fabricating the semiconductor device 310S (fabrication method according to a sixty fourth embodiment). In Figs. 167 through 171, parts that have the same structures as those shown in Figs. 155 through 157 used to describe the fabrication method of the sixtieth embodiment are given the same reference numbers, and a description thereof will be omitted. The present fabrication method is directed to producing a large number of semiconductor devices 310S at one time.

First, as shown in Fig. 167, the wafer 390 on which the semiconductor device main bodies 370 are arranged, the adhesives 398 and the interposers 372C are formed. At the time of forming the interposers 372C, the flying leads 3016 are formed.

The protruding electrodes 380 and the flying leads 3106 are positioned, and then the adhesives 398 are interposed between the wafer 390 and the interposers 372C. Then, the interposers 372C are pressured against the wafer 390 and are thus fixed thereto. Thus, as shown in Fig. 168, the wafer 390 and the interposers 372C are mechanically bonded by the adhesives 398. The flying leads 390 are pressed by the protruding electrodes 380, and are thus connected thereto definitely.

After the wafer 390 and the interposers 372C are mechanically bonded by the adhesives 398 and the protruding electrodes 380 and the flying leads 3106 are electrically connected, the cover resins 3108 are formed between the wafer 390 and the interposers 372C so that at least the connections between the

protruding electrodes 380 and the flying leads 3106 are covered. The cover resins 3108 may be formed by potting or molding. Fig. 168 shows a state in which the cover resins 3108 have been formed.

After the cover resins 3108 are formed, a cutting process is carried out so that the assembly is cut along broken lines A-A shown in Fig. 169. Hence, a plurality of semiconductor devices 310S as shown in Fig. 166 can be obtained simultaneously. Although the above-mentioned present fabrication method is directed to producing a large number of semiconductor devices 310Q at one time, it is possible to separately produce the semiconductor devices 310S one by one, as shown in Figs. 170 and 171.

A description will now be given of a semiconductor device 310T according to a seventy second embodiment of the present invention.

Fig. 172(A) is a cross-sectional view of the semiconductor device 10T according to the seventy second embodiment. In Fig. 172, parts that have the same structures as those of the semiconductor device 310N according to the sixty seventh embodiment described with reference to Fig. 154 are given the same reference numbers, and a description thereof will be omitted. In the aforementioned semiconductor devices 310N - 310S according to the sixty seventh through seventy first embodiments, the conductive paste 3100, the stud bumps 3104 or the flying leads 3106 are used as the conductive members, by which the semiconductor main body 370 and the interposers 372A or 372B are electrically bonded (connected).

In contrast, the present semiconductor device 310T is characterized in that connection pins 3110 and a positioning member 3112 are provided in an interposer 372D as conductive members rather than the conductive paste 3100 or the stud bumps 3104.

The present interposer 372D is generally

made up of the connection pins 3110, the positioning member 3112, an adhesive 3114 and a base member 3116. The connection pins 3110 are located in positions corresponding to those of the protruding electrodes 380. In the assembled state, the upper ends of the connection pins 3110 are bonded to the protruding electrodes 380, and the lower ends thereof are bonded to the external connection terminals 376. The positioning member 3112 functions to position the connection pins 3110 in the positions of the protruding electrodes 380, and are formed of a flexible substance such as silicon rubber.

As described above, the positioning member 3112 holding the connection pins 3110 is bonded to the base member 3116 by the adhesive 3114. The base member 3116 has the holes 388 located in positions facing the positions of the protruding electrodes 380. The connection pins 3110 are connected to the external connection terminals 376 via the holes 388. Fig.. 172(B) shows an enlarged view of a connecting portion in which the connection pin 3110 and the external connection terminal 376 are connected. As shown in this figure, the connection pin 3110 falls in the external connection terminal 376, and is electrically connected thereto definitely.

In the semiconductor device 310T thus structured, the upper ends of the connection pins 3110 are connected to the protruding electrodes 380, and the lower ends thereof are connected to the external connection terminals 376. Hence, the connection pins 3110 are interposed between the protruding electrodes 380 and the external connection terminals 376.

The connection pins 3110 are flexible and are capable of absorbing stress generated due to the difference in the terminal expansion coefficient between the semiconductor device main body 370 and the interposer 372D. Hence, the connections between the

external connection terminals 376 and the protruding electrodes 380 can definitely be maintained irrespective of stress.

The connection pins 3110 are positioned so as to correspond to the protruding electrodes 380 by the positioning member 3112. Hence, the positioning process is not required which positions the connection points 3110 and the protruding electrodes 380 or the external connection terminals 376 at the time of mounting. Hence, the mounting operation can easily be executed.

Since the positioning member 3112 is formed of a flexible substance, the positioning member 3112 follows deformations of the connection pins 3110, and is thus capable of absorbing stress generated between the semiconductor device main body 370 and the interposer 372D.

Figs. 173 through 175 show a method for fabricating the semiconductor device 310T (fabrication method according to a sixty fifth embodiment). In Figs. 173 through 175, parts that have the same structures as those shown in Figs. 155 through 157 used to describe the fabrication method of the sixtieth embodiment are given the same reference numbers, and a description thereof will be omitted. The present embodiment is directed to producing a large number of semiconductor devices 310T at one time.

First, as shown in Fig. 173, the wafer 390 on which a plurality of semiconductor device main bodies 370 are provided, the positioning member 3112 holding the connection pins 3110, the adhesive 3114 and the base member 3116. The holes 388 and the through holes 3102 are formed in the adhesive 3114 and the base member 3116 so as to be located in positions corresponding to those of the protruding electrodes 380.

Then, the protruding electrodes 380 and the positioning pins 3110 are positioned, and the wafer 390 is pressed, while being heated, against the interposer 372D (the connection pins 3110, positioning member 3112, adhesive 3114 and the base member 3116). Thus, as shown in Fig. 174, the upper ends of the connection pins 3110 fall in the protruding electrodes 380, and the lower ends thereof fall in the external connection terminals 376. Hence, the protruding electrodes 380 and the external connection terminals 376 are electrically connected through the connection pins 3110.

After the step of connecting the protruding electrodes 380 and the external connection terminals 376 as described above, the assembly is cut along broken lines A-A shown in Fig. 174. Hence, the semiconductor devices 310T shown in Fig. 172(A) can be obtained at one time. Although the above fabrication method is directed to producing the semiconductor devices 310T at one time, it is possible to separately produce the semiconductor devices 310T one by one, as shown in Fig. 175.

A description will be given of a semiconductor device 310U according to a seventy third embodiment of the present invention.

Fig. 176 is a cross-sectional view of the semiconductor device 310U according to the seventy third embodiment of the present invention. In Fig. 176, parts that have the same structures as those of the semiconductor device 310T according to the seventy second embodiment described with reference to Fig. 172 are given the same reference numbers, and a description thereof will be omitted.

In the semiconductor device 310T according to the seventy second embodiment, the arrangement pitch for the protruding electrodes 380 formed on the semiconductor device main body 370 is equal to that

for the connection pins 3110 provided in the interposer 372D.

In contrast, in the present semiconductor device 310U, the arrangement pitch for the external connection terminals 376 formed in the interposer 372B is greater than that for the protruding electrodes 380 formed on the semiconductor device main body 370. Accordingly, the area of the interposer 372B is wider than that of the semiconductor device main body 370.

Since the arrangement pitch for the external connection terminals 376 is greater than that for the protruding electrodes 380, the degree of freedom in routing the wiring pattern 384B on the interposer 372B can further be improved. Thus, the degree of freedom in layout of the external connection terminals 376 can be improved and the terminals can easily be designed. Further, the present embodiment can meet a requirement for reducing the pitch at which the protruding electrodes 380 (connection pins 3110) are arranged.

Fig. 177 is a diagram showing a method for fabricating the above-mentioned semiconductor device 310T (fabrication method according to sixty sixth embodiment). The present embodiment is directed not to producing a large number of semiconductor devices 310T at one time but separately producing semiconductor devices 310T one by one.

First, semiconductor device main body 370, the positioning member 3112 holding the connection pins 3110, the adhesive 3114 and the interposer 372B are prepared beforehand. At this time, the through holes 3102 are formed in the adhesive 3114 so as to be located in positions corresponding to those of the protruding electrodes 380.

Then, the protruding electrodes 380 and the positioning pins 3112 are positioned, and the positioning pins 3112 and the connection holes 396 are positioned. Then, the semiconductor device main body

370 is pressed against the interposer 372B while being heated. Hence, the upper ends of the connection pins 3110 fall in the protruding electrodes 380, and the lower ends thereof fall in the external connection terminals 376. Hence, the protruding electrodes 380 and the external connection terminals 376 are electrically connected together through the connection pins 3110. Thus, the semiconductor device 310U shown in Fig. 176 can be obtained.

The embodiments of the present invention have been described. The present invention is not limited to the above-mentioned embodiments, and includes various variations and modifications.

CLAIMS

1. A method for fabricating a semiconductor device characterized by comprising:

a resin sealing step of loading a substrate on which semiconductor elements having protruding electrodes are formed, and supplying a sealing resin to positions of the protruding electrodes so as to form a resin layer which seals the protruding electrodes and the substrate;

a protruding electrode exposing step of exposing at least ends of the protruding electrodes from the resin layer; and

a separating step of cutting the substrate together with the resin layer so that the semiconductor elements are separated from each other.

2. The method for fabricating the semiconductor device as claimed in claim 1, characterized in that the sealing resin used in the resin sealing step has an amount which causes the resin layer to have a height approximately equal to that of the protruding electrodes.

3. The method for fabricating the semiconductor device as claimed in claim 1 or 2, characterized in that the resin sealing step disposes a film between the protruding electrodes and the mold, which thus contacts the sealing resin through the film.

4. The method for fabricating the semiconductor device as claimed in any of claims 1 to 3, characterized in that:

the mold used in the resin sealing step comprises an upper mold which can be elevated, and a lower mold having a first lower mold half body which

is kept stationary and a second lower mold half body which can be elevated with respect to the first lower mold half body; and

the resin sealing step comprises:

a substrate loading step of placing the substrate on which the semiconductor elements having the protruding electrodes are arranged in a cavity defined by a cooperation of the first and second lower mold half bodies and providing the sealing resin in the cavity;

a resin layer forming step of moving down the upper mold and the second lower mold half body so that the sealing resin is heated, melted and compressed so that the resin layer sealing the protruding electrodes is formed; and

a detaching step of moving up the first mold so as to detach the upper mold from the resin layer, and then moving down the second lower mold half body from the first lower mold half body so that the substrate to which the resin layer is provided is detached from the mold.

5. The method for fabricating the semiconductor device as claimed in any of claims 1 to 4, characterized in that:

an excess resin removing mechanism is provided in the mold used in the resin sealing step; and

the excess resin removing mechanism removes excess resin and controls a pressure applied to the sealing resin in the mold.

6. The method for fabricating the semiconductor device as claimed in any of claims 1 to 5, characterized in that the resin sealing step uses a sheet-shaped resin as the sealing resin.

7. The method for fabricating the semiconductor device as claimed in any of claims 3 to 6, characterized in that the sealing resin is provided to the film before the resin sealing step is executed.

8. The method for fabricating the semiconductor device as claimed in claim 7, characterized in that a plurality of sealing resins are provided to the film, and the resin sealing step is continuously carried out while the film is moved.

9. The method for fabricating the semiconductor device as claimed in any of claims 1 through 8, characterized in that a reinforcement plate is loaded onto the mold before the substrate is loaded onto the mold in the resin sealing step.

10. The method for fabricating the semiconductor device as claimed in claim 9, characterized in that the reinforcement plate comprises a substance having a heat radiating performance.

11. The method for fabricating the semiconductor device as claimed in claims 1 to 10, characterized in that the protruding electrode exposing step uses means for exposing the ends thereof from the resin layer, said means being at least one of a laser beam projection, eximer laser, etching, mechanical polishing, and blasting.

12. The method for fabricating the semiconductor device as claimed in any of claims 3 through 10, characterized in that:

the film used in the resin sealing step is formed of an elastically deformable substance, and the ends of the protruding electrodes are caused to fall

in the film when the resin layer is formed by using the mold; and

the film is detached from the resin layer in the protruding electrode exposing step so that the ends of the protruding electrodes can be exposed from the resin layer.

13. A mold for fabricating a semiconductor device characterized by comprising:

an upper mold which can be elevated; and

a lower mold having a first lower mold half body which is kept stationary and a second lower mold half body which is provided so as to surround the first lower mold half body and can be elevated with respect to the first lower mold half body,

a cavity being defined by a cooperation of the upper and lower molds and being filled with resin.

14. The mold for fabricating the semiconductor device as claimed in claim 13, characterized in that there is provided an excess resin removing mechanism is provided in the mold used in the resin sealing step,

wherein the excess resin removing mechanism removes excess resin and controls a pressure applied to the sealing resin in the mold.

15. The mold for fabricating the semiconductor device as claimed in claim 13 or 14, characterized in that there is provided an attachment/detachment mechanism which attaches the substrate to a position of the first lower mold half body and detaches the substrate therefrom.

16. The mold for fabricating the semiconductor device as claimed in claim 15, characterized in that the attachment/detachment

mechanism comprises:

a porous member arranged in the position of the first lower mold half body onto which the substrate is loaded; and

an intake/exhaust device performing a gas suction and supply process for the porous member.

17. The mold for fabricating the semiconductor device as claimed in any of claims 13 through 16, characterized in that an area enclosed by the second lower mold half body is wider than an area of an upper portion of the first lower mold half body in a state in which the cavity is formed.

18. A semiconductor device characterized by comprising:

a semiconductor element having a surface on which protruding electrodes are directly formed; and

a resin layer which is formed on the surface of the semiconductor element and seals the protruding electrodes except for ends thereof.

19. The semiconductor device as claimed in claim 18, characterized in that there is provided a heat radiating member provided on a back surface of the semiconductor element opposite to the surface thereof on which the protruding electrodes are provided.

20. The method for fabricating the semiconductor device as claimed in any of claims 1 to 12, characterized in that the sealing resin used in the resin sealing step comprises a plurality of sealing resins having different characteristics.

21. The method for fabricating the semiconductor device as claimed in claim 9 or 10,

characterized in that there is provided a reinforcement plate to which the sealing resin is provided beforehand in the resin sealing step.

22. The method for fabricating the semiconductor device as claimed in claim 21, characterized in that:

a frame extending towards the substrate in a state in which the reinforcement plate is loaded onto the mold is formed to define a recess portion; and

the resin layer is formed on the substrate by using, as a cavity for resin sealing, the recess portion in the resin sealing step.

23. The method for fabricating the semiconductor device as claimed in any of claims 1 to 12, characterized in that a second resin layer is formed so as to cover a back surface of the substrate after or at the same time as the first, resin layer is formed, in the resin sealing step, on the surface of the substrate on which the protruding electrodes are arranged.

24. The method for fabricating the semiconductor device as claimed in any of claims 3 to 10, characterized in that:

the film used in the resin sealing step has projections located in positions corresponding to those of the protruding electrodes; and

the resin layer is formed in a state in which the projections are pressed against the protruding electrodes.

25. The method for fabricating the semiconductor device as claimed in any of claims 1 to 12 and 20 to 24, characterized in that:

an external connection protruding electrode

forming step is executed which forms external connection protruding electrodes on the ends of the protruding electrodes after the ends of the protruding electrodes are exposed from the resin layer in the protruding electrode exposing step.

26. The method for fabricating the semiconductor device as claimed in claim 25, characterized in that the protruding electrodes and the external connection protruding electrodes are bonded by using a bonding member in the external connection protruding electrode forming step.

27. The method for fabricating the semiconductor device as claimed in any of claims 1 to 12 and 20 to 26, characterized in that:

cutting position grooves are formed, before the resin sealing step is carried out, in the substrate so as to be located in positions in which the substrate is cut in the separating step; and

the substrate is cut in the cutting position grooves filled with the sealing resin.

28. The method for fabricating the semiconductor device as claimed in any of claims 1 to 12 and 20 to 26, characterized in that:

a pair of stress relaxing grooves is formed, prior to the resin sealing step, so as to sandwich a position in which the substrate is to be cut; and

the substrate is cut in the position interposed between the pair of stress relaxing grooves in the separating step.

29. A method for fabricating semiconductor devices characterized by comprising:

a first separating step of cutting a substrate on which semiconductor elements having

protruding electrodes are formed so that the semiconductor elements are separated from each other;

a resin sealing step of arranging the separated semiconductor elements on a base member and sealing a sealing resin so that a resin layer is formed;

a protruding electrode exposing step of exposing at least ends of the protruding electrodes from the resin layer; and

a second separating step of cutting the resin layer together with the base member in positions between adjacent semiconductor elements, so that the semiconductor elements to which the resin layer is formed are separated from each other.

30. A method for fabricating semiconductor devices characterized by comprising:

a resin sealing step of loading a substrate on which semiconductor elements having external connection electrodes formed on surfaces of the semiconductor elements onto a mold and supplying a resin to the surfaces so that a resin layer sealing the external connection electrodes and the substrate is formed; and

a separating step of cutting the substrate together with the resin layer in positions in which the external connection electrodes are formed, so that the semiconductor elements are separated from each other.

31. The method for fabricating the semiconductor devices as claimed in claim 30, characterized in that the external connection electrodes are commonly owned by adjacent ones of the semiconductor elements before the separating step is executed.

32. The method for fabricating the semiconductor device as claimed in any of claims 1 to 12 and 20 to 31, characterized in that positioning grooves are formed on a back surface of the resin layer or the substrate after the resin sealing step is executed and before the separating step is executed.

33. The method for fabricating the semiconductor device as claimed in claim 32, characterized in that the positioning grooves can be formed by subjecting the back surface to half scribing.

34. The method for fabricating the semiconductor device as claimed in any of claims 3 to 12 and 20 to 29, characterized in that:

the film used in the resin sealing step has projection or recess portions located in positions in which the film is not interfered with the projecting electrodes; and

recess or projection portions formed on the resin layer by the projection or recess portions are used for positioning after the resin sealing step is completed.

35. The method for fabricating the semiconductor device as claimed in any of claims 1 to 12 and 20 to 29, characterized in that the sealing resin is processed in positions in which positioning protruding electrodes are formed in order to discriminate the protruding electrodes and the positioning protruding electrodes from each other.

36. A semiconductor device characterized by comprising:

a semiconductor element having a surface on which external connection electrodes are provided

which are to be electrically connected to external terminals; and

a resin layer provided on the surface of the semiconductor element so as to cover the external connection electrodes,

wherein the external connection electrodes are laterally exposed at an interface between the semiconductor element and the resin layer.

37. The method for mounting the semiconductor device as claimed in claim 36, characterized in that the semiconductor device is mounted on a mounting board so as to vertically stand thereon.

38. The method for mounting the semiconductor device as claimed in claim 37, characterized in that a plurality of semiconductor elements are arranged side by side so that adjacent ones of the semiconductor elements are bonded by an adhesive.

39. The method for mounting the semiconductor device as claimed in claim 37, characterized in that a plurality of semiconductor elements are arranged side by side so as to vertically stand by supporting members.

40. The method for mounting the semiconductor device as claimed in any of claims 18, 19 and 36, characterized in that the semiconductor device is mounted on a mounting board through an interposer.

41. The semiconductor device as claimed in claim 18 or 17, characterized in that the resin layer comprises a plurality of resin layers having different

characteristics.

42. A semiconductor device characterized by comprising:

a semiconductor element having protruding electrodes formed on a surface thereof;

a first resin layer that is formed on the surface of the semiconductor element and seals the protruding electrodes except for ends thereof; and

a second resin layer provided so as to cover at least a back surface of the semiconductor element.

43. A semiconductor device characterized by comprising:

a semiconductor element having protruding electrodes formed on a surface thereof;

a resin layer which is formed on the surface of the semiconductor element and seals the protruding electrodes except for ends thereof; and

~~external connection~~ protruding electrodes provided to the ends of the protruding electrodes exposed from the resin layer.

44. A method for fabricating a semiconductor device comprising:

a resin sealing step of loading a wiring board having a flexible member on which a semiconductor element and leads are arranged onto a mold and supplying sealing resin to the semiconductor element so as to seal the semiconductor element; and

a protruding electrode forming step of forming protruding electrodes so as to be electrically connected to the leads formed on the wiring board,

the resin sealing step uses a compression-molding process.

45. The method for fabricating the

semiconductor device as claimed in claim-44, characterized in that a frame having a cavity portion in which the semiconductor element is accommodated is provided when the wiring board is formed.

46. The method for fabricating the semiconductor device as claimed in claim 44 or 45, characterized in that a film having a detachability with respect to the sealing resin is provided in a position of the mold facing the wiring board, so that the mold contacts the sealing resin through the film.

47. The method for fabricating the semiconductor device as claimed in claim 44 or 45, characterized in that a plate member having a detachability with respect to the sealing resin is provided in a position of the mold facing the wiring board, so that the mold contacts the sealing resin through the plate member.

48. The method for fabricating the semiconductor device as claimed in claim 47, characterized in that the plate member is formed of a substance having a heat radiating performance.

49. The method for fabricating the semiconductor device as claimed in any of claims 44 to 48, characterized in that there is provided an excess resin removing mechanism is provided in the mold used in the resin sealing step,

wherein the excess resin removing mechanism removes excess resin and controls a pressure applied to the sealing resin in the mold.

50. The method for fabricating the semiconductor device as claimed in any of claims 44 to 49, characterized in that:

extending portions are formed to the wiring board so that the extending portions laterally extend from a position in which the semiconductor element is placed; and

a bending step of bending the extending portions is executed after the resin sealing step is completed and before the protruding electrode forming step is executed.

51. The method for fabricating the semiconductor device as claimed in any of claims 44 to 49, characterized in that:

extending portions are formed to the wiring board so that the extending portions laterally extend from a position in which the semiconductor element is placed;

a bending step of bending the extending portions is carried out before the resin sealing step is executed; and

the resin sealing step and the protruding electrode forming step are carried out after the bending step is executed.

52. The method for fabricating the semiconductor device as claimed in claim 50 or 51, characterized in that:

connection electrodes to be connected to the semiconductor element are formed to ends of the extending portions; and

an element connecting step of connecting the semiconductor element and the connection electrodes is executed after the bending step is carried out.

53. The method for fabricating the semiconductor device as claimed in claim 51, characterized in that the connection electrodes are arranged in an interdigital formation, and have curved

corners.

54. A semiconductor device characterized by comprising:

- a semiconductor element;
- protruding electrodes functioning as external connection terminals;
- a wiring board having a flexible base on which leads are formed, the leads having ends connected to the semiconductor element and other ends connected to the protruding electrodes; and
- a sealing resin sealing the semiconductor element,

there are provided extending portions that are formed to the wiring board so that the extending portions laterally extend from a position in which the semiconductor element is placed, the protruding electrodes being formed on the extending portions.

55. The semiconductor device as claimed in claim 54, characterized in that there is provided a frame which supports the wiring board and has a cavity which accommodates the semiconductor element.

56. The semiconductor device as claimed in claim 54 or 55, characterized in that the protruding electrodes are mechanical bumps obtained by plastic-deforming the leads.

57. A semiconductor device ~~characterized by~~ comprising:

- a single or a plurality of semiconductor elements;
- a sealing resin which seals partially or totally the semiconductor element or elements; and
- an electrode plate which is provided in the sealing resin and is electrically connected to the

semiconductor element or elements, the electrode plate having portions which are exposed from side surfaces of the sealing resin and function as external connection electrodes.

58. The semiconductor device as claimed in claim 57, characterized in that the semiconductor element or elements are connected to the electrode plate in a flip-chip bonding formation.

59. The semiconductor device as claimed in claim 57 or 58, characterized in that the electrode plate is exposed from a bottom surface of the sealing resin in addition to the side surfaces thereof, so that portions of the electrode plates exposed from the bottom surface function as external connection terminals.

60. The semiconductor device as claimed in claim 57 or 58, characterized in that protruding terminals are provided to the electrode plate, and are exposed from a bottom surface of the sealing resin, so that the protruding terminals function as external connection terminals.

61. The semiconductor device as claimed in claim 60, characterized in that the protruding terminals are portions of the electrode plate defined by plastic deformation.

62. The semiconductor device as claimed in claim 60, characterized in that the protruding terminals are the protruding electrodes arranged to the electrode plate.

63. The semiconductor device as claimed in any of claims 57 to 62, characterized in that the

semiconductor element or elements are partially exposed from the sealing resin.

64. The semiconductor device as claimed in any of claims 57 to 63, characterized in that there is provided a heat radiating member in a position close to the semiconductor element or elements.

65. A method for fabricating a semiconductor device characterized by comprising:
an electrode plate forming step of forming a pattern on a metallic base so that an electrode plate is formed;

a chip mounting step of mounting semiconductor elements on the electrode plate and electrically connecting the semiconductor elements thereto;

a sealing resin forming step of forming a sealing resin which seals the semiconductor elements and the electrode plate; and

a cutting step of cutting the sealing resin and the electrode plate at boundaries between adjacent ones of the semiconductor elements so that the semiconductor devices are separated from each other.

66. The method for fabricating the semiconductor device as claimed in claim 65, characterized in that the pattern is formed in the electrode plate forming step by etching or press processing.

67. The method for fabricating the semiconductor device as claimed in claim 65 or 66, characterized in that the semiconductor elements are mounted, in the chip mounting step, on the electrode plate in a flip-chip bonding formation.

68. The method for fabricating the semiconductor device as claimed in any of claims 65 to 67, characterized in that:

a chip attachment step of positioning the semiconductor elements on the heat radiating member and attaching the semiconductor elements thereto before the chip mounting step is executed; and

the semiconductor elements attached to the heat radiating member are mounted to the electrode plate in the chip mounting step.

69. The method for fabricating the semiconductor device as claimed in claim 65 or 68, characterized in that:

protruding terminals protruding from the electrode plate are formed in the electrode plate forming step; and

the sealing resin is formed, in the sealing resin forming step, so as to expose the protruding terminals from the sealing resin.

70. An mounting arrangement for mounting the semiconductor device as claimed in any of claims 57 to 64 on a mounting board, characterized by comprising:

a socket having an attachment portion to which the semiconductor device is attached, and lead parts provided so as to be connected to the external connection terminals exposed from the sealing resin,

the semiconductor device being attached to the socket, and the lead parts and the external connection terminals being connected, the lead parts being connected to the mounting board.

71. A mounting arrangement for mounting the semiconductor device as claimed in any of claims 60 to 62 on a mounting board, characterized by comprising:

bumps arranged to the protruding terminals for forming the external connection terminals, the semiconductor device being connected to the mounting board through the bumps.

72. A mounting arrangement for mounting the semiconductor device as claimed in any of claims 59 to 64 on a mounting board, characterized by comprising:

a mounting member including connection pins that are flexibly deformable and are located in positions corresponding to those of the external connection terminals, and a positioning member positioning the connection pins,

upper ends of the connection pins being connected to the external connection terminals of the semiconductor device, and lower ends thereof being connected to the mounting board.

73. A semiconductor device characterized by comprising:

a semiconductor device main body having a semiconductor element having a surface on which protruding electrodes are directly formed, and a resin layer which is formed on the surface of the semiconductor element and seals the protruding electrodes except for ends thereof;

an interposer to which the semiconductor device main body is attached, a wiring pattern to which the semiconductor device main body is connected being formed on a base member of the interposer;

an anisotropic conductive film which has an adhesiveness and a conductivity in a pressed direction and is interposed between the semiconductor device main body and the interposer, the anisotropic conductive film fixing the semiconductor device main body to the interposer and electrically connecting them; and

external connection terminals which are connected to the wiring pattern through holes formed in the base member and are arranged on a surface of the semiconductor device main body opposite to the surface on which the protruding electrodes are provided.

74. The semiconductor device as claimed in claim 73, characterized in that an arrangement pitch for the protruding electrodes provided on the semiconductor device main body is equal to that for the external connection terminals provided on the interposer.

75. The semiconductor device as claimed in claim 73, characterized in that an arrangement pitch for the external connection terminals provided on the interposer is greater than that for the protruding electrodes provided on the semiconductor device.

76. The semiconductor device as claimed in any of claims 73 to 75, characterized in that there is provided an insulating member which is provided on the interposer and has holes located in positions facing the protruding electrodes.

77. The semiconductor device as claimed in any of claims 73 to 76, characterized in that the interposer comprises a TAB (Tape Automated Bonding) tape.

78. A method for fabricating a semiconductor device, characterized by comprising:
a semiconductor device main body forming step of forming a semiconductor device main body having a semiconductor element having a surface on which protruding electrodes are directly formed, and a

resin layer which is formed on the surface of the semiconductor element and seals the protruding electrodes except for ends thereof;

an interposer forming step of forming an interposer to which the semiconductor device main body is attached, a wiring pattern to which the semiconductor device main body is connected being formed on a base member of the interposer;

a bonding step of bonding the semiconductor device main body and the interposer by an anisotropic conductive film which has an adhesiveness and a conductivity in a pressed direction, the anisotropic conductive film fixing the semiconductor device main body to the interposer and electrically connecting them; and

an external connection terminal forming step of forming external connection terminals which are connected to the wiring pattern through holes formed in the base member and are arranged on a surface of the semiconductor device main body opposite to the surface on which the protruding electrodes are provided.

79. A semiconductor device comprising:

a semiconductor device main body having a semiconductor element having a surface on which protruding electrodes are directly formed, and a resin layer which is formed on the surface of the semiconductor element and seals the protruding electrodes except for ends thereof;

an interposer to which the semiconductor device main body is attached, a wiring pattern to which the semiconductor device main body is connected being formed on a base member of the interposer;

an adhesive which is provided between the semiconductor device main body and the interposer and which bonds the semiconductor device main body to the

interposer;

a conductive member which electrically connects the semiconductor device main body and the interposer; and

external connection terminals which are connected to the wiring pattern through holes formed in the base member and are arranged on a surface of the semiconductor device main body opposite to the surface on which the protruding electrodes are provided.

80. The semiconductor device as claimed in claim 79, characterized in that the conductive member is a conductive paste.

81. The semiconductor device as claimed in claim 79, characterized in that the conductive member comprises stud bumps.

82. The semiconductor device as claimed in claim 79, characterized in that the conductive member comprises flying leads, which are integrally formed with the wiring pattern and bypasses the adhesive so as to be connected to the protruding electrodes.

83. The semiconductor device as claimed in claim 82, characterized in that connections of the protruding electrodes and the flying leads are sealed by resin.

84. The semiconductor device as claimed in claim 79, characterized in that the conductive member comprises:

connection pins that are flexibly deformable and are located in positions corresponding to those of the protruding electrodes; and

a positioning member positioning the

connection pins,

upper ends of the connection pins being connected to the protruding electrodes of the semiconductor device, and lower ends thereof being connected to the external connection terminals.

85. The semiconductor device as claimed in claim 84, characterized in that the positioning member is formed of a flexible member.

86. A method for fabricating a semiconductor device, characterized by comprising:

a semiconductor device main body forming step of forming a semiconductor device main body having a semiconductor element having a surface on which protruding electrodes are directly formed, and a resin layer which is formed on the surface of the semiconductor element and seals the protruding electrodes except for ends thereof;

an interposer forming step of forming an interposer to which the semiconductor device main body is attached, a wiring pattern to which the semiconductor device main body is connected being formed on a base member of the interposer;

a conductive member arranging step of arranging a conductive member to at least one of the semiconductor device main body and the interposer;

a bonding step of bonding the semiconductor device main body and the interposer by an adhesive and connecting them electrically; and

an external connection terminal forming step of forming external connection terminals which are connected to the wiring pattern through holes formed in the base member and are arranged on a surface of the semiconductor device main body opposite to the surface on which the protruding electrodes are provided.

ABSTRACT

A method includes a resin sealing step of placing, in a cavity 28 of a mold 20, a substrate 16 to which semiconductor elements 11 on which bumps 12 are arranged, a resin sealing step of supplying resin 35 to positions of the bumps 12 so that a resin layer 13 sealing the bumps 12 is formed, a protruding electrode exposing step of exposing at least ends of the bumps 12 sealed by the resin layer 13 so that ends of the bumps 12 are exposed from the resin layer 13, and a separating step of cutting the substrate 16 together with the resin layer 13 so that the semiconductor elements 11 are separated from each other.

FIG. 1

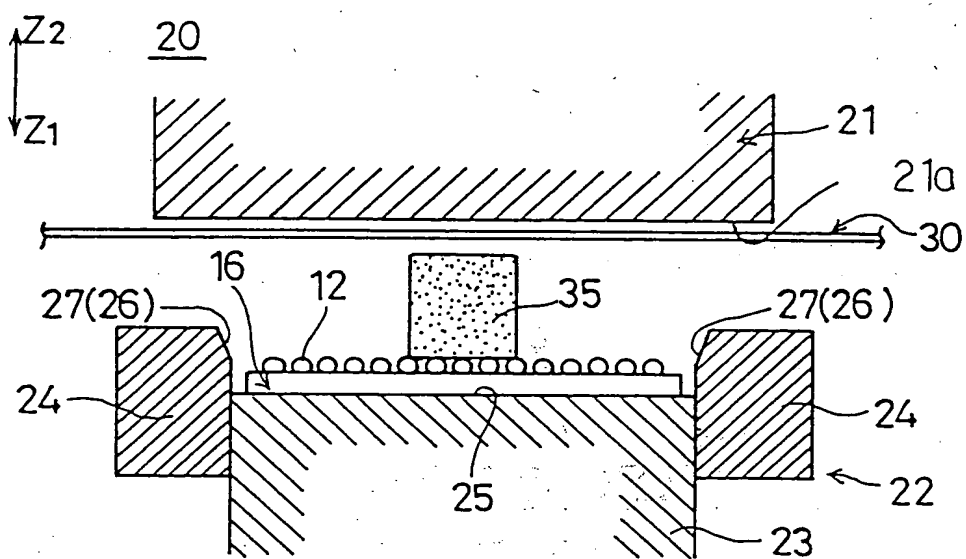


FIG. 1A

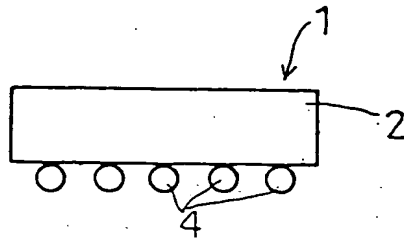


FIG. 1B

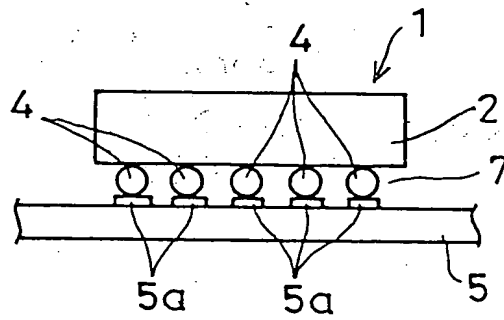


FIG. 1C

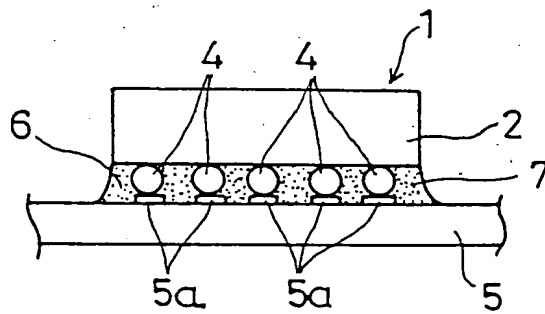


FIG. 2

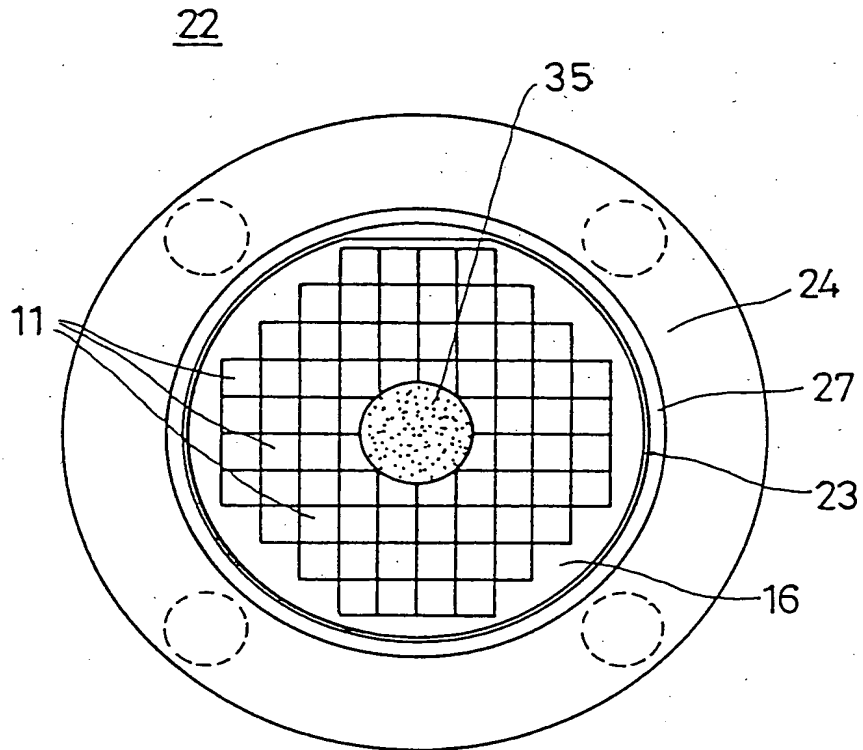


FIG. 3

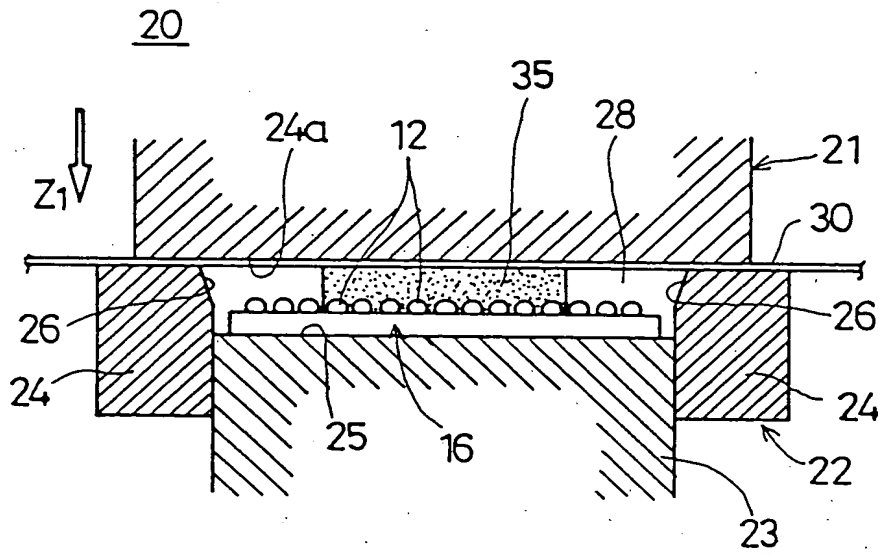


FIG. 4

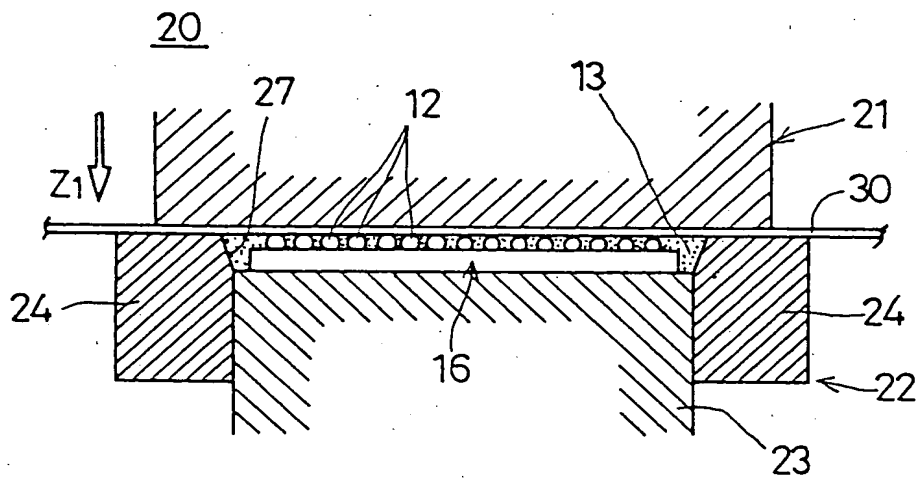
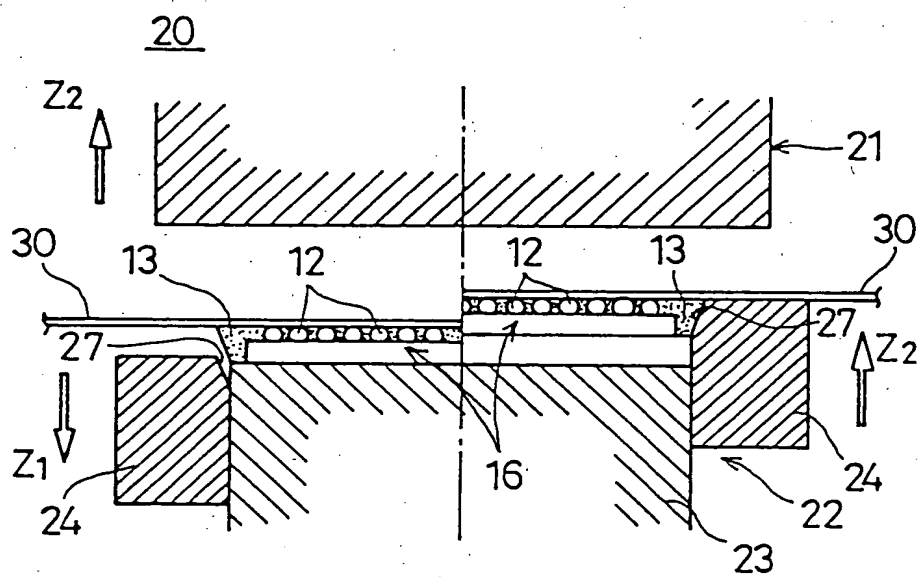


FIG. 5



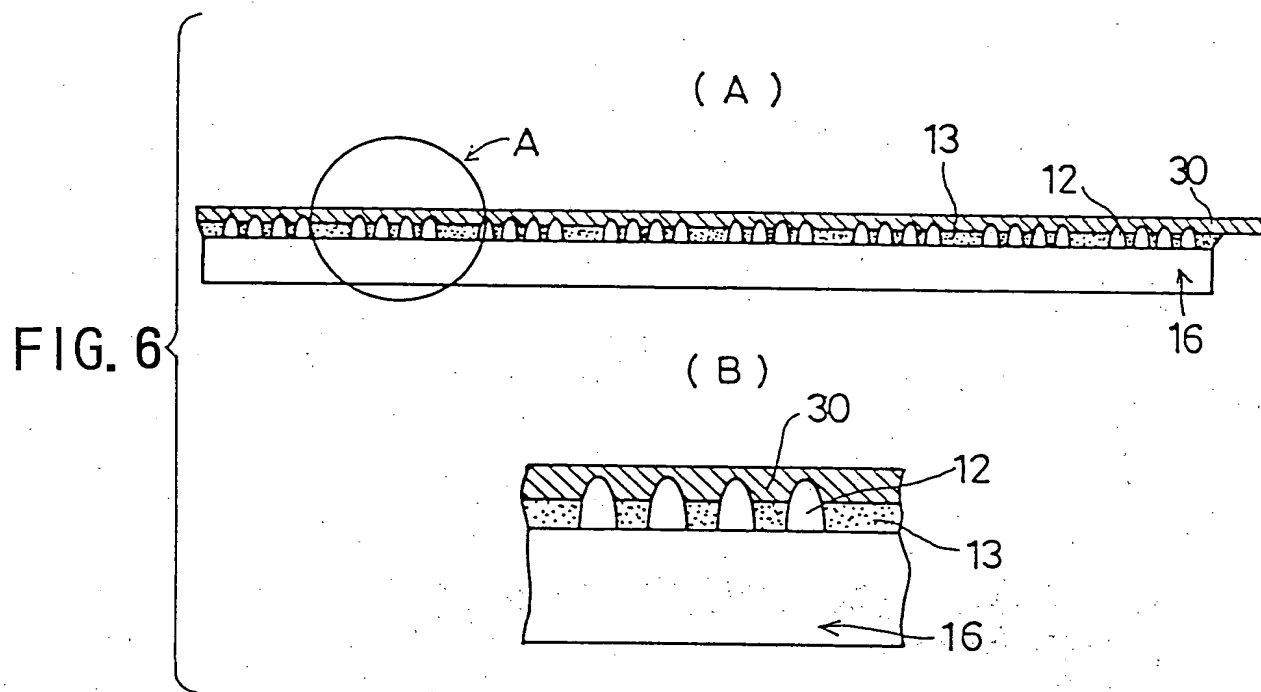


FIG. 7

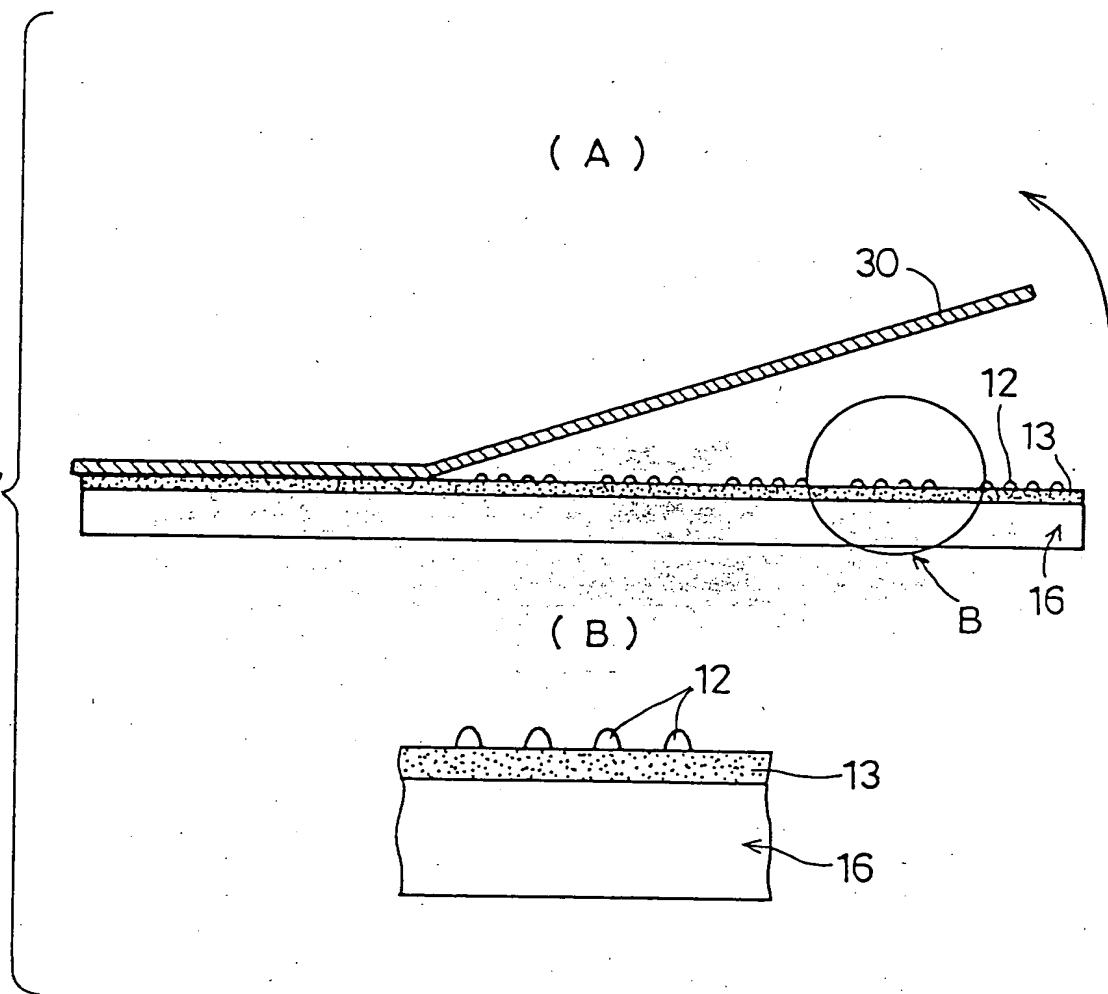


FIG. 8

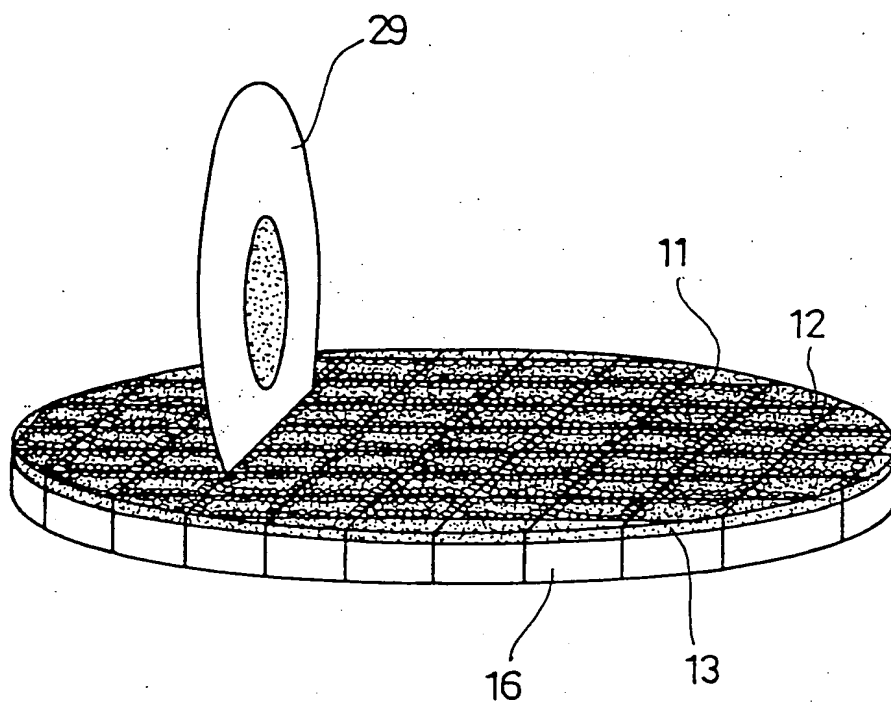


FIG. 9

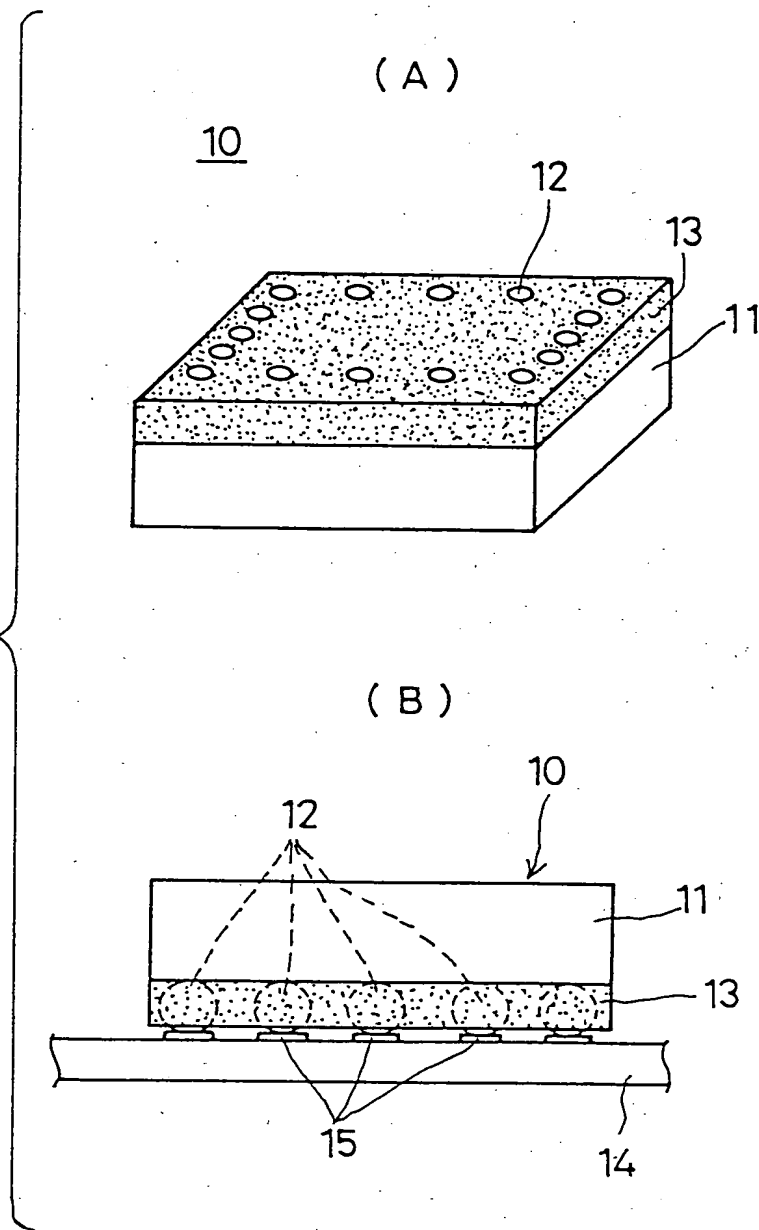


FIG. 10

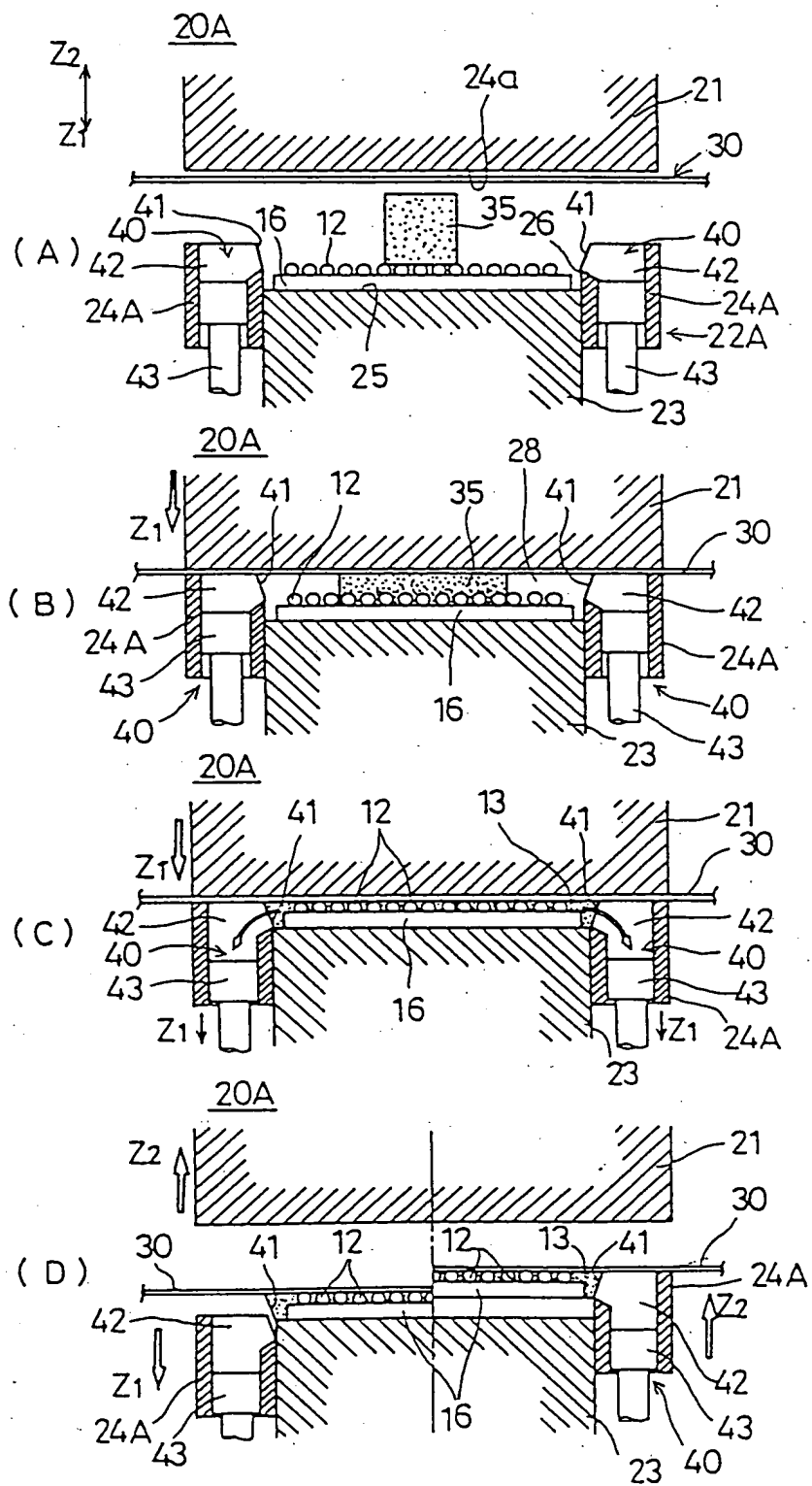


FIG. 11

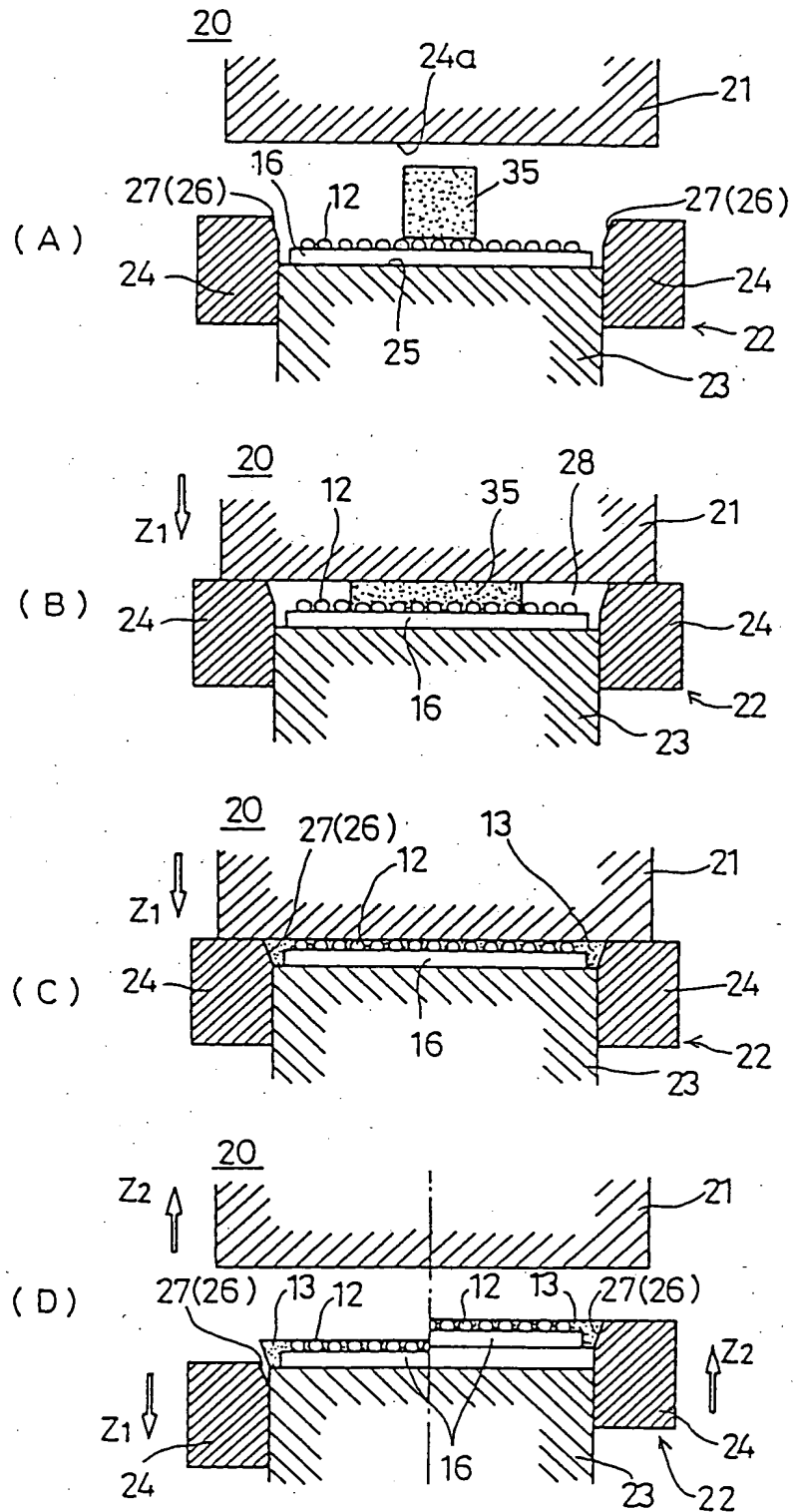


FIG. 12

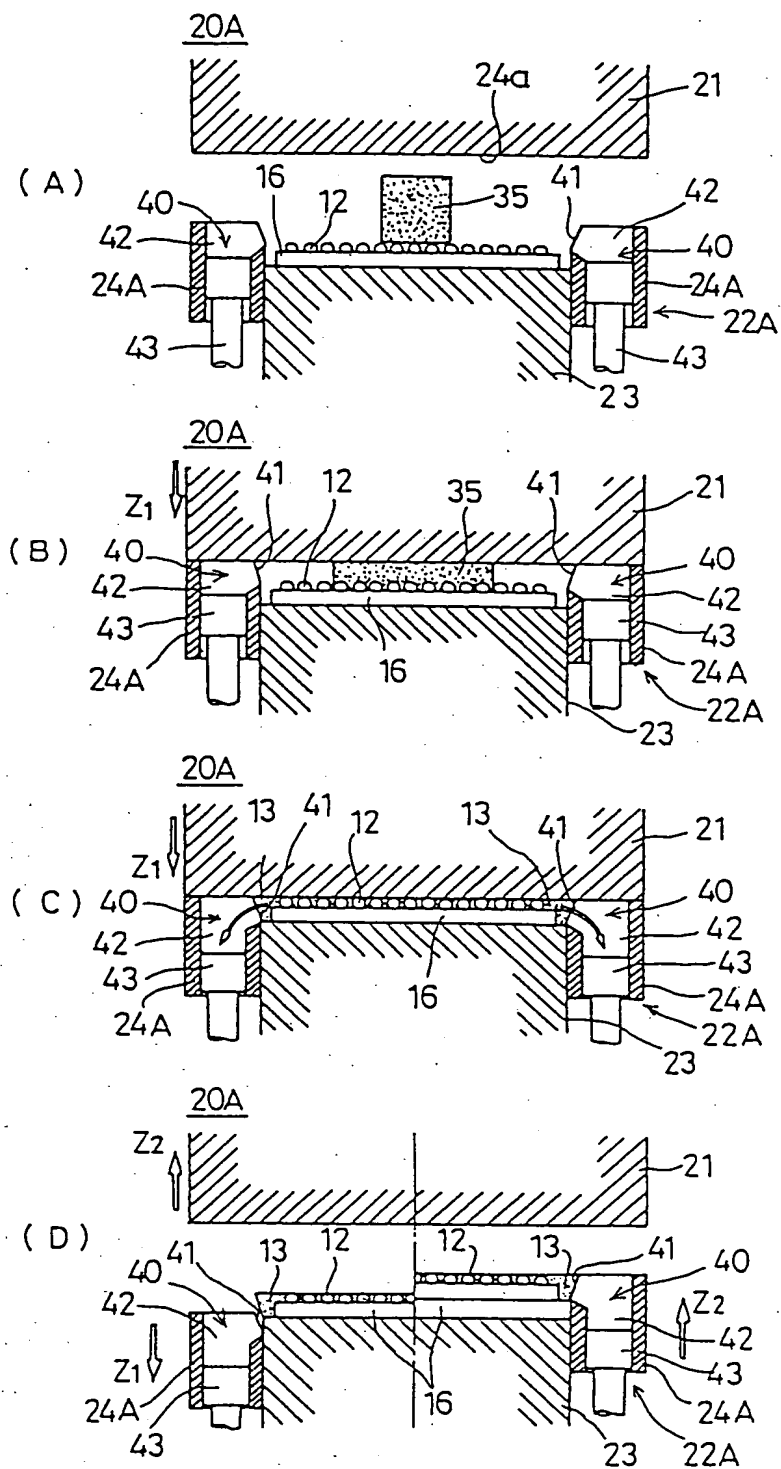


FIG. 13

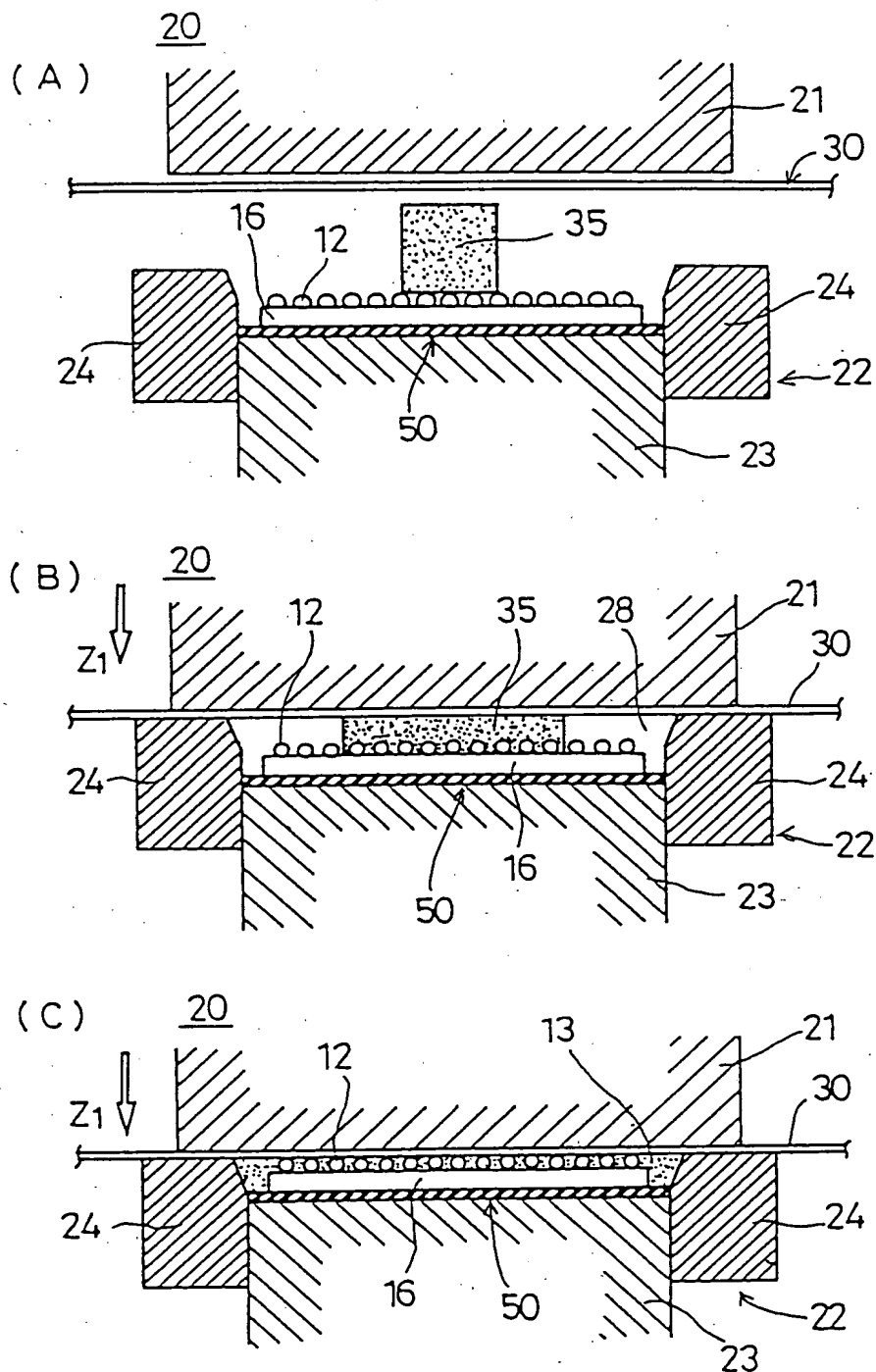


FIG. 14

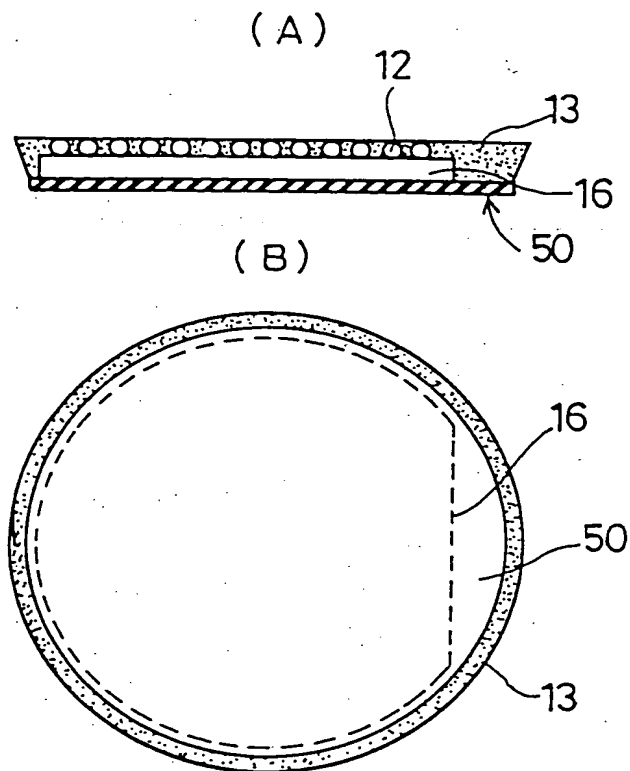


FIG. 15

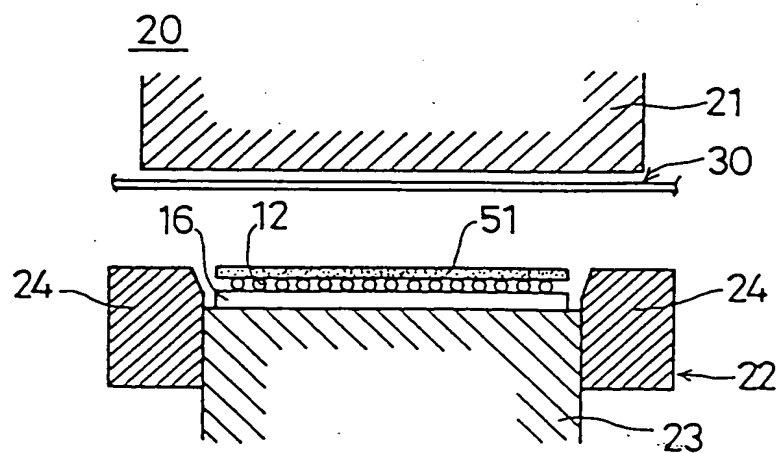


FIG. 16

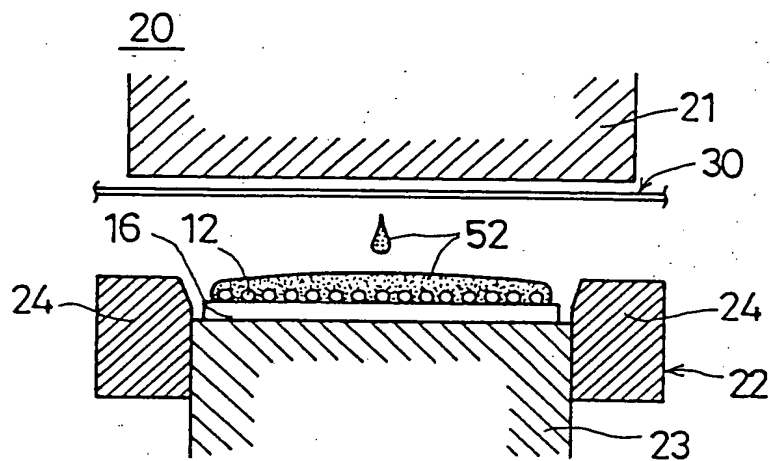


FIG. 17

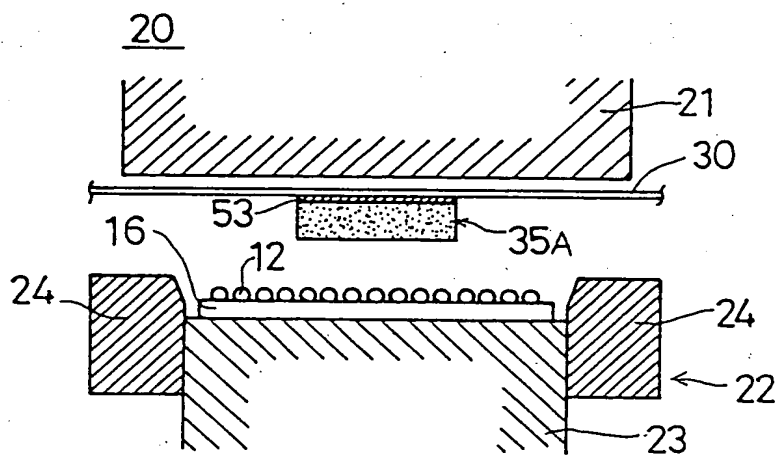


FIG. 18

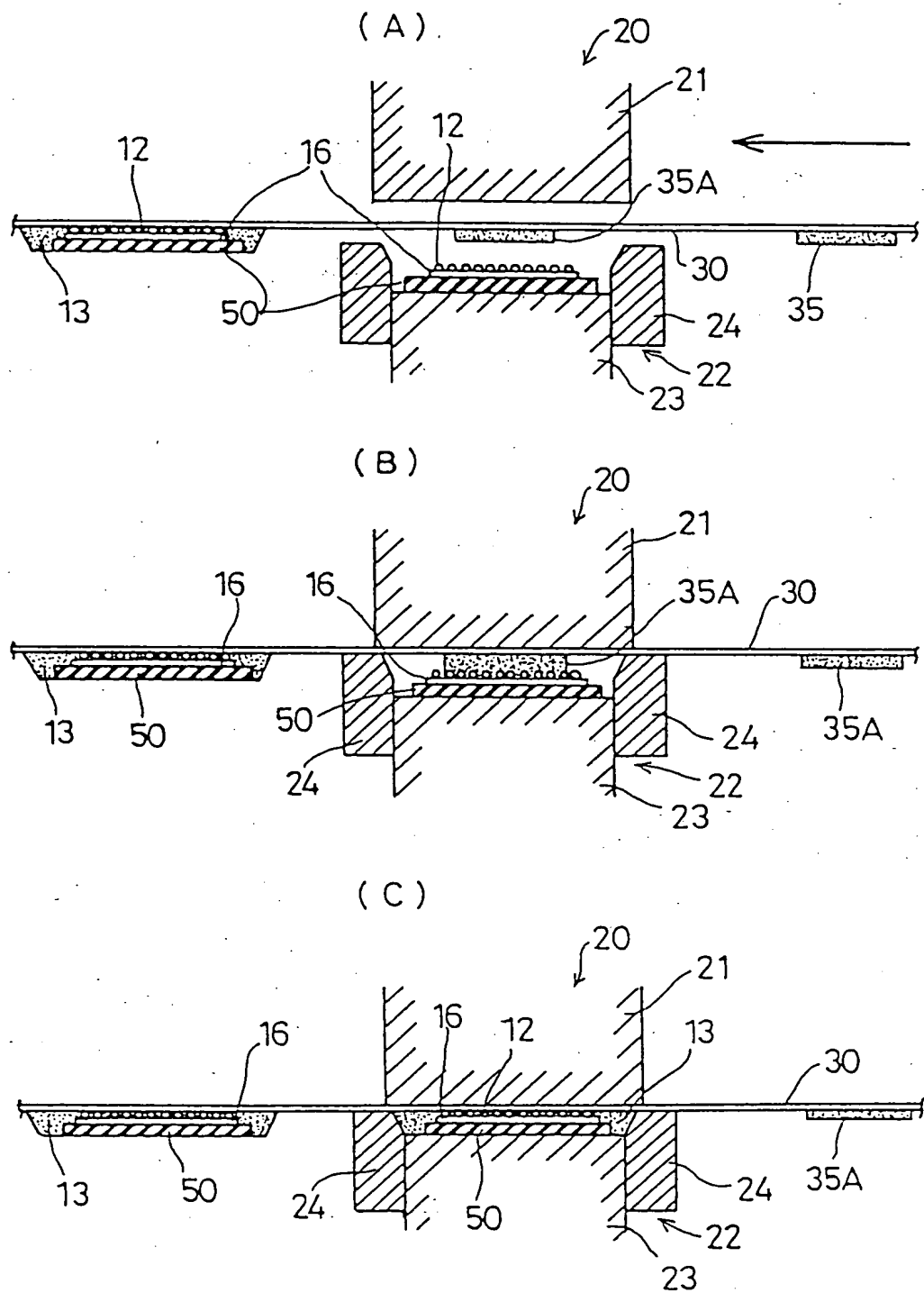


FIG. 19

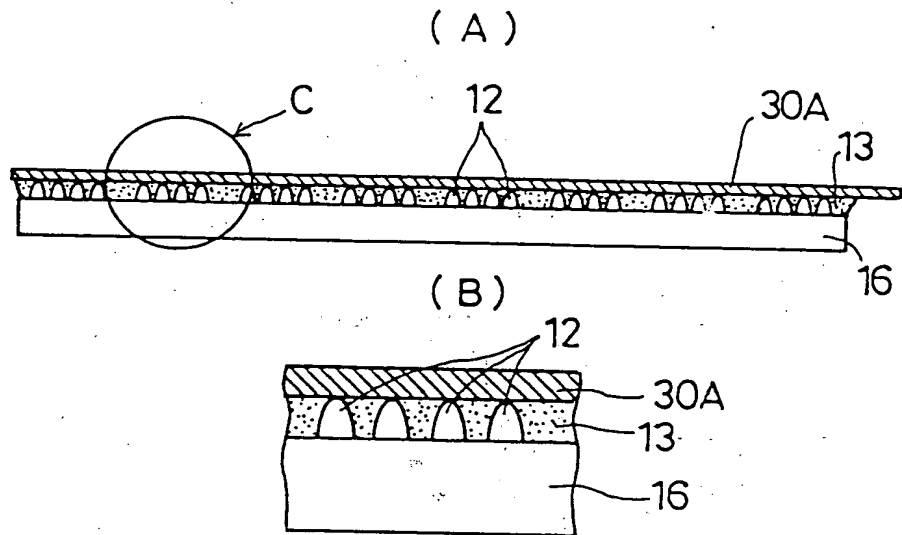


FIG. 20

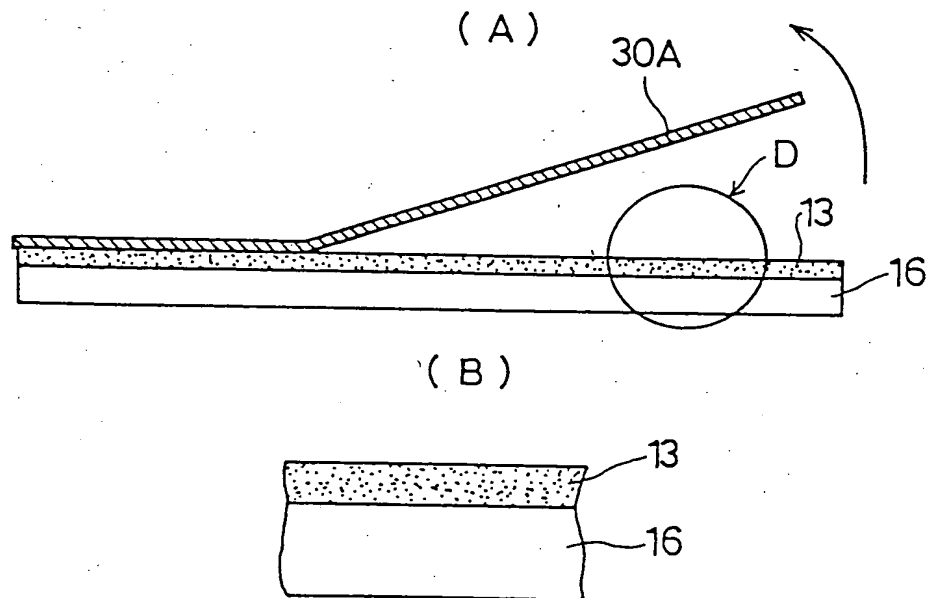


FIG. 21

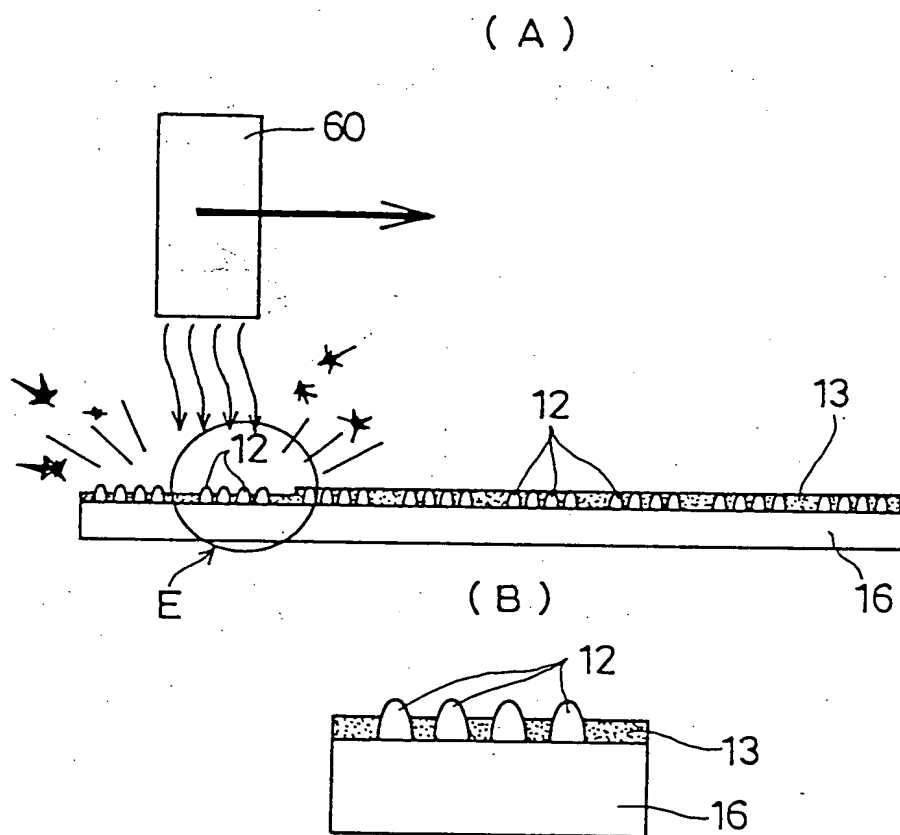


FIG. 22

20C

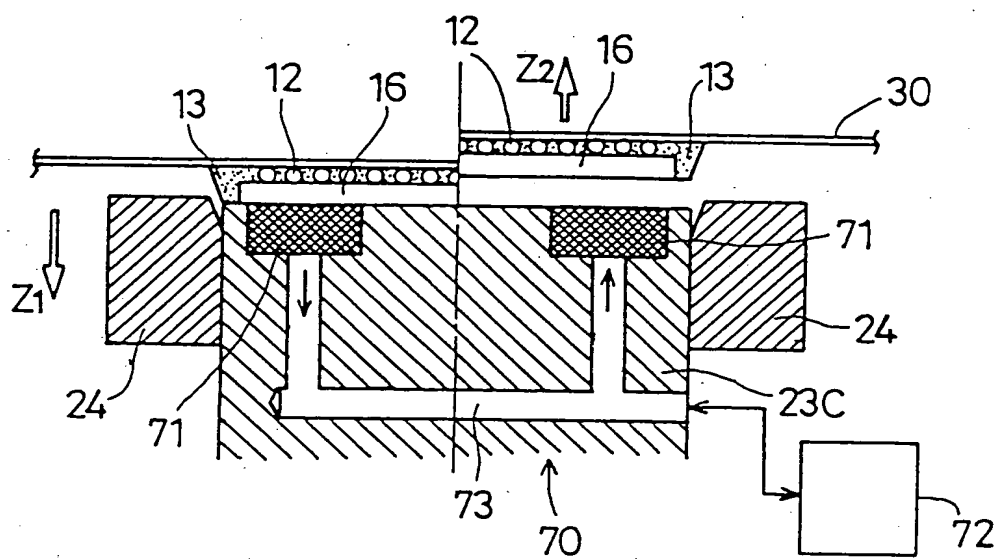


FIG. 23

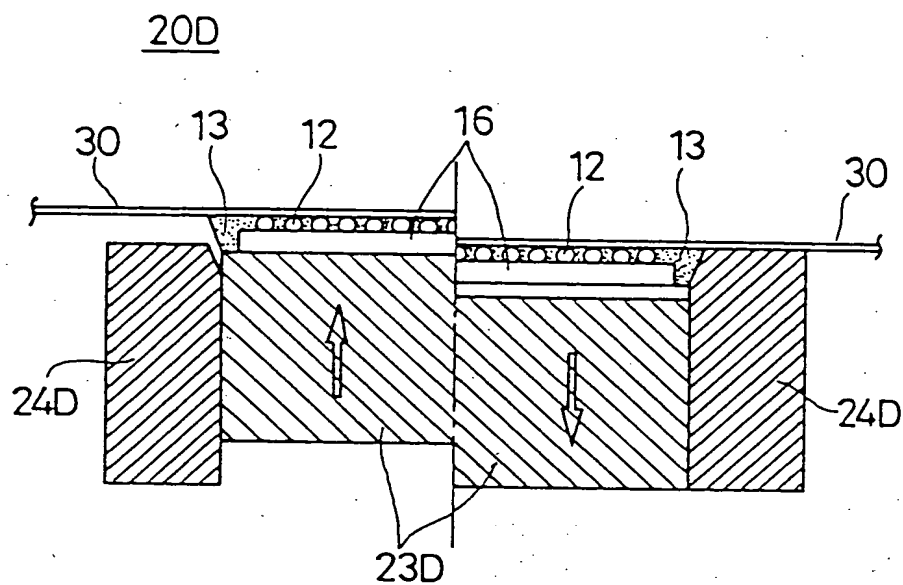


FIG. 24

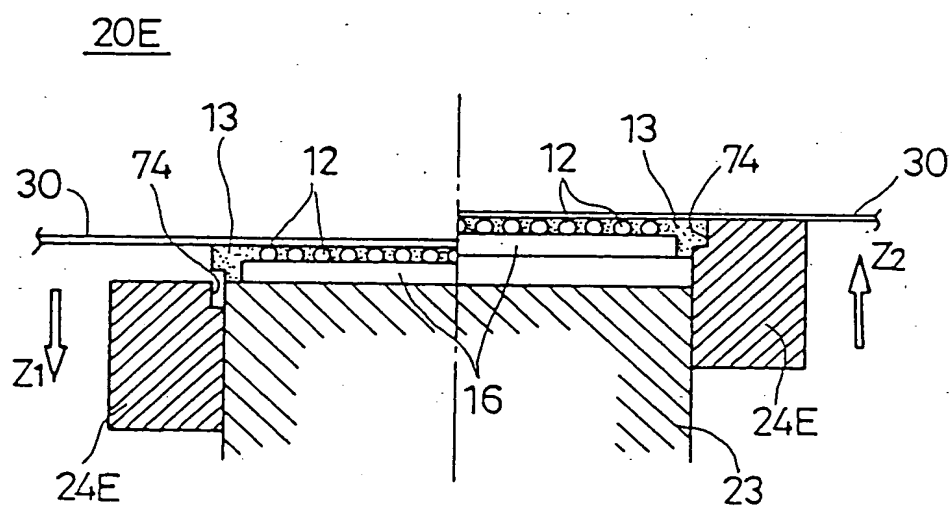


FIG. 25

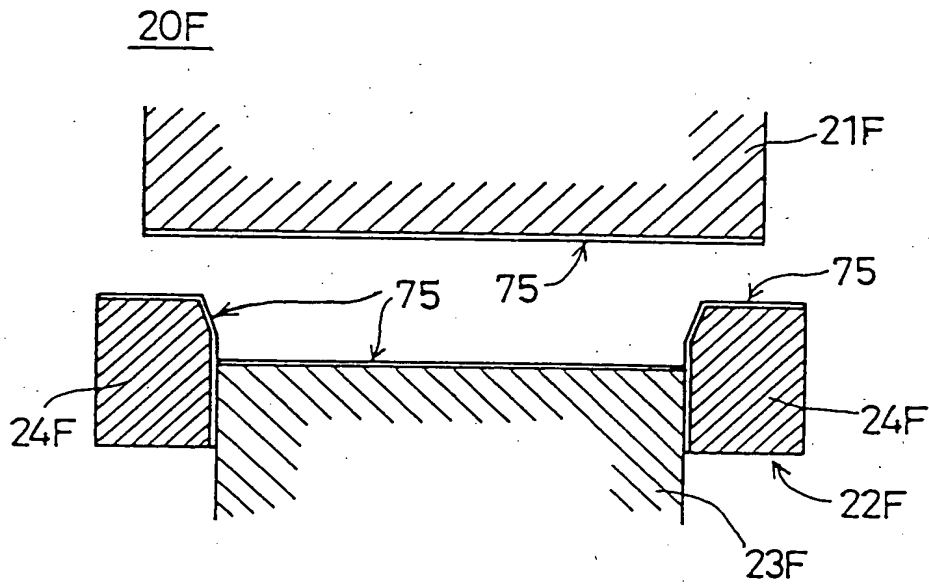


FIG. 26

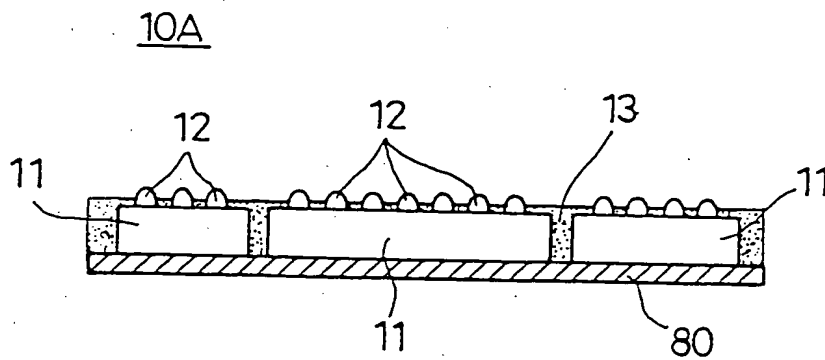


FIG. 27

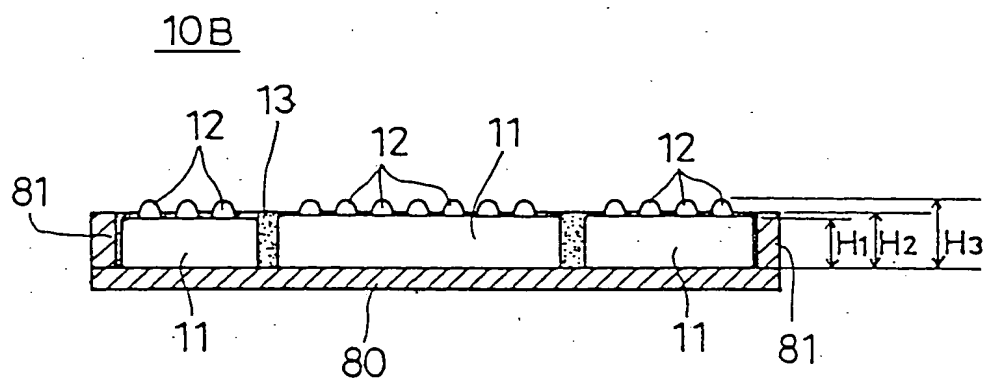


FIG. 28

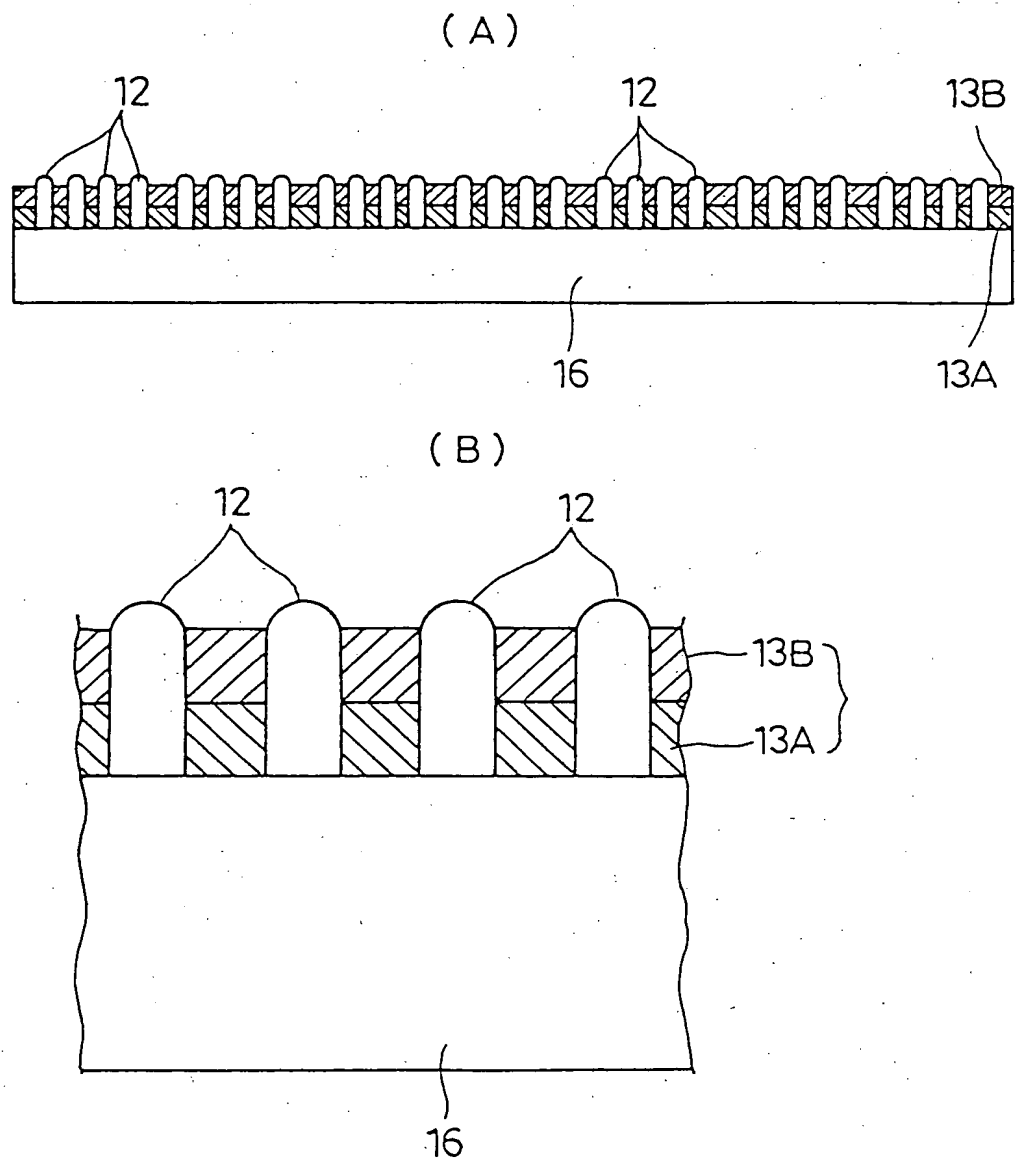


FIG. 29

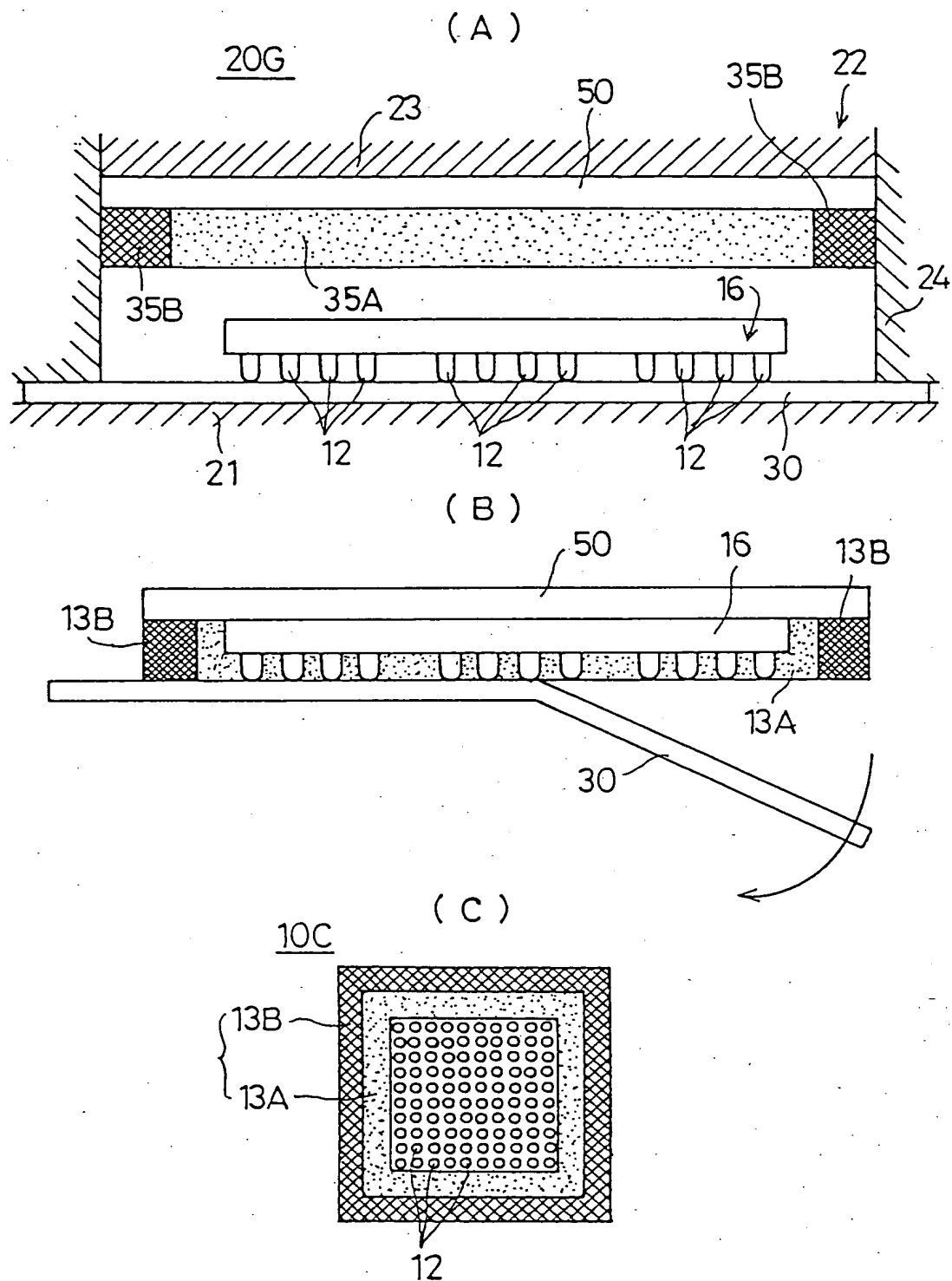


FIG. 30

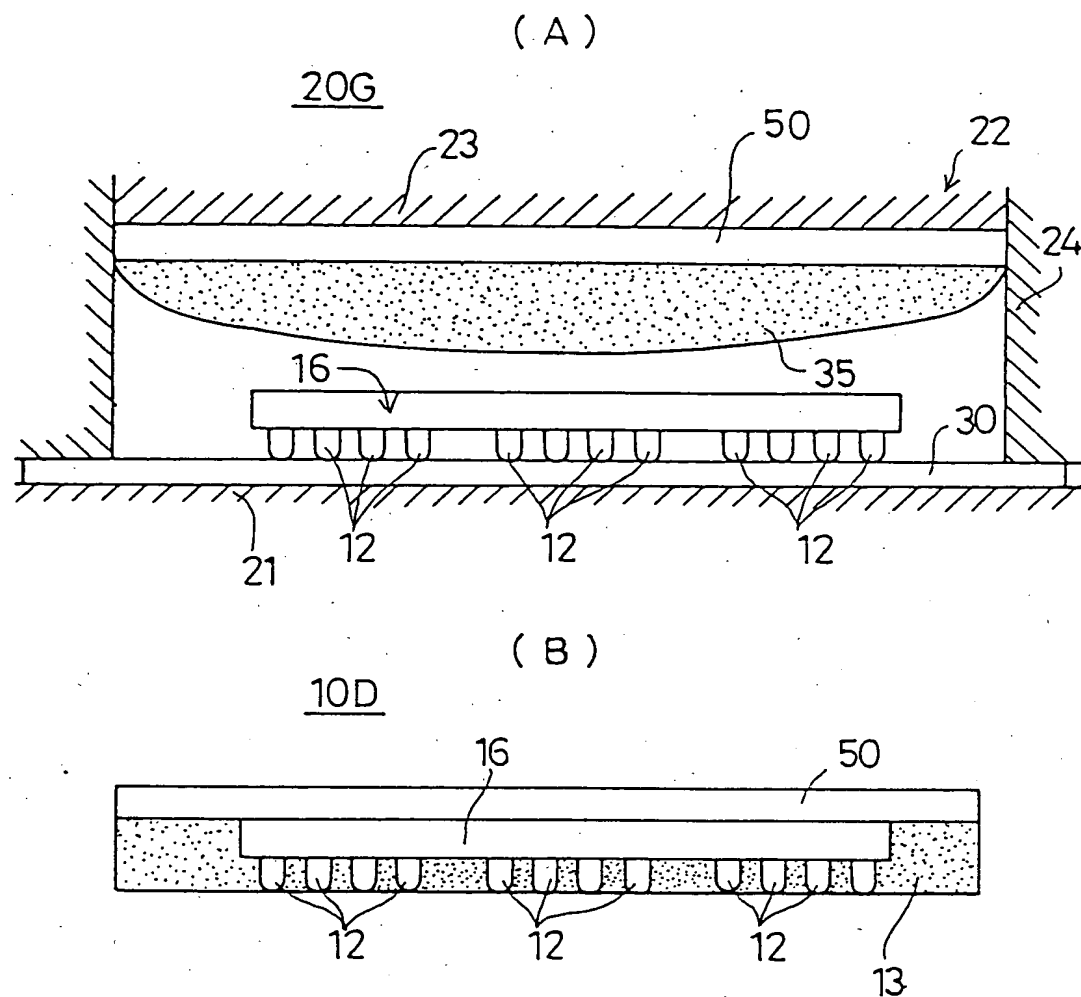


FIG. 31

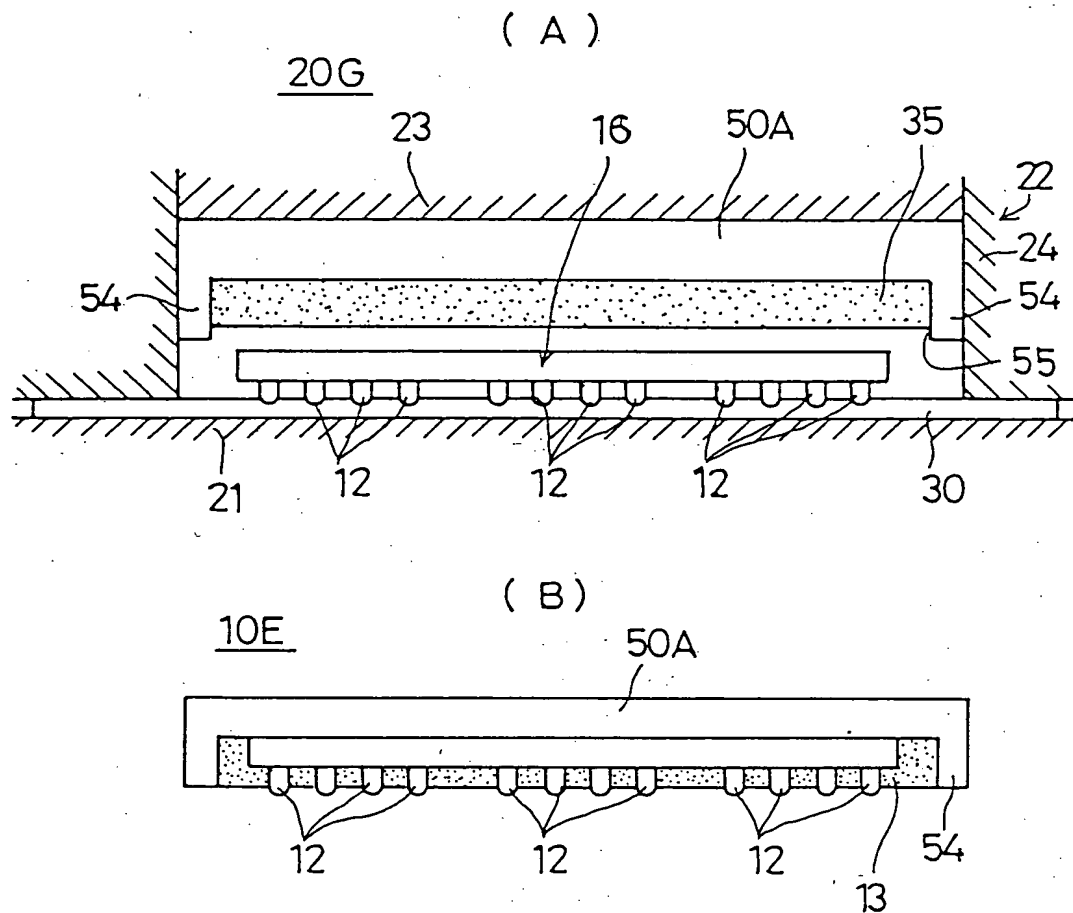


FIG. 32

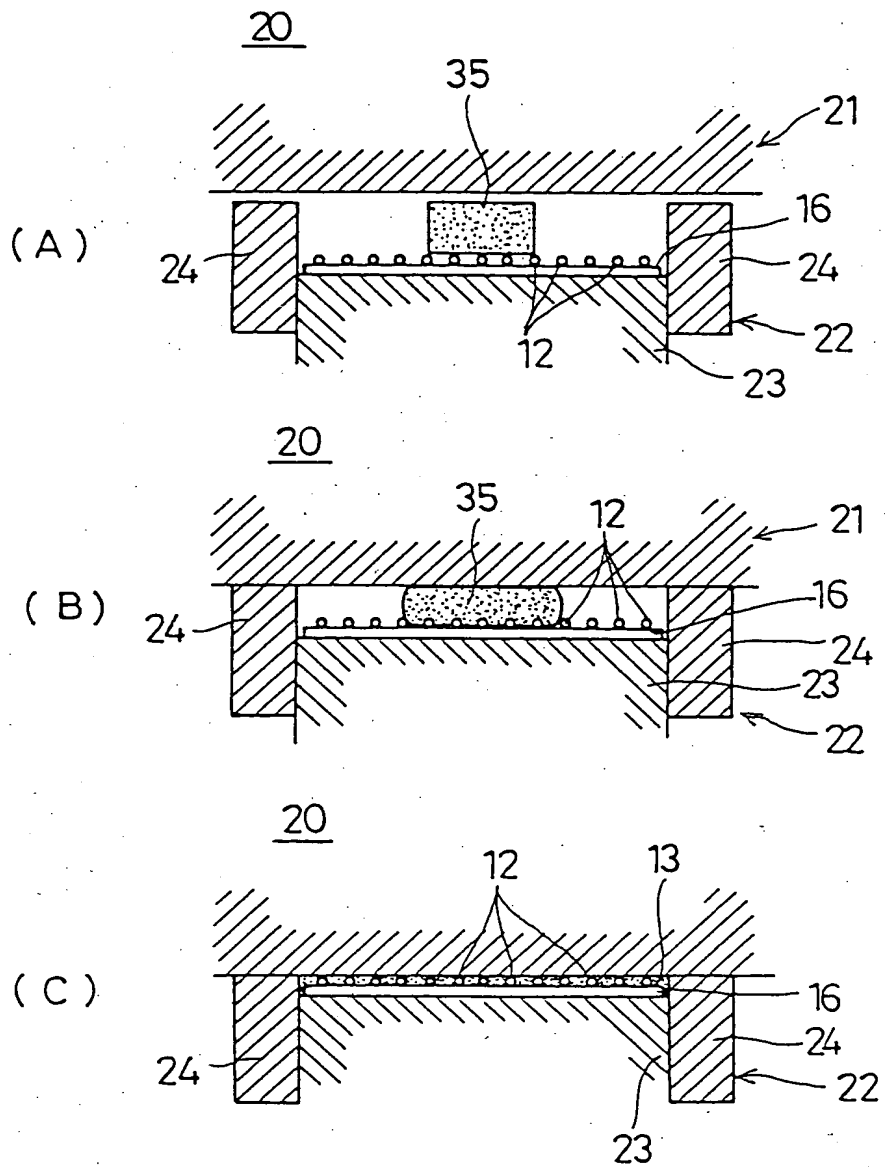


FIG. 33

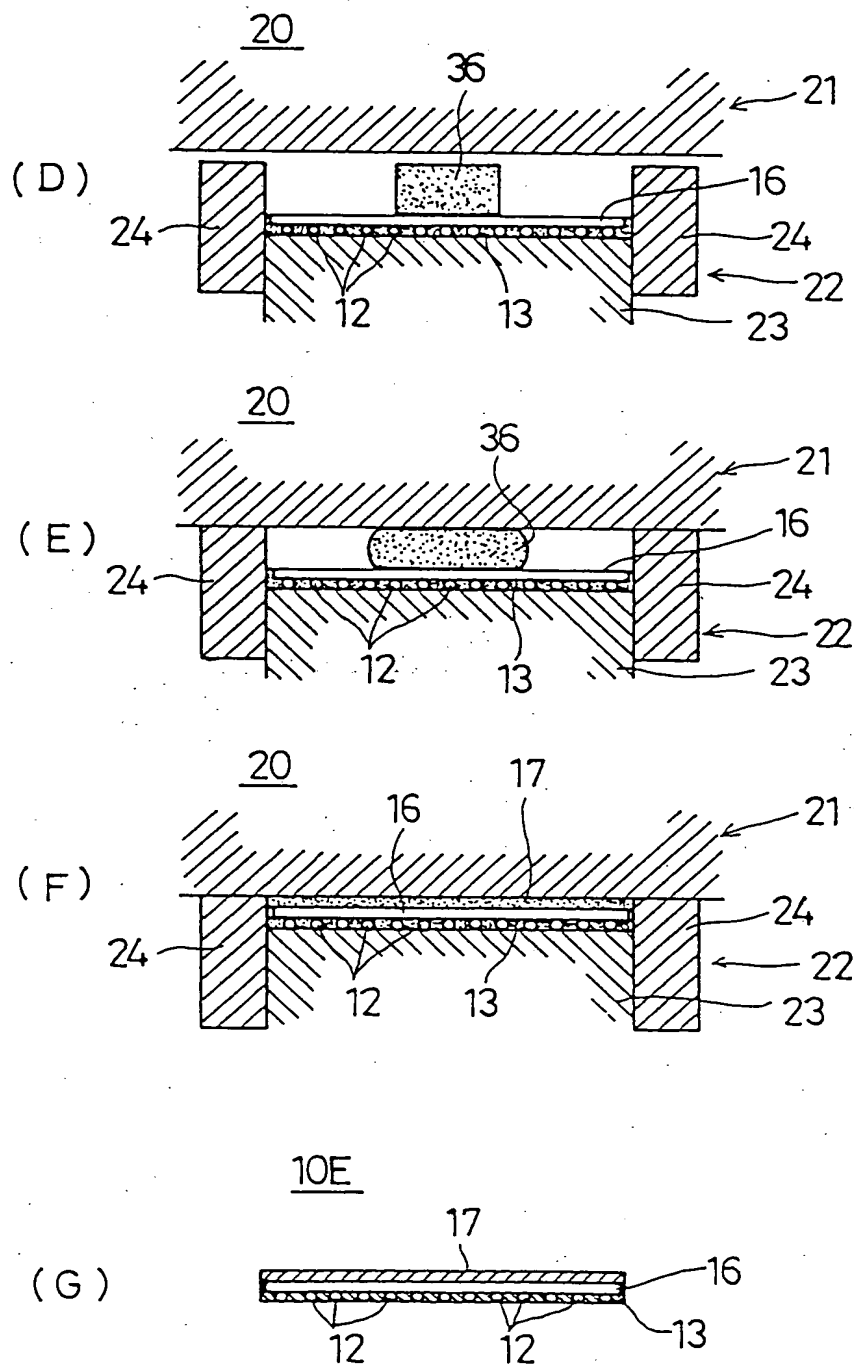


FIG. 34

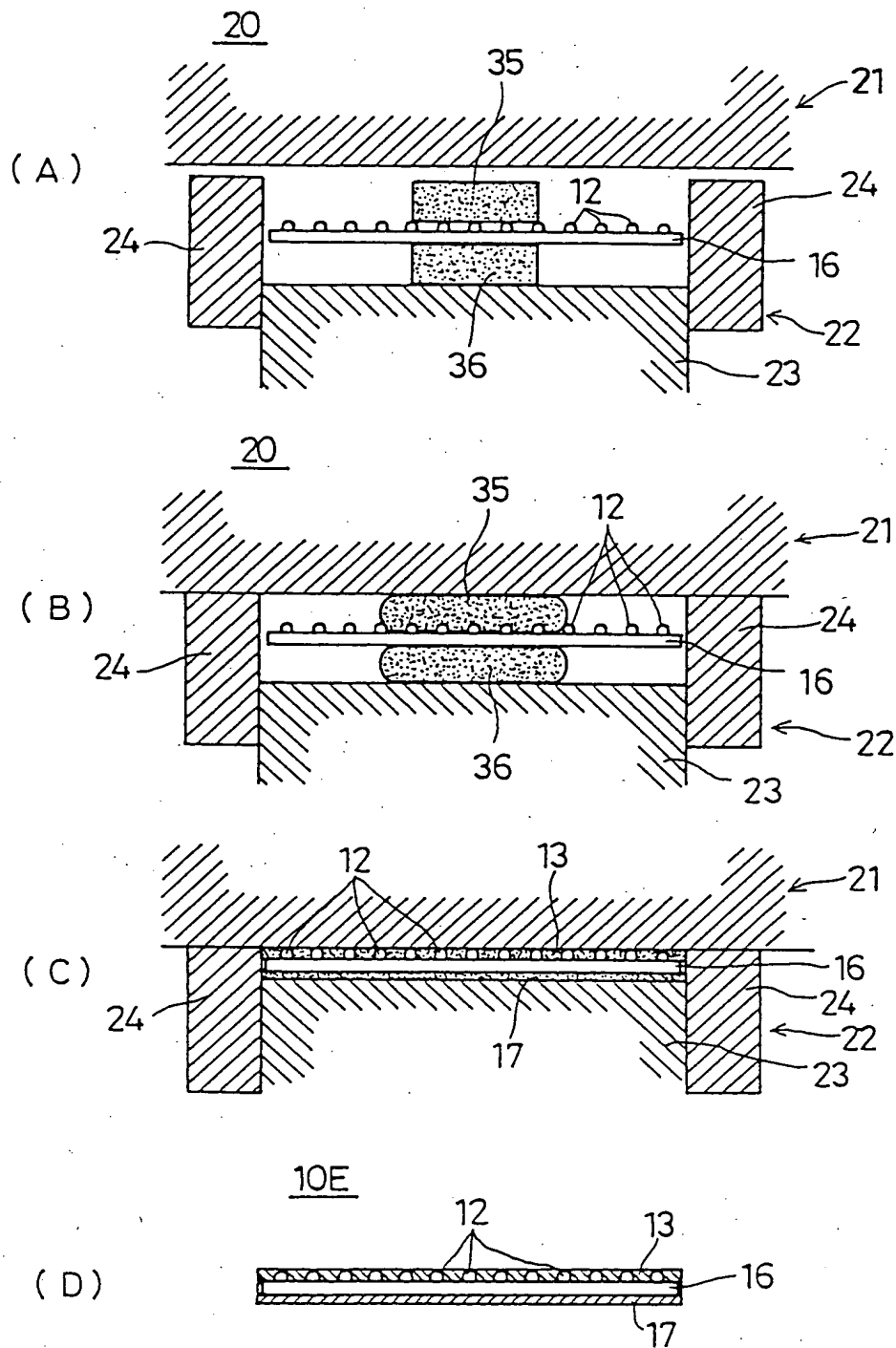


FIG. 35

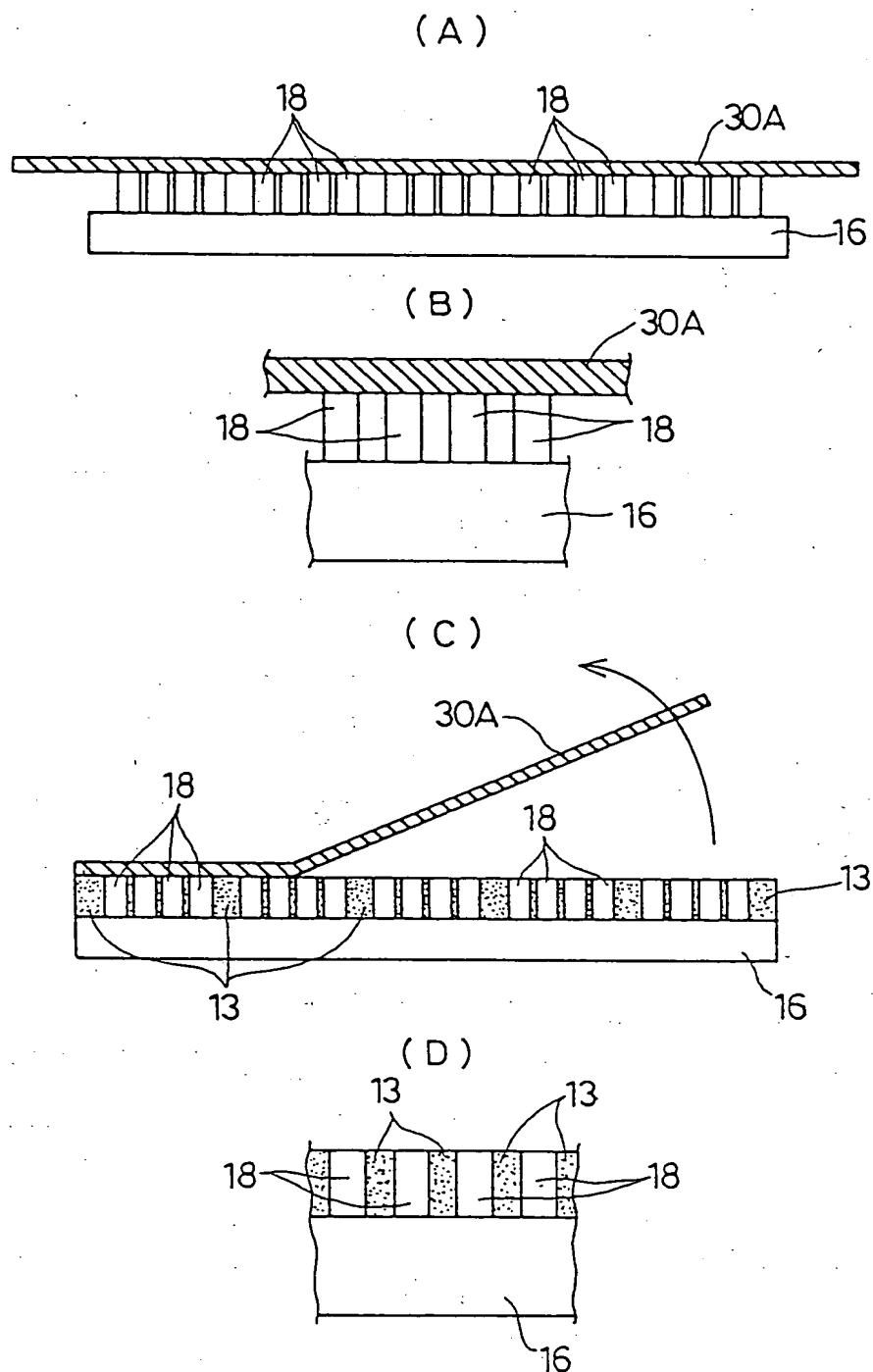


FIG. 36

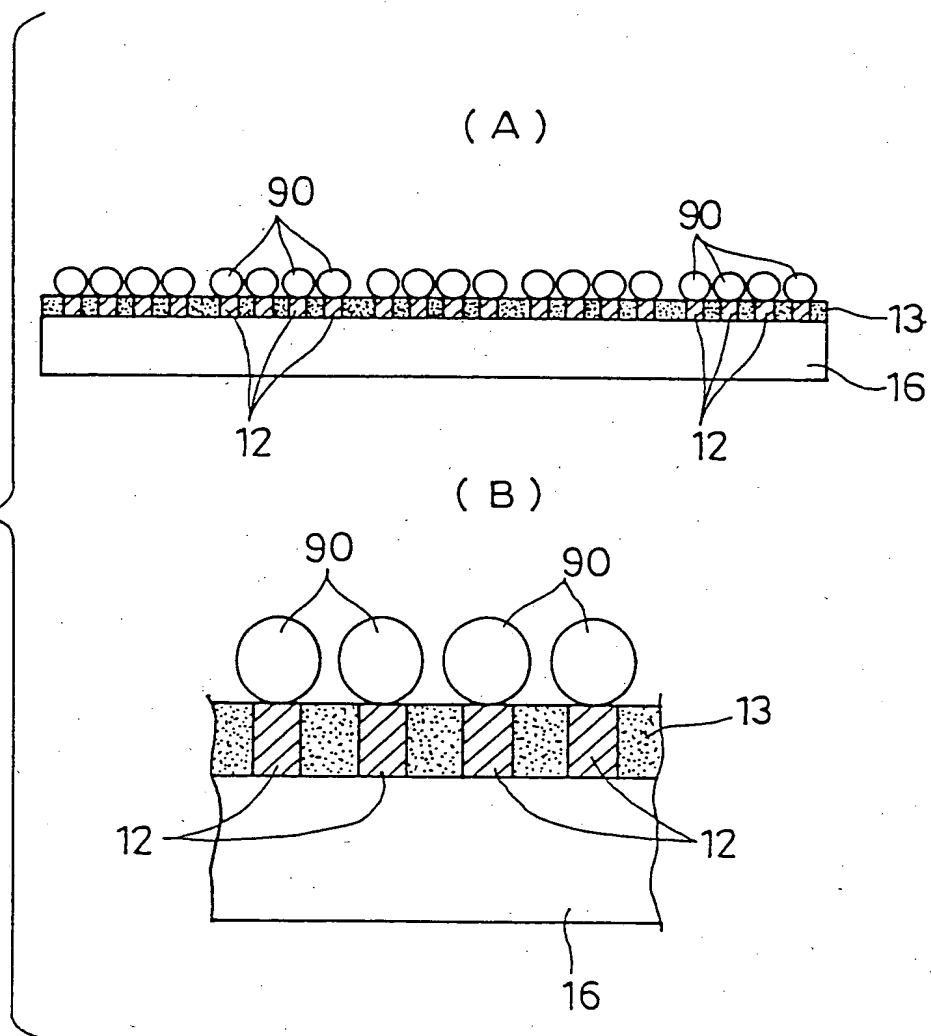


FIG. 37

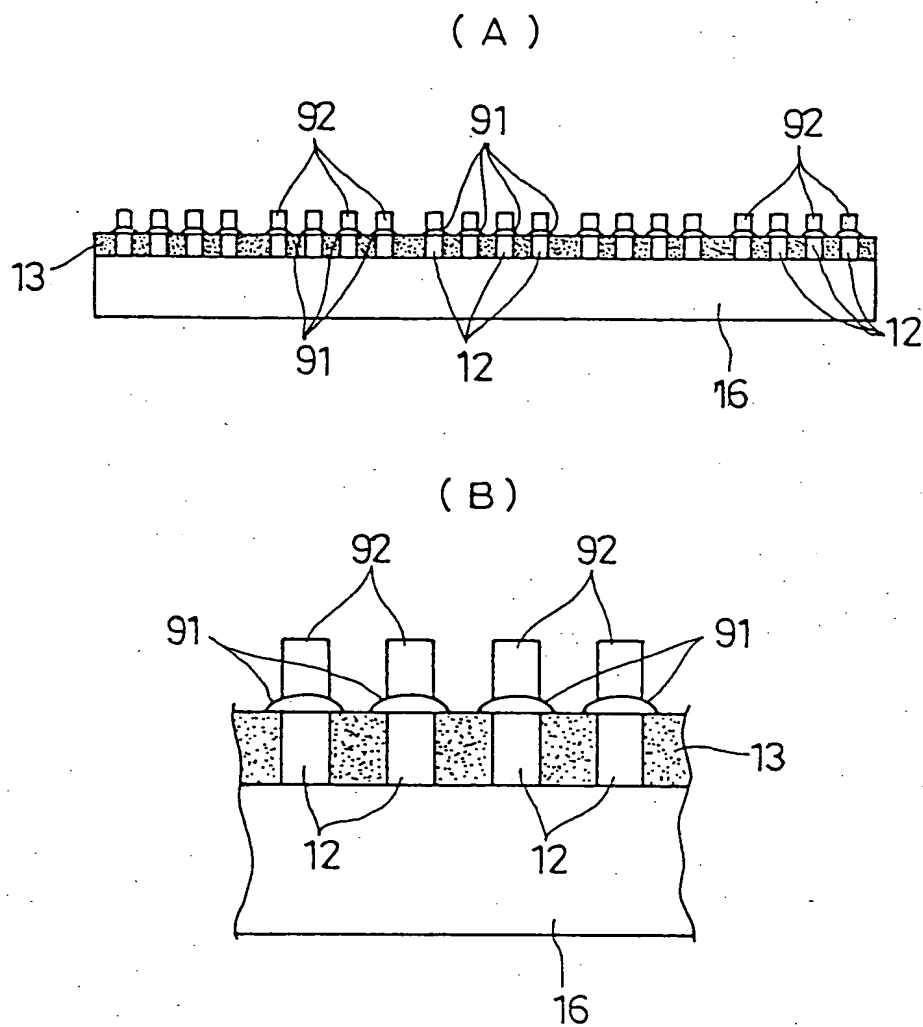


FIG. 38

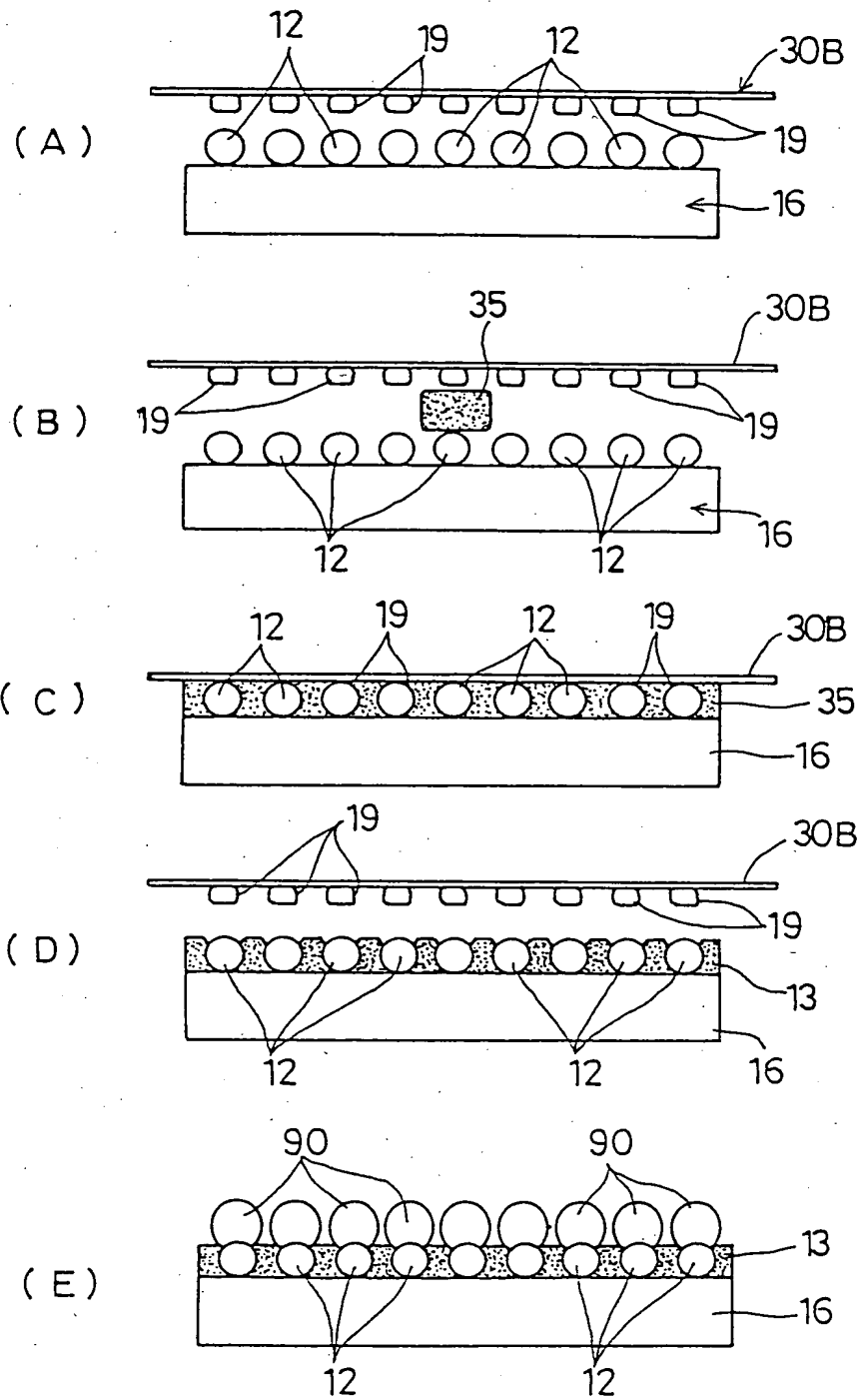


FIG. 39

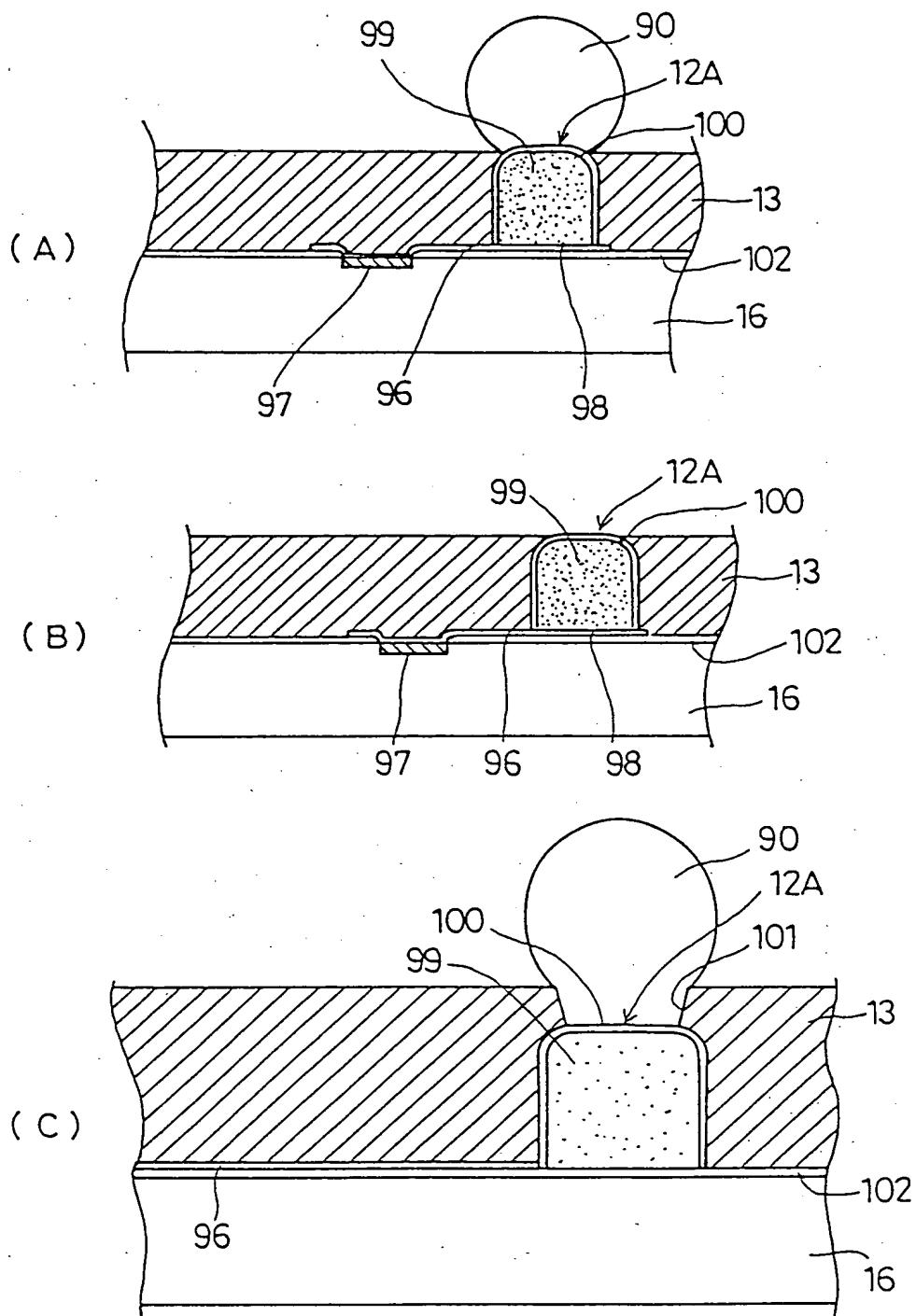


FIG. 40

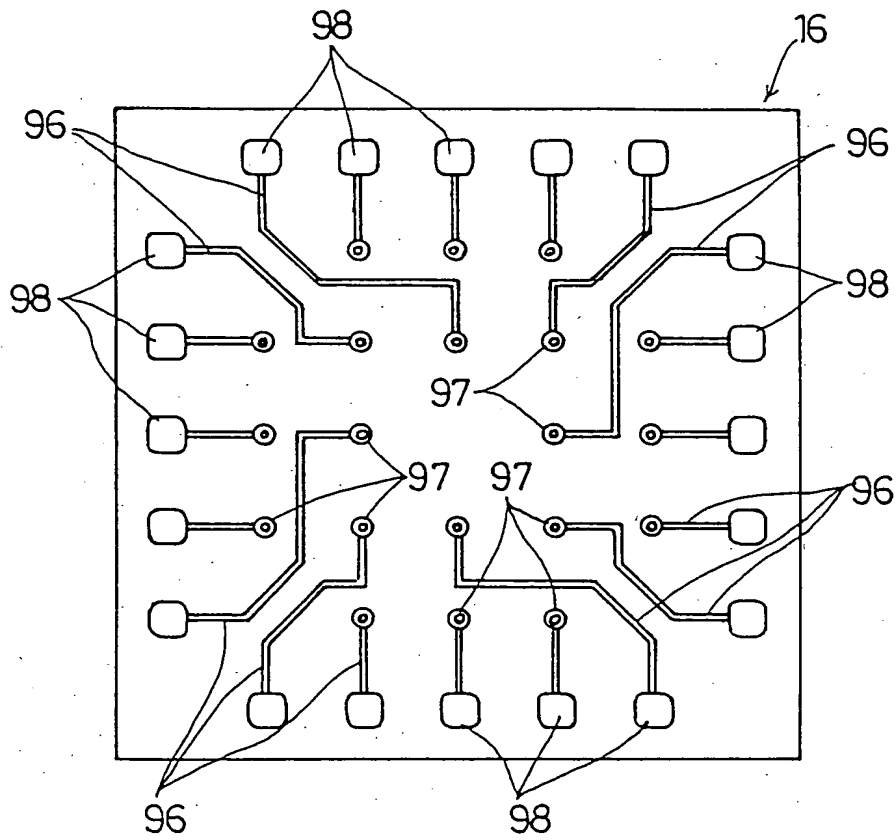


FIG. 41

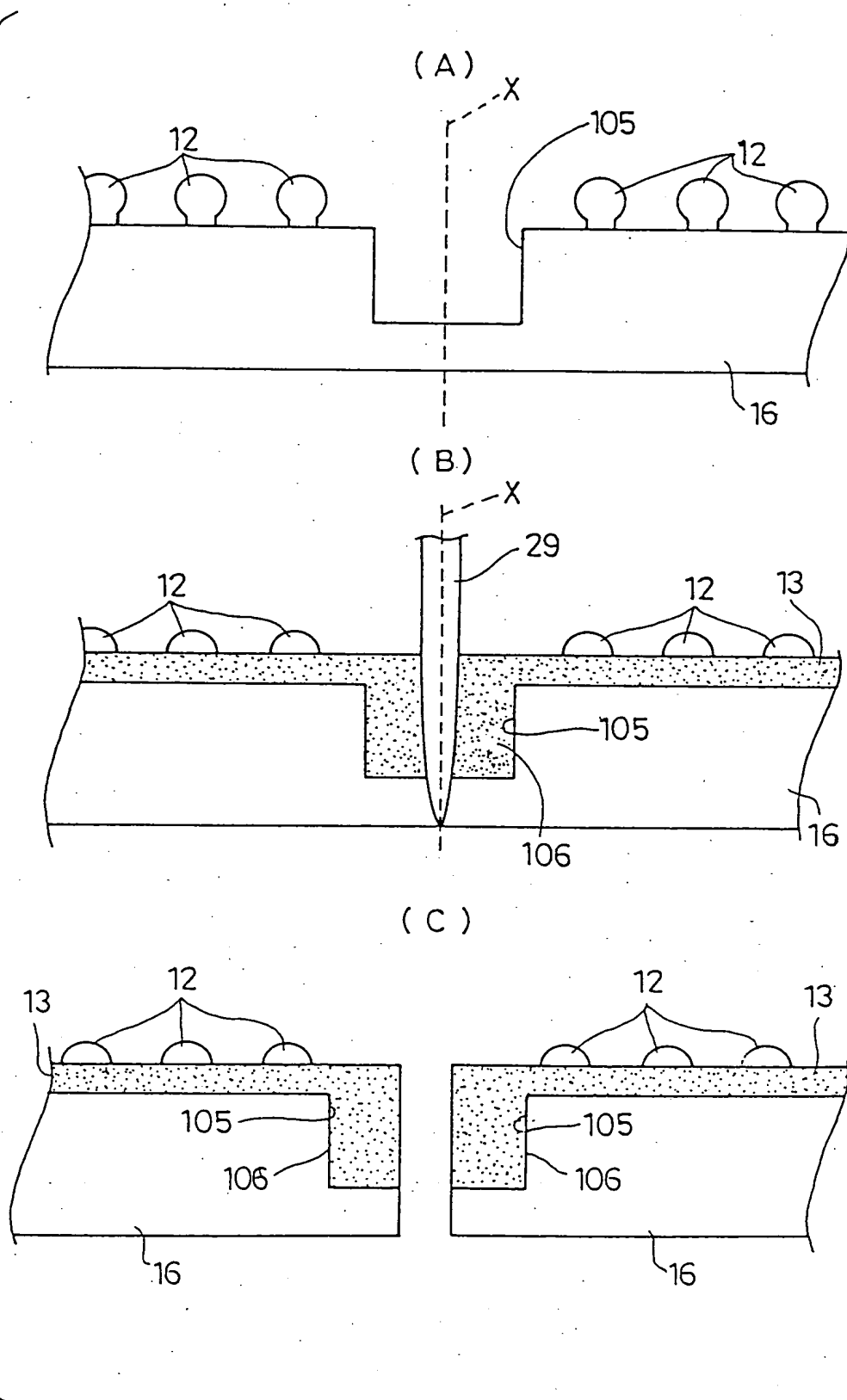


FIG. 42

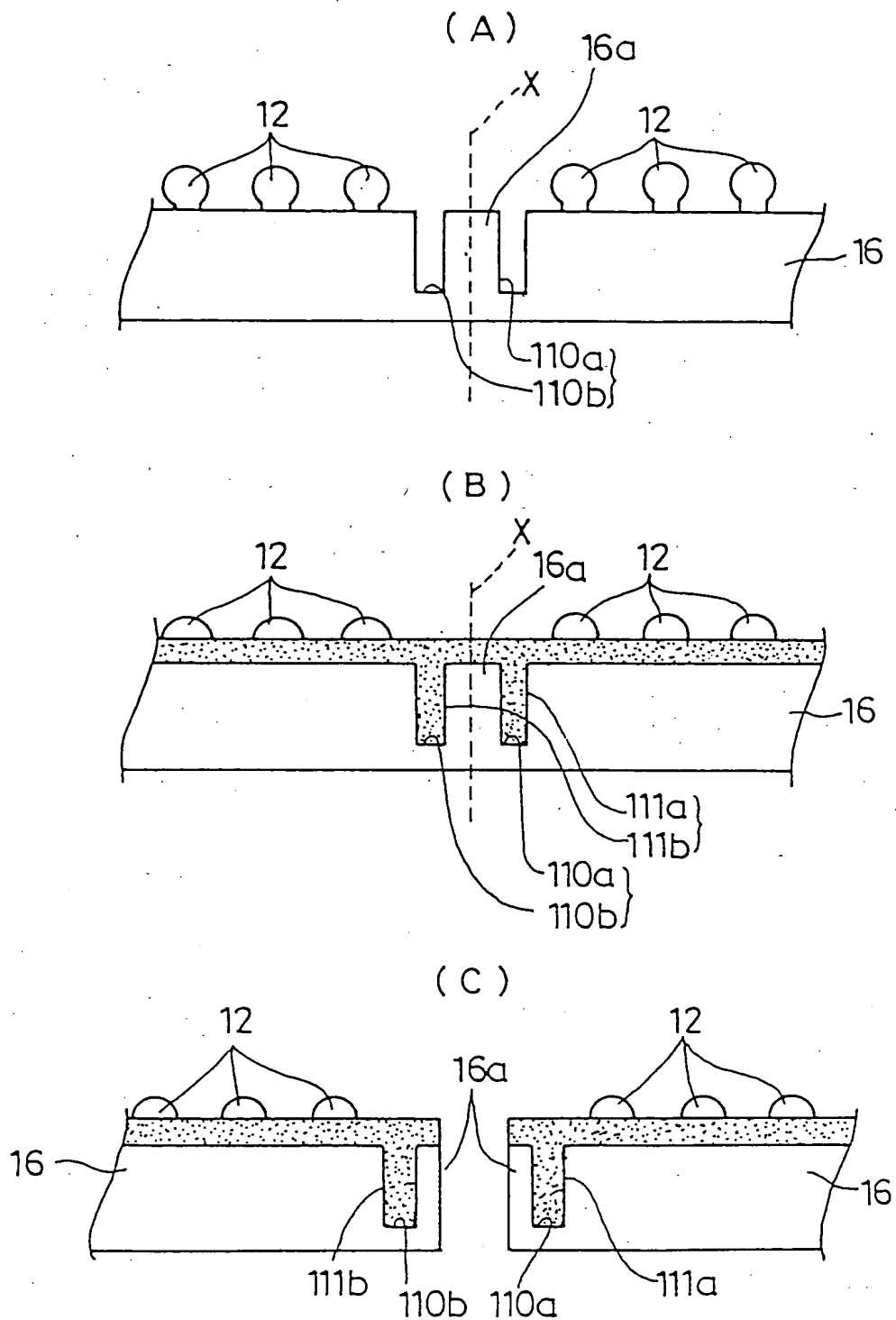


FIG. 43

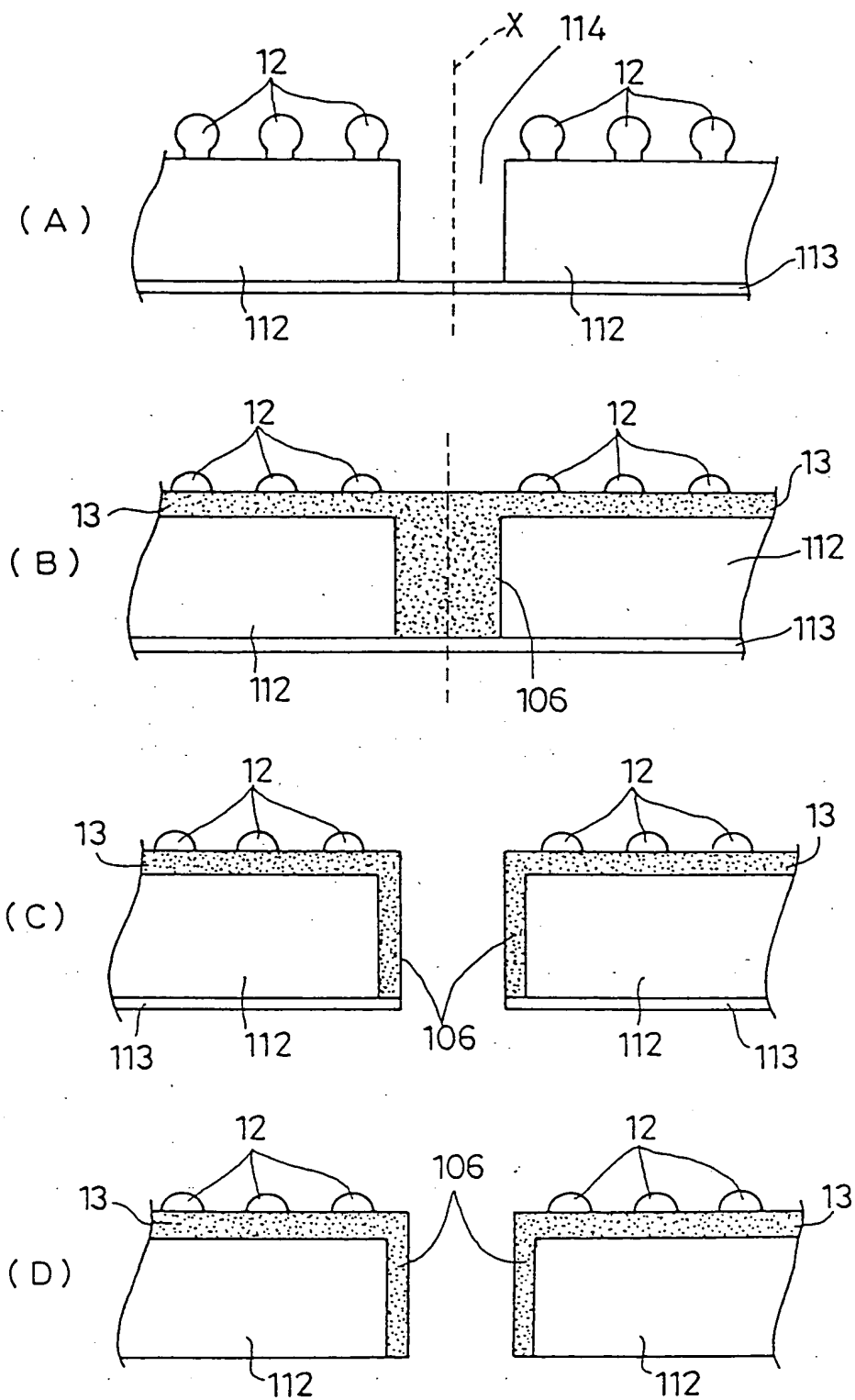


FIG. 44

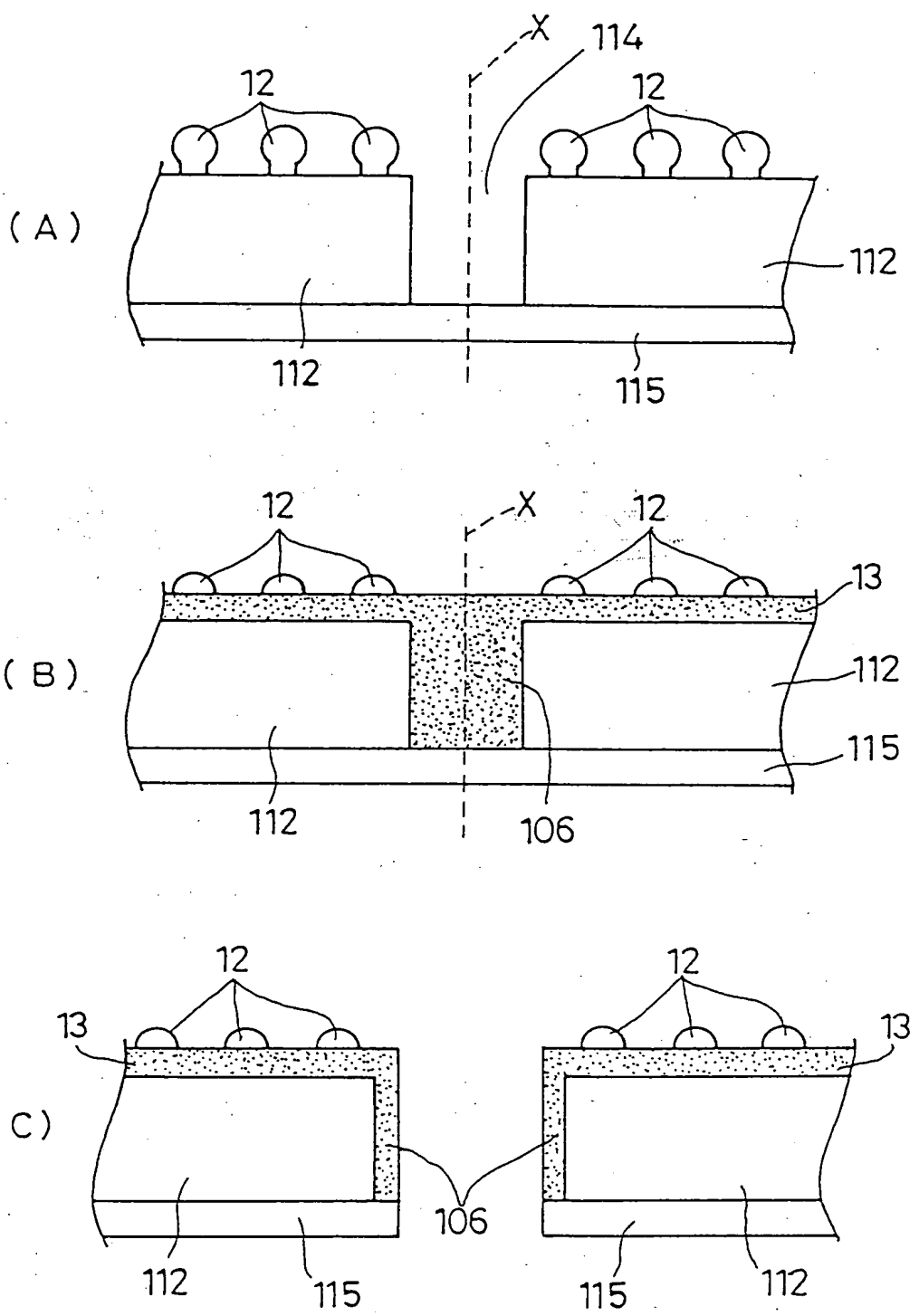


FIG. 45

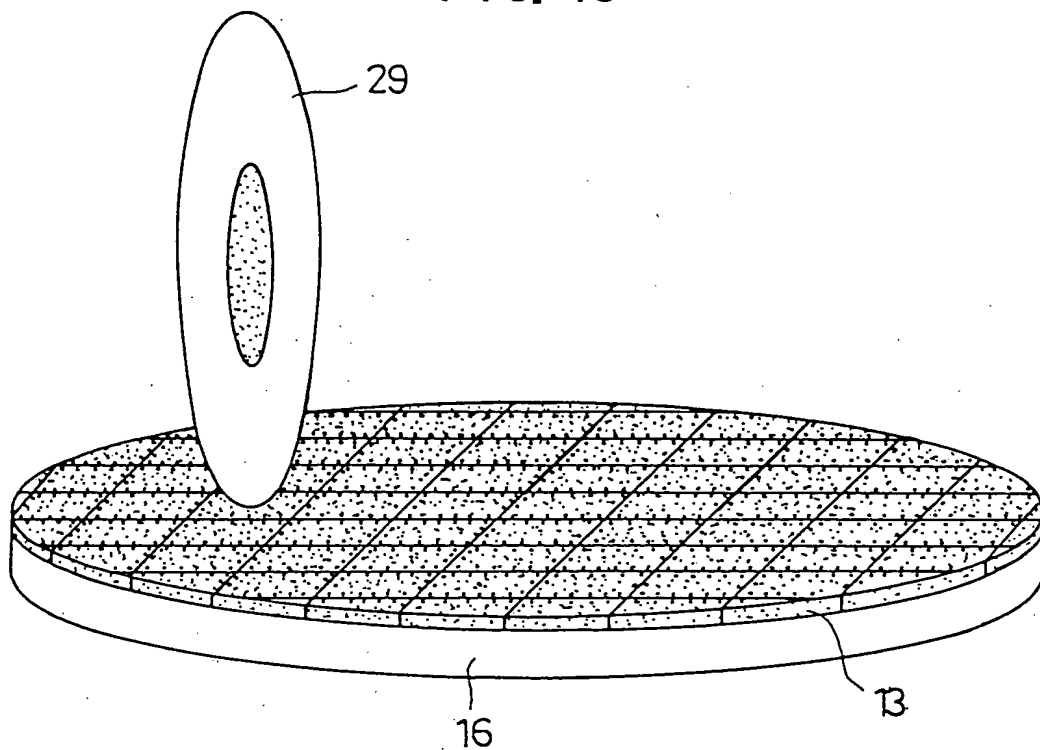


FIG. 46

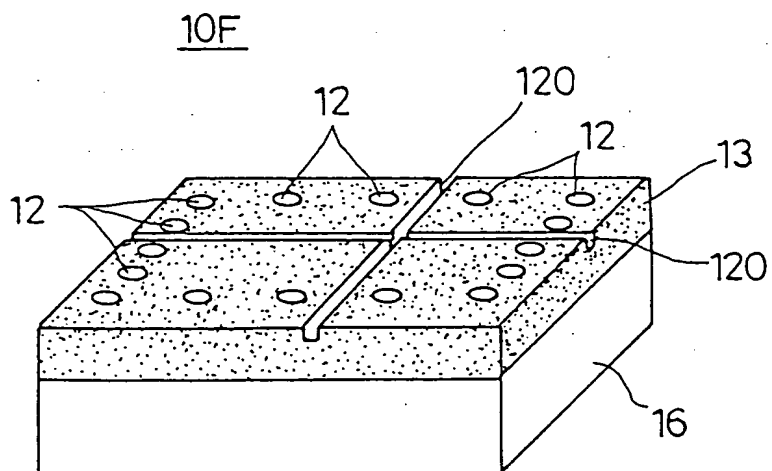


FIG. 47

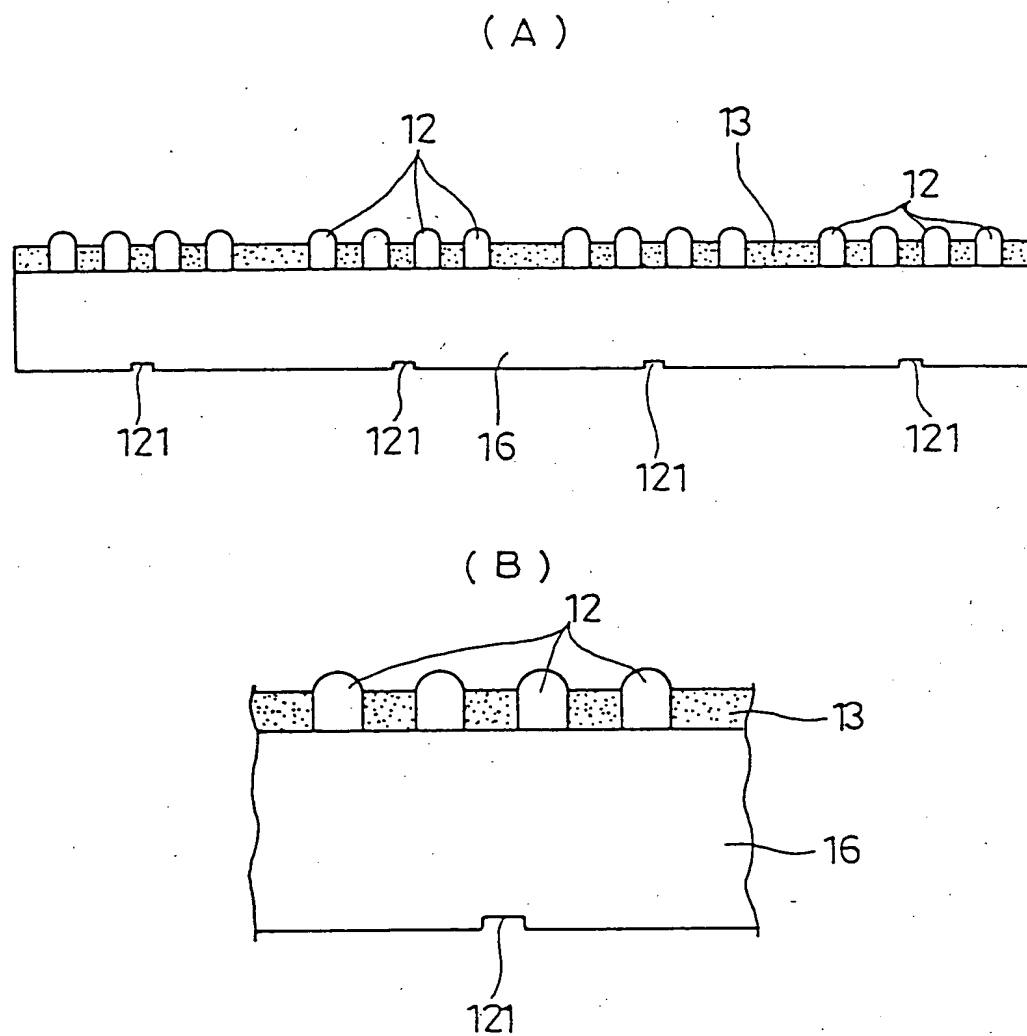


FIG. 48

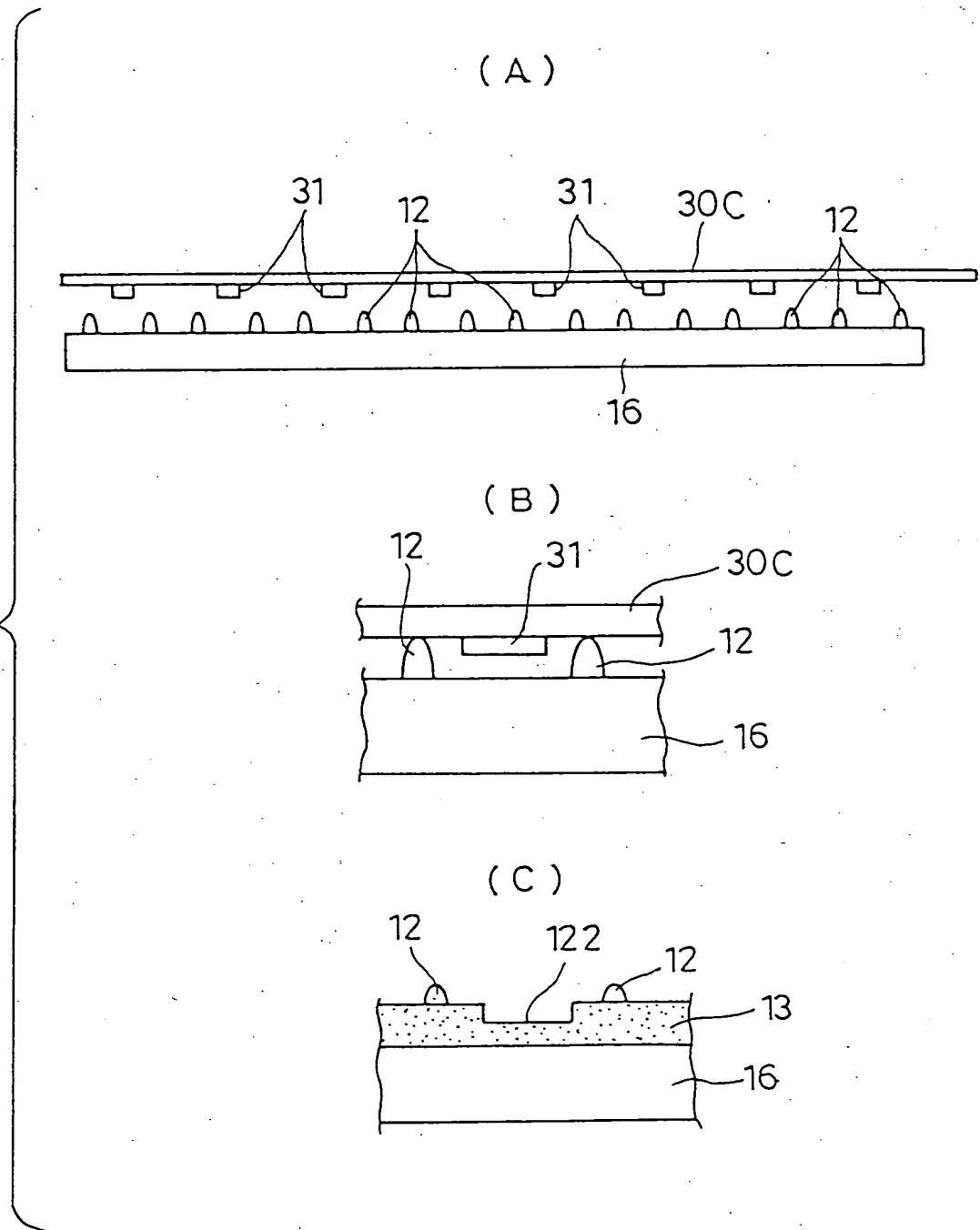


FIG. 49

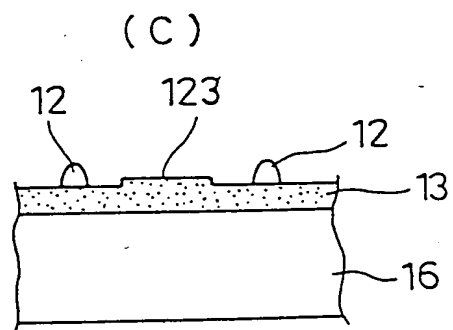
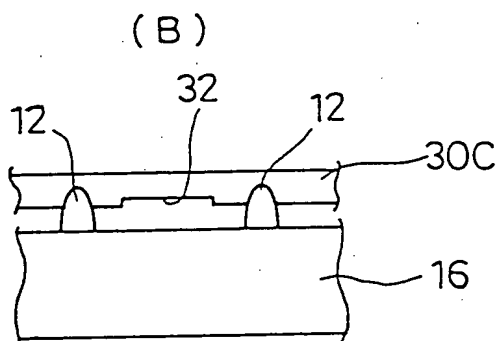
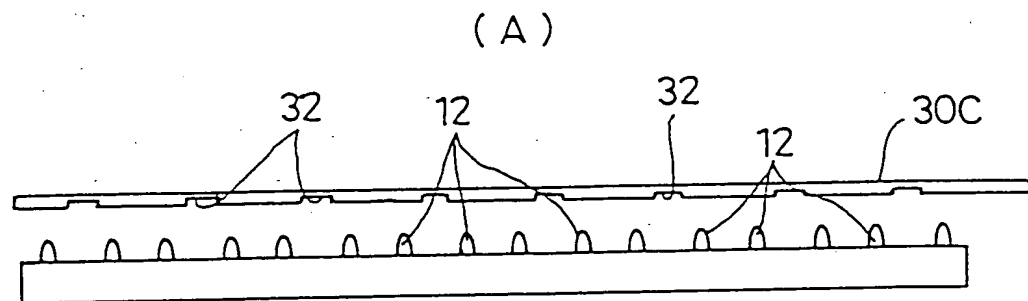
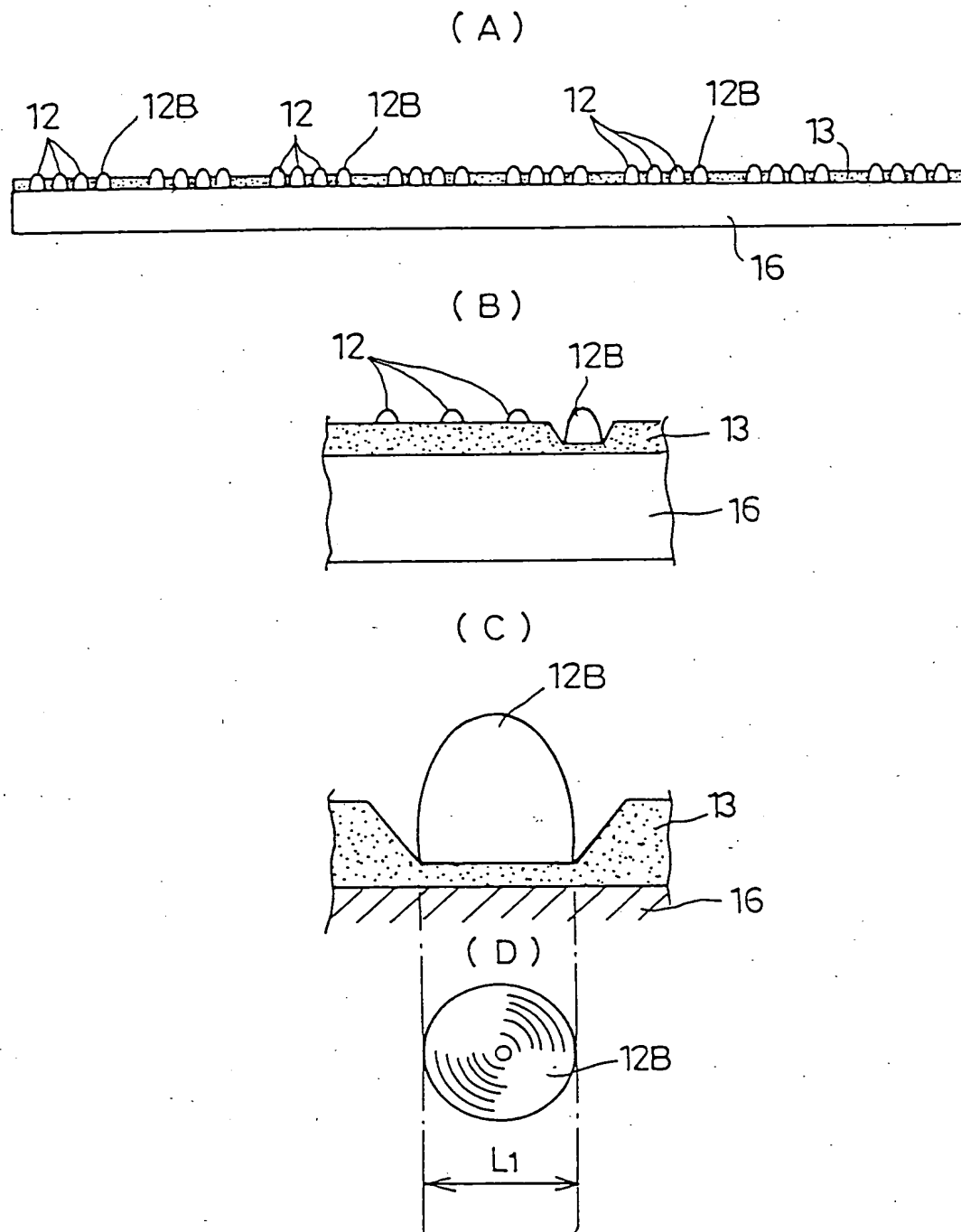


FIG. 50



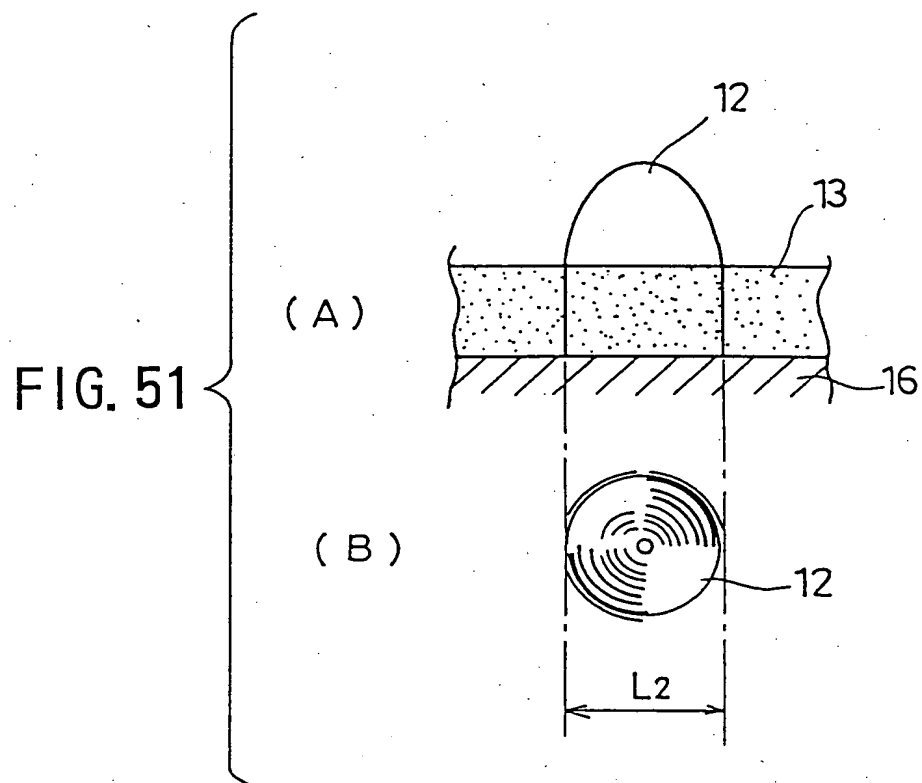


FIG. 52

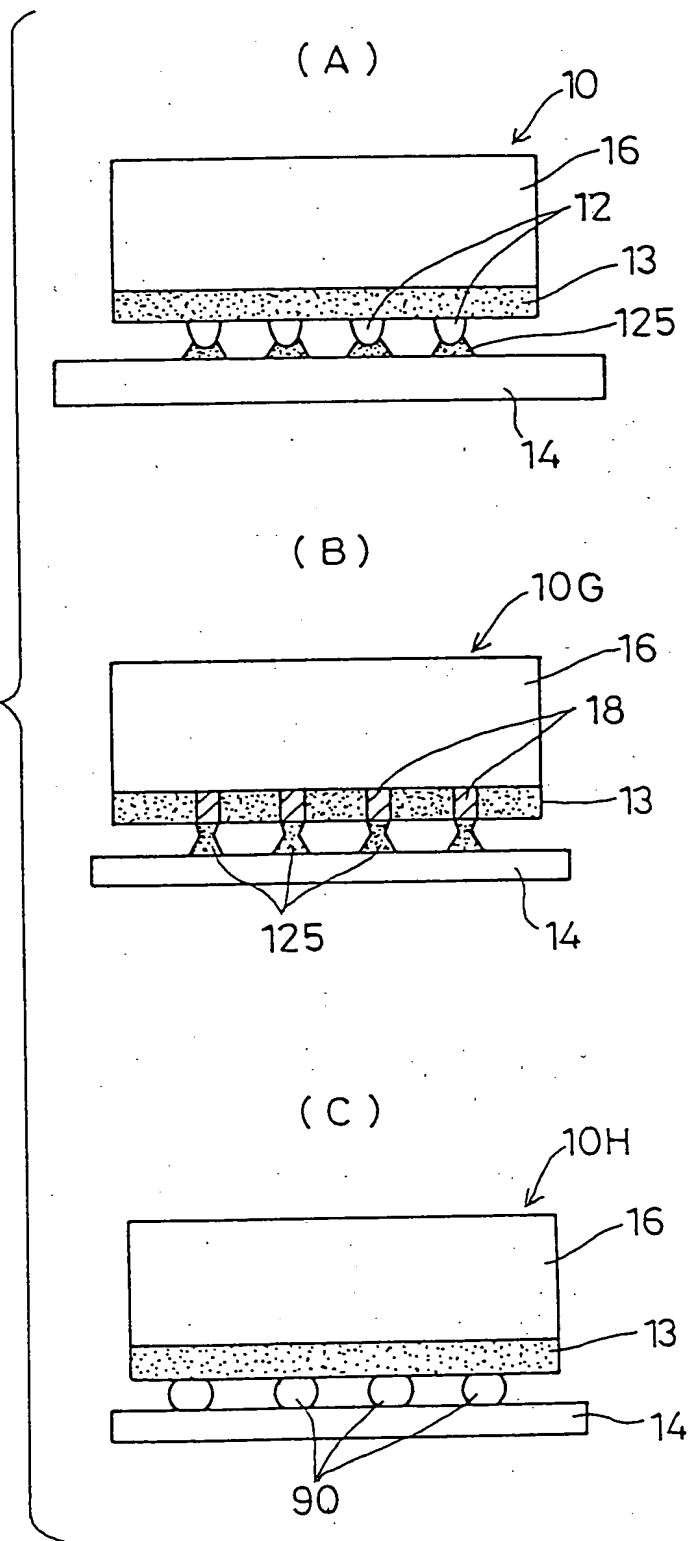


FIG. 53

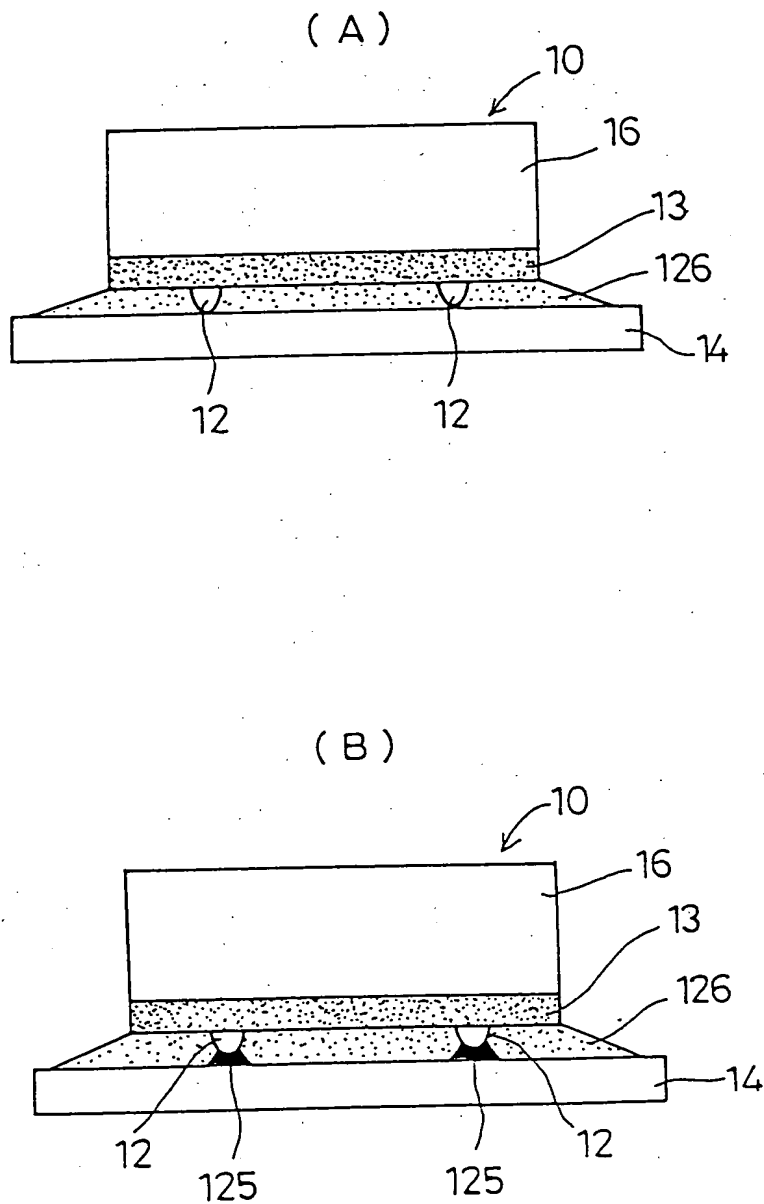


FIG. 54

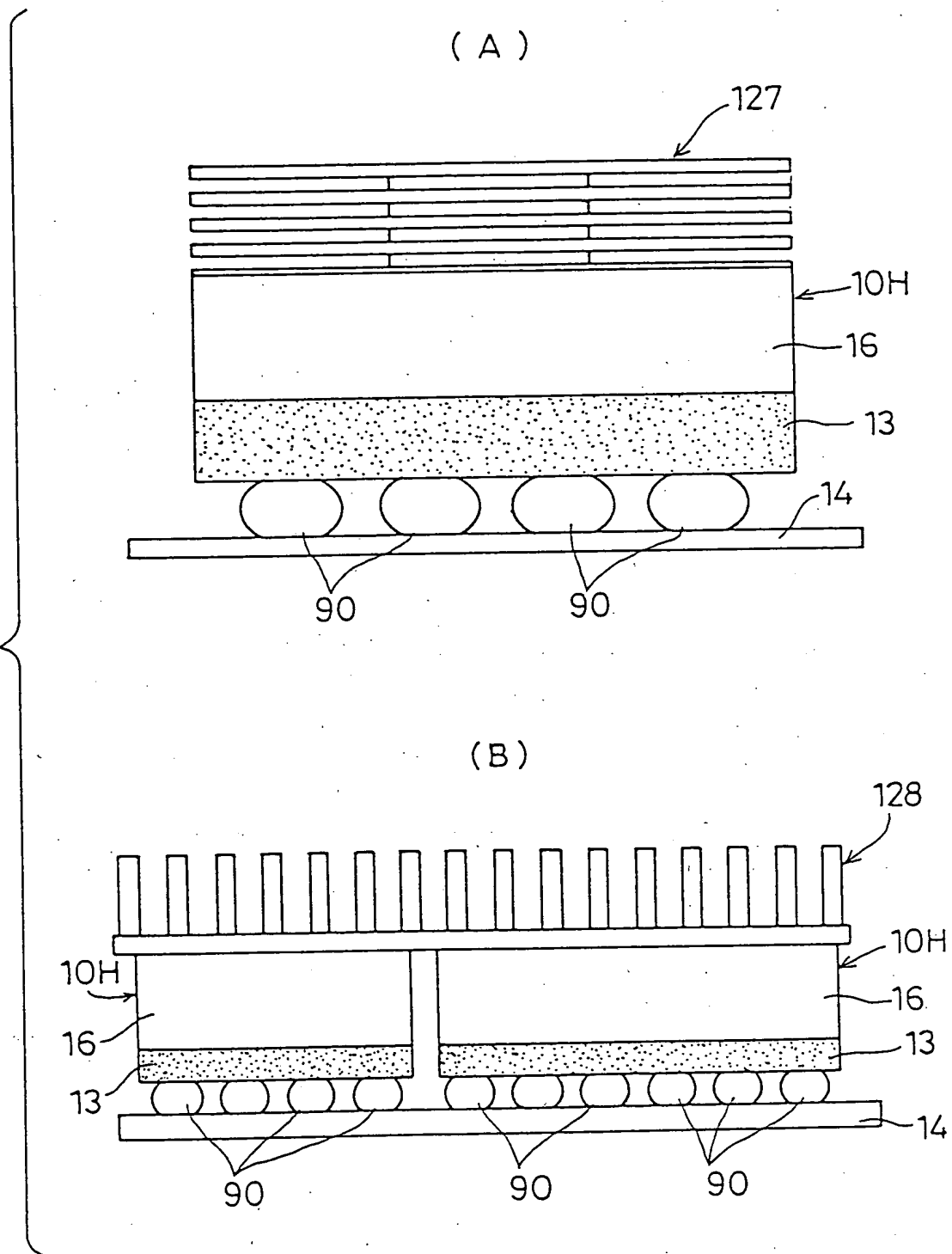


FIG. 55

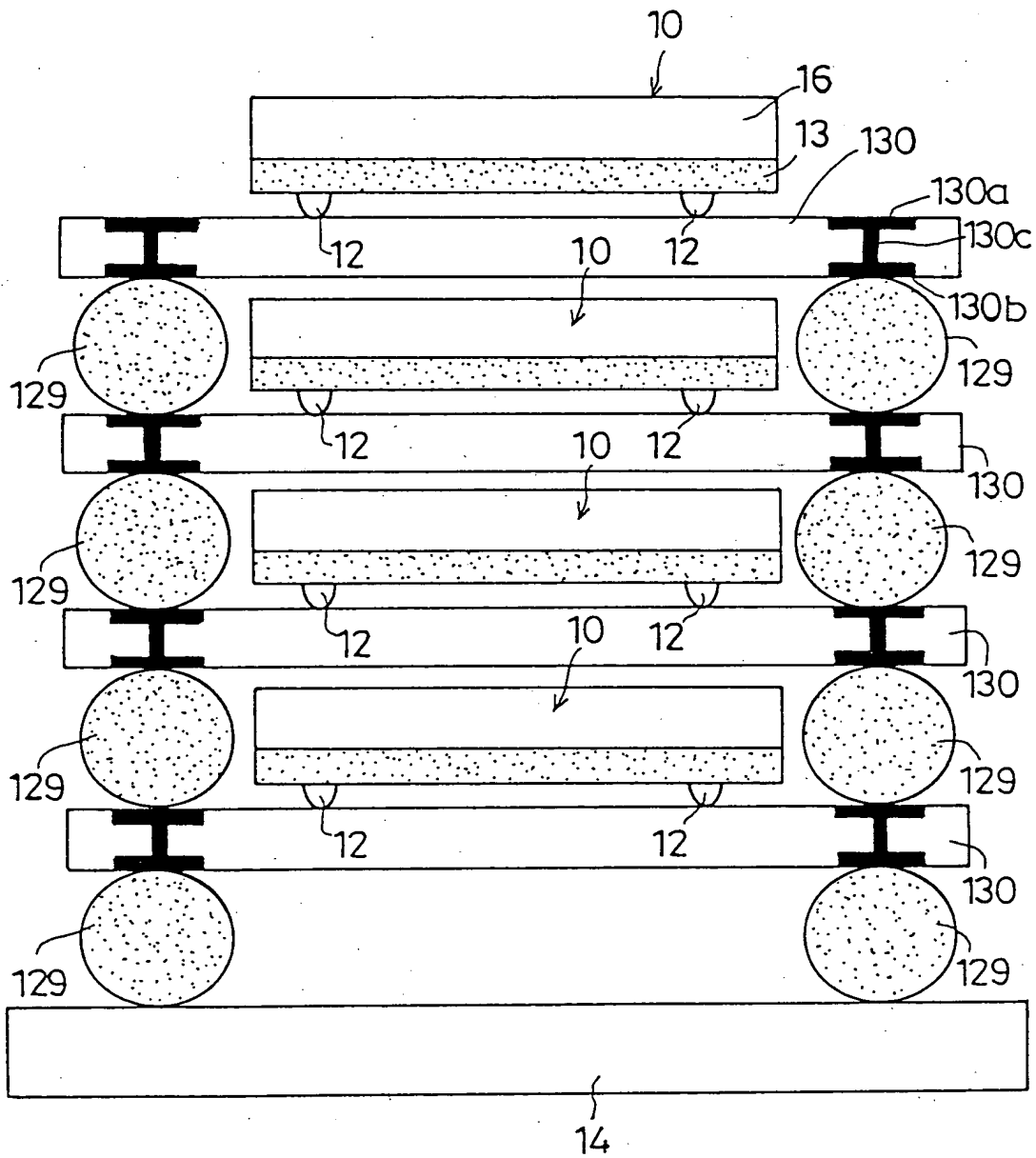


FIG. 56

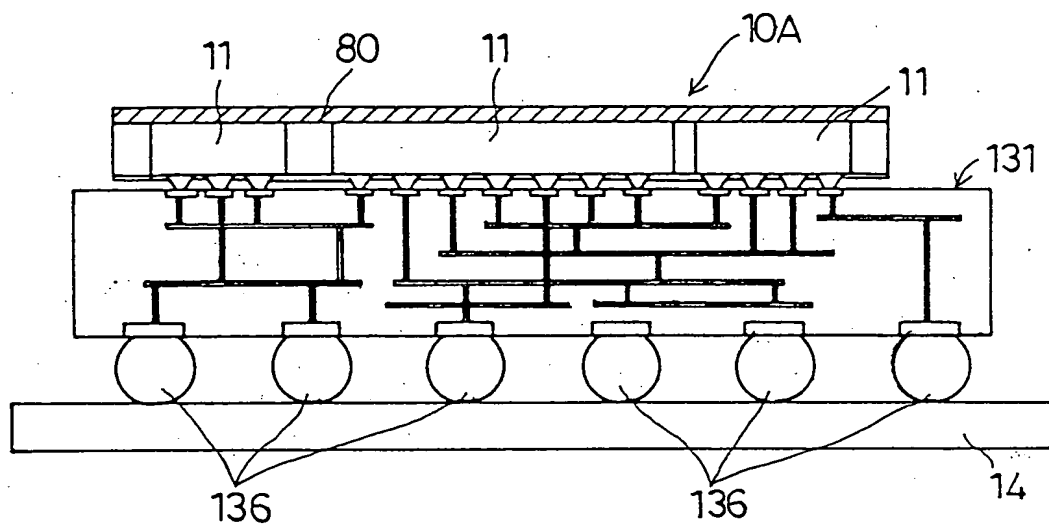


FIG. 57

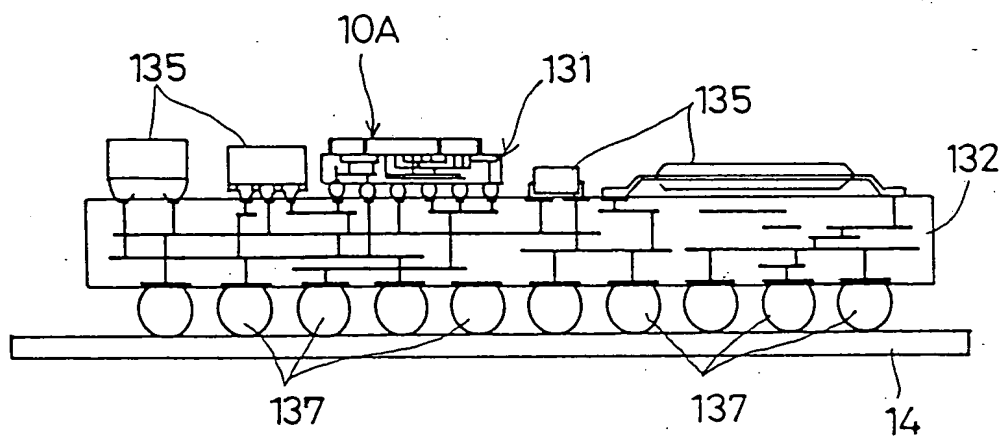


FIG. 58

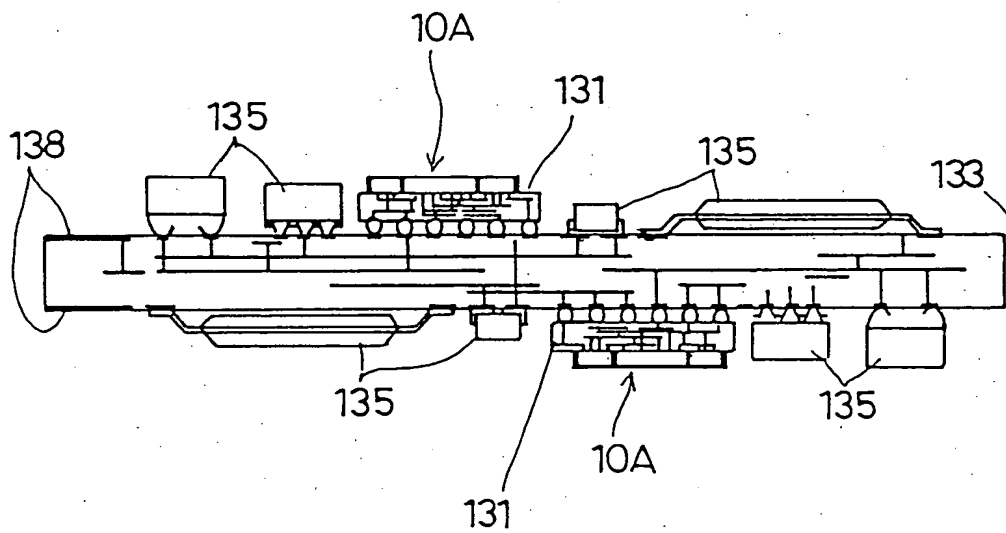


FIG. 1 is a schematic diagram of a printed circuit board 16. The board is divided into sections by dashed lines. The width of the sections is indicated as W. The board features a repeating pattern of conductive traces 96, 97, and 98, and components 140. The traces 96, 97, and 98 are interconnected in a specific pattern, and the components 140 are mounted on the board.

FIG. 60

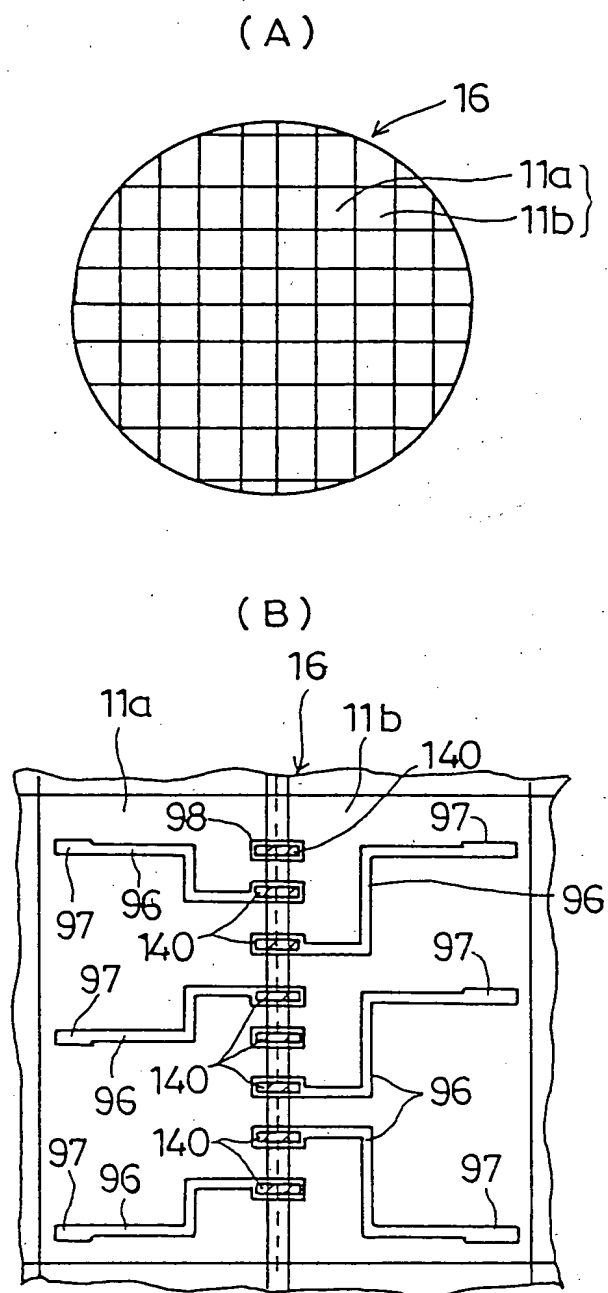


FIG. 61

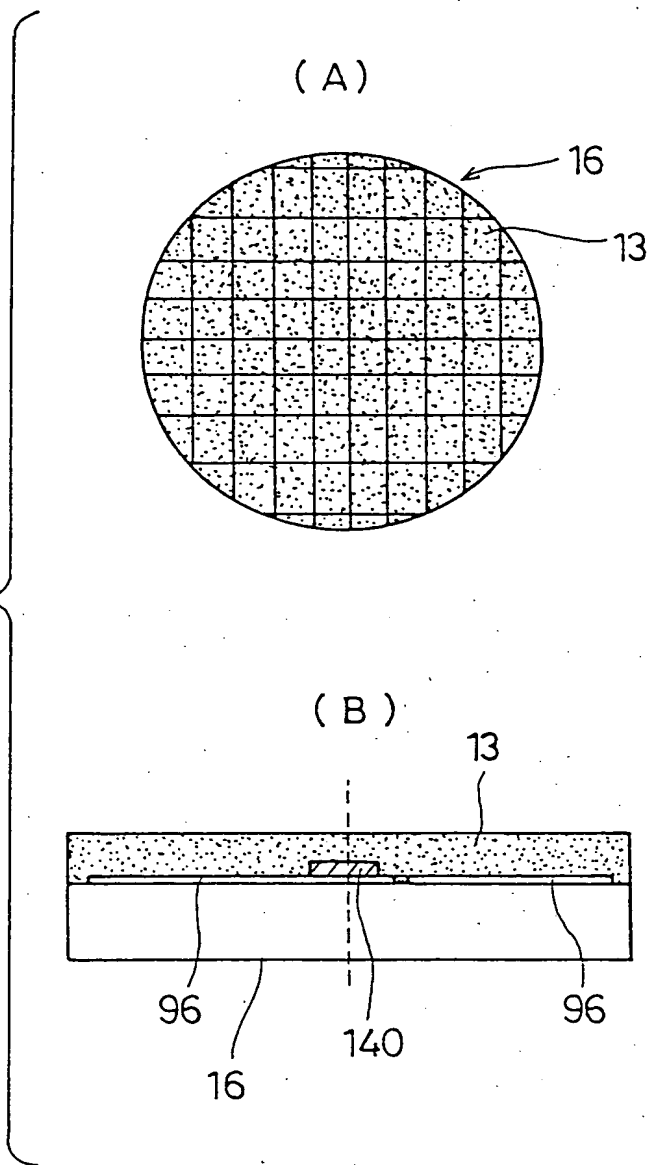


FIG. 62,

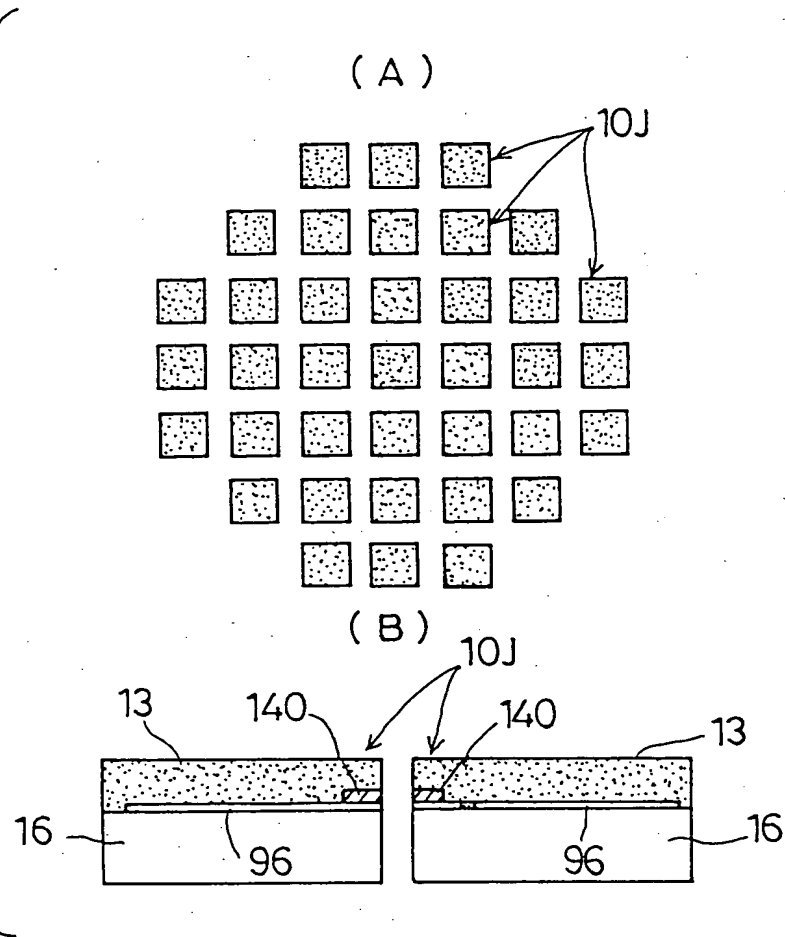


FIG. 63

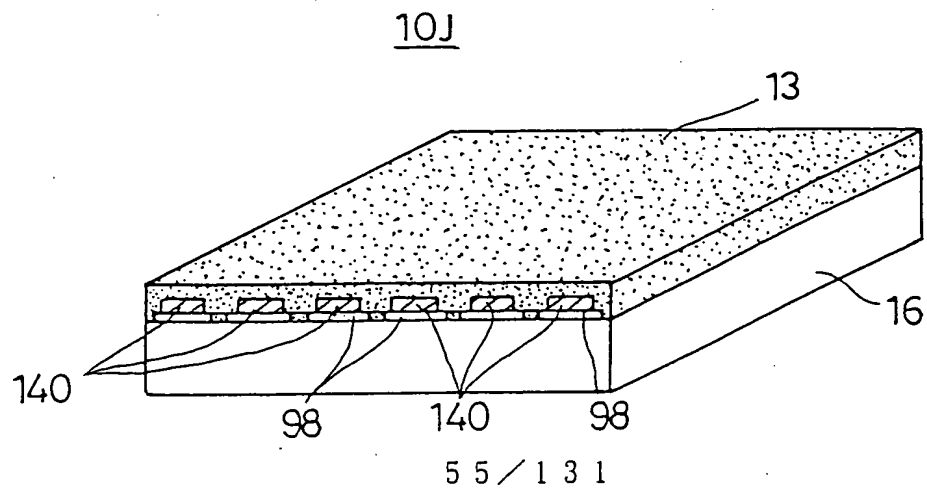


FIG. 64

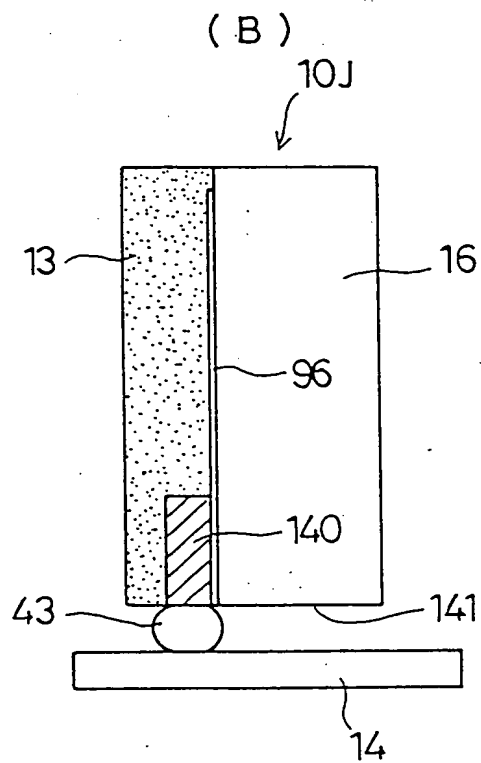
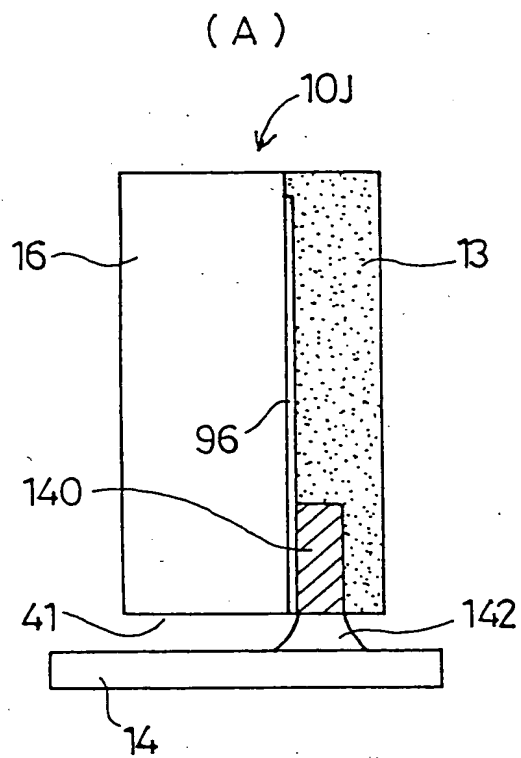


FIG. 65

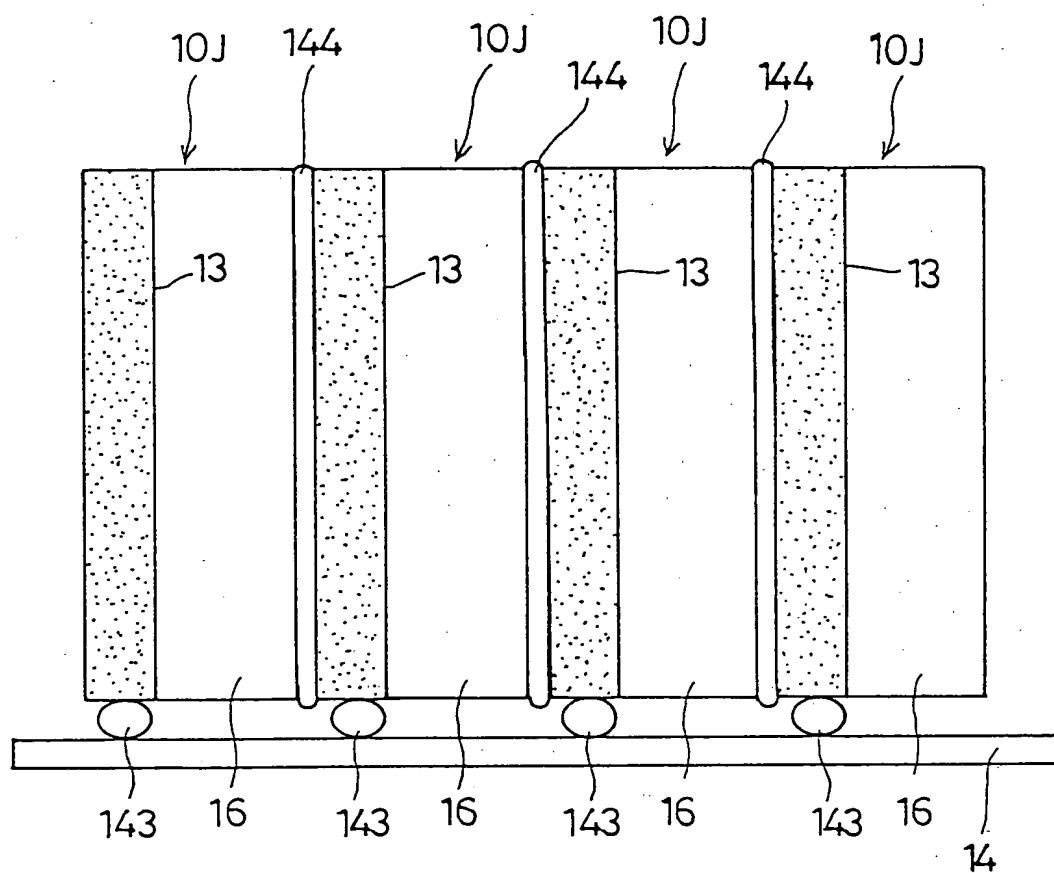


FIG. 66

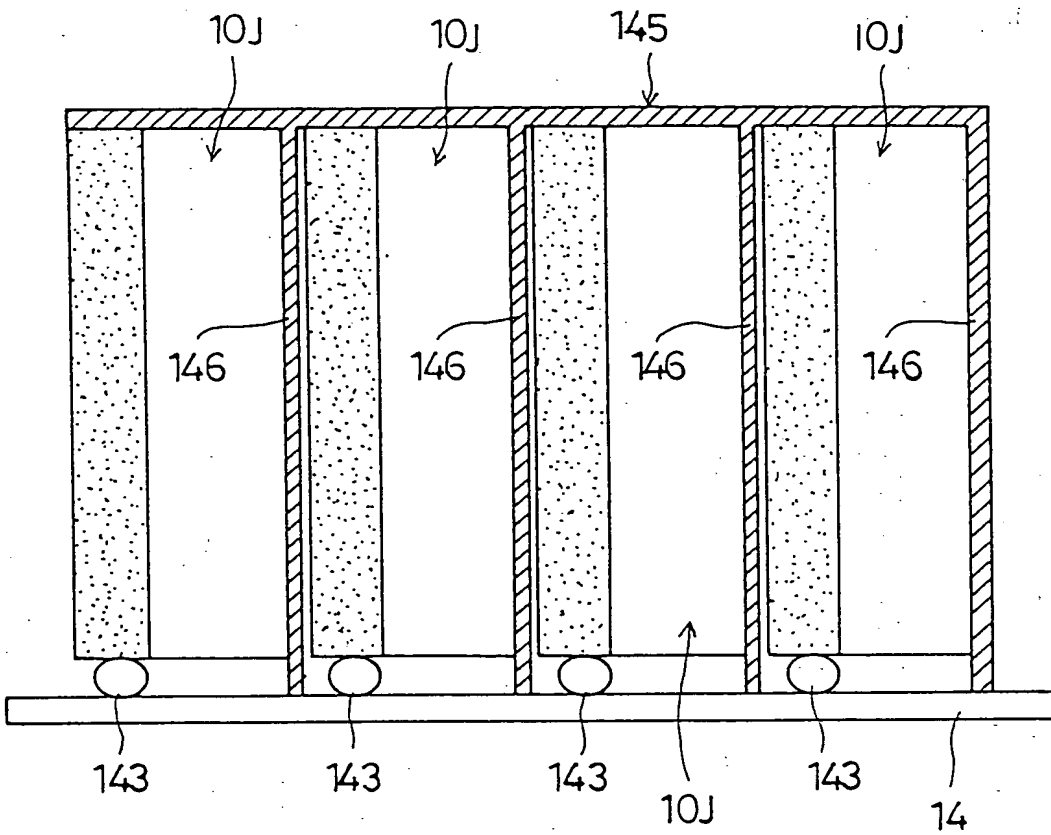


FIG. 67

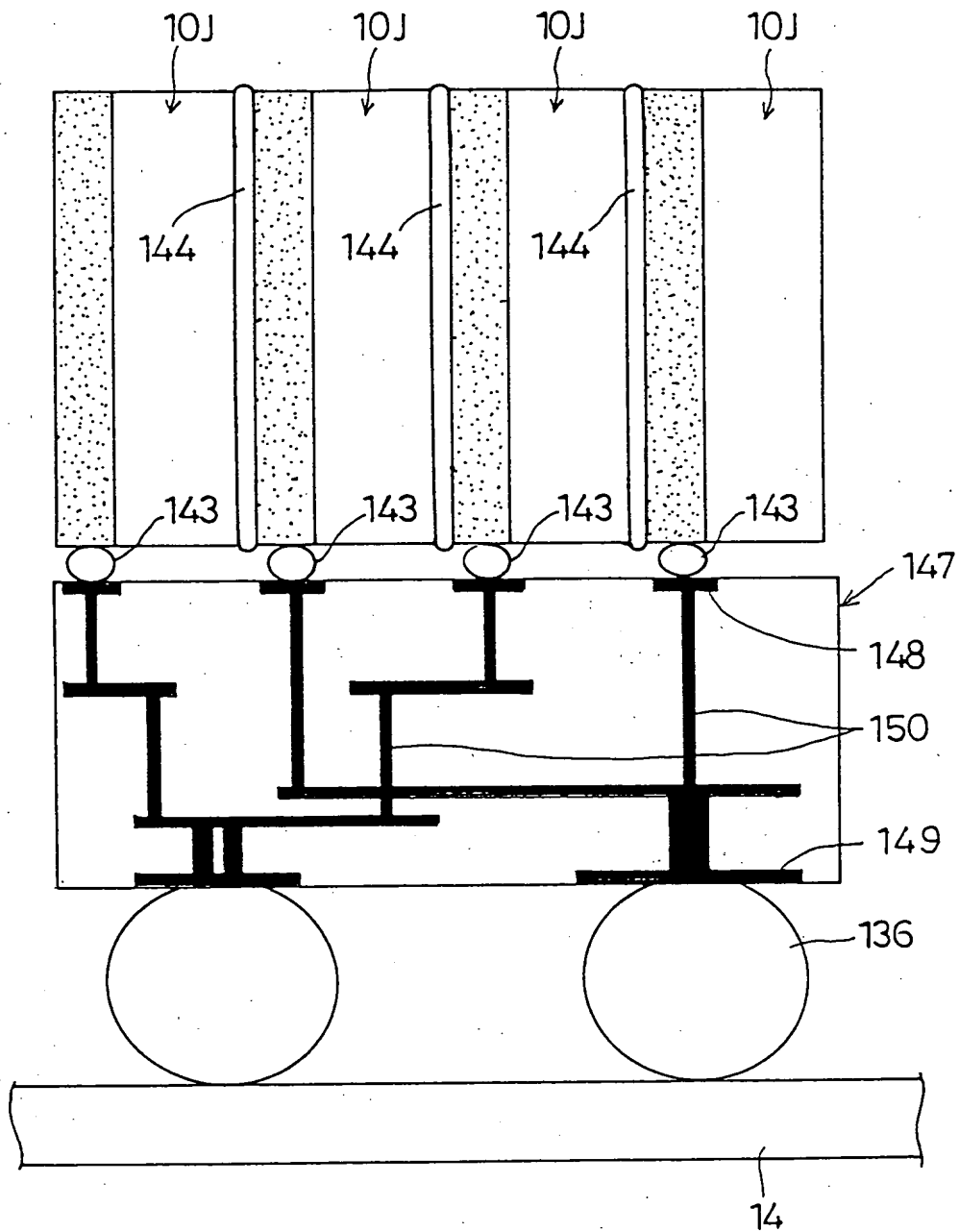


FIG. 68

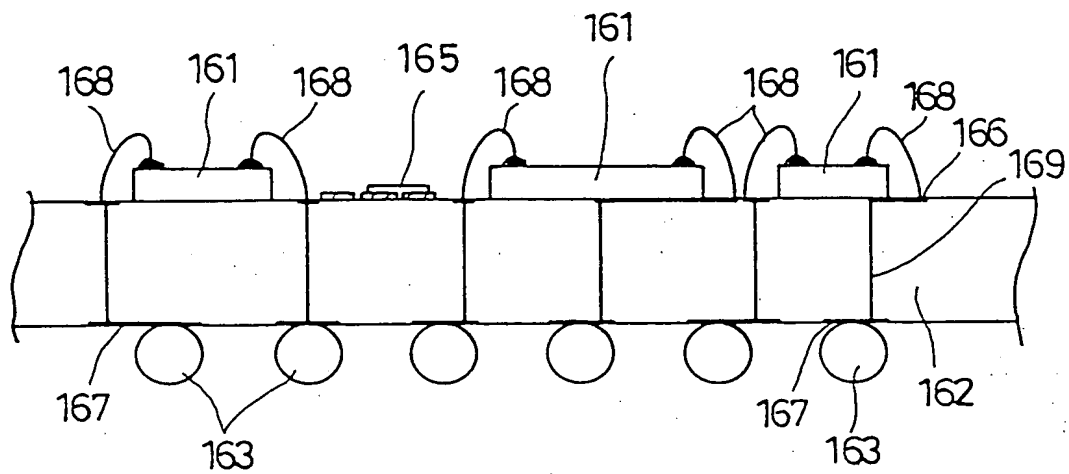


FIG. 69

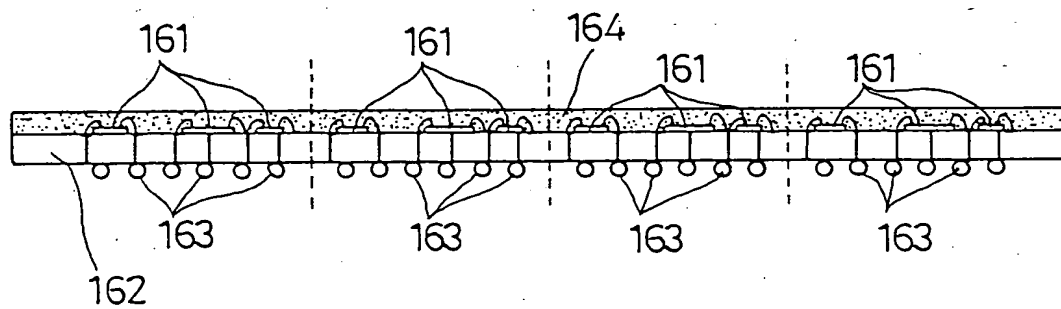


FIG. 70

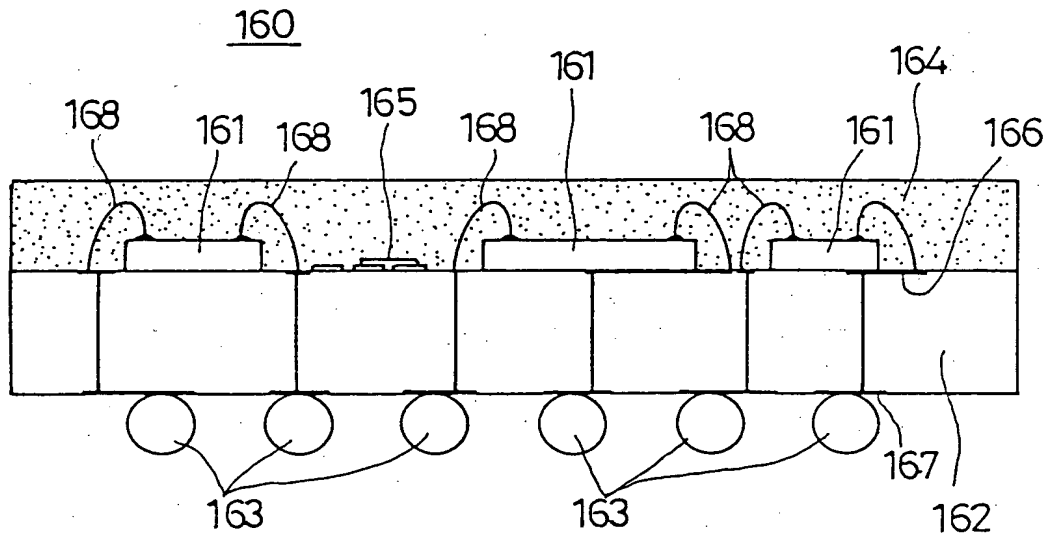


FIG. 71

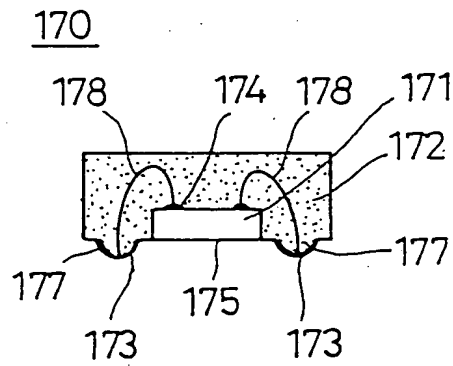


FIG. 72

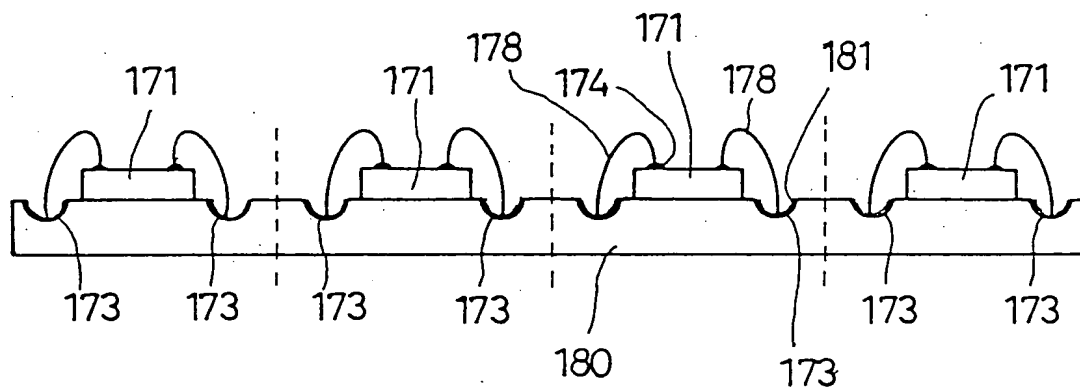


FIG. 73

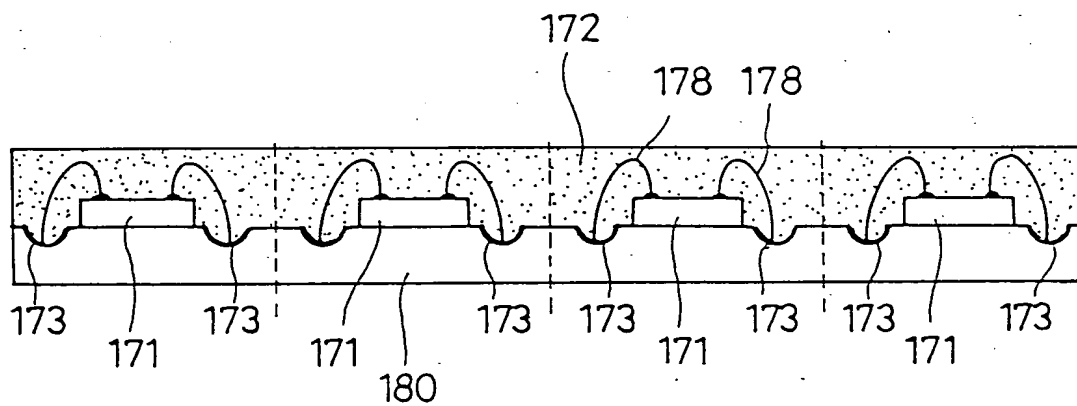


FIG. 74

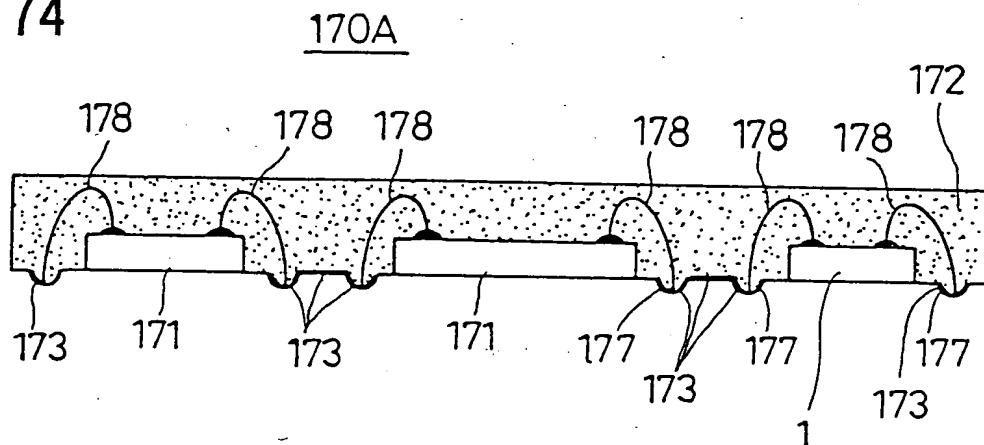


FIG. 75

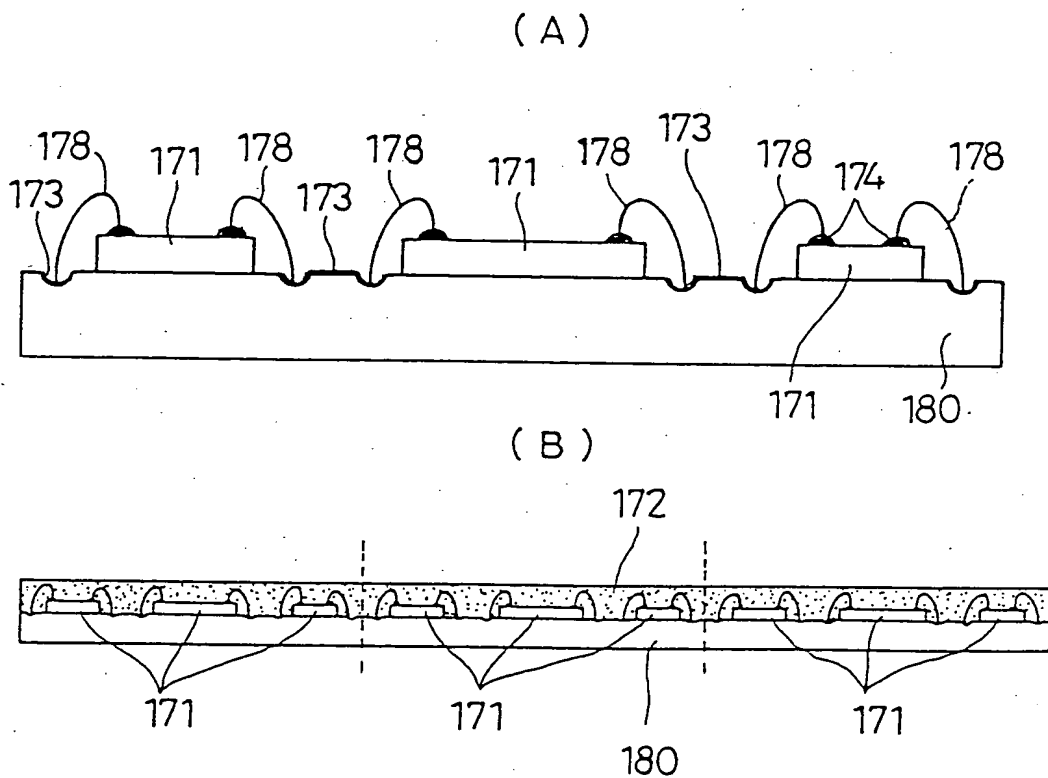


FIG. 76

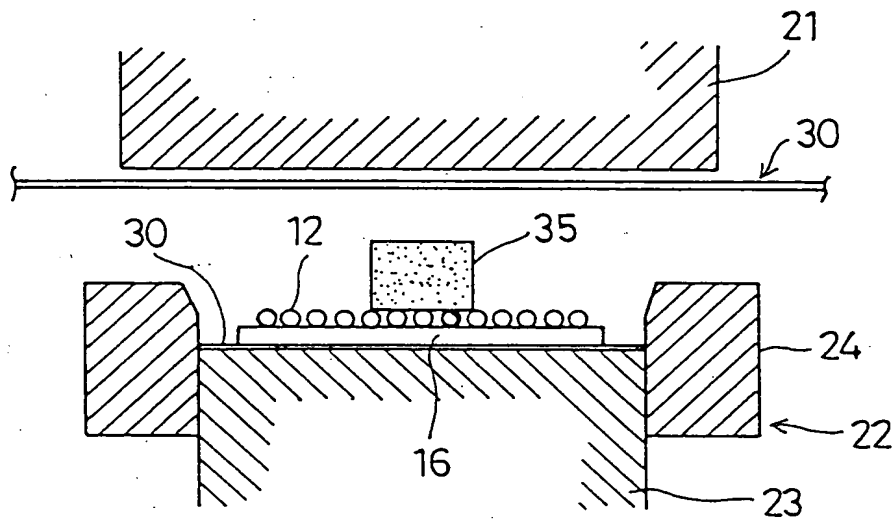


FIG. 77

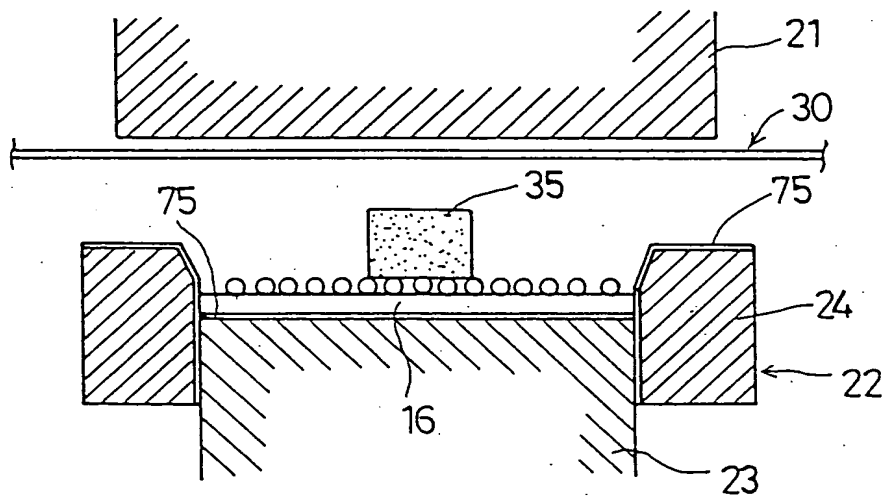


FIG. 78

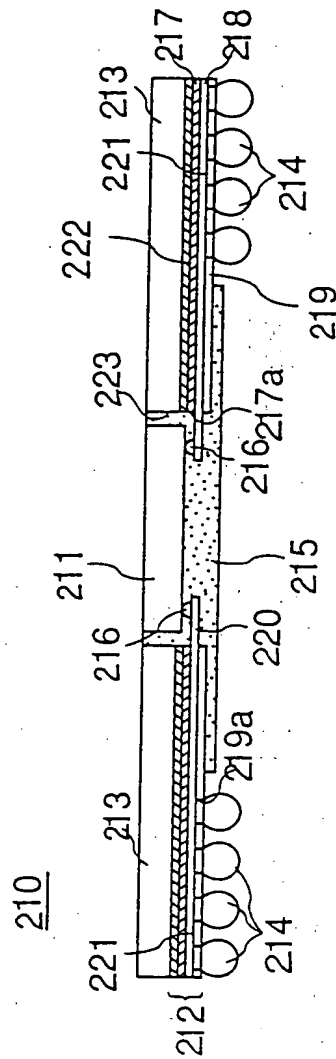


FIG. 81

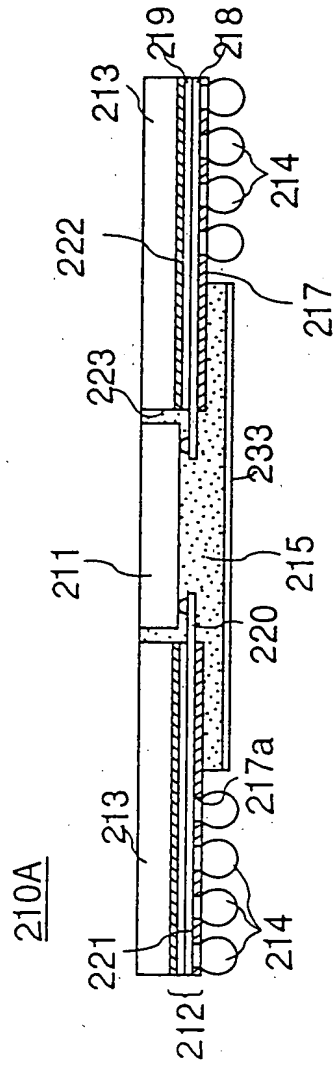


FIG. 82

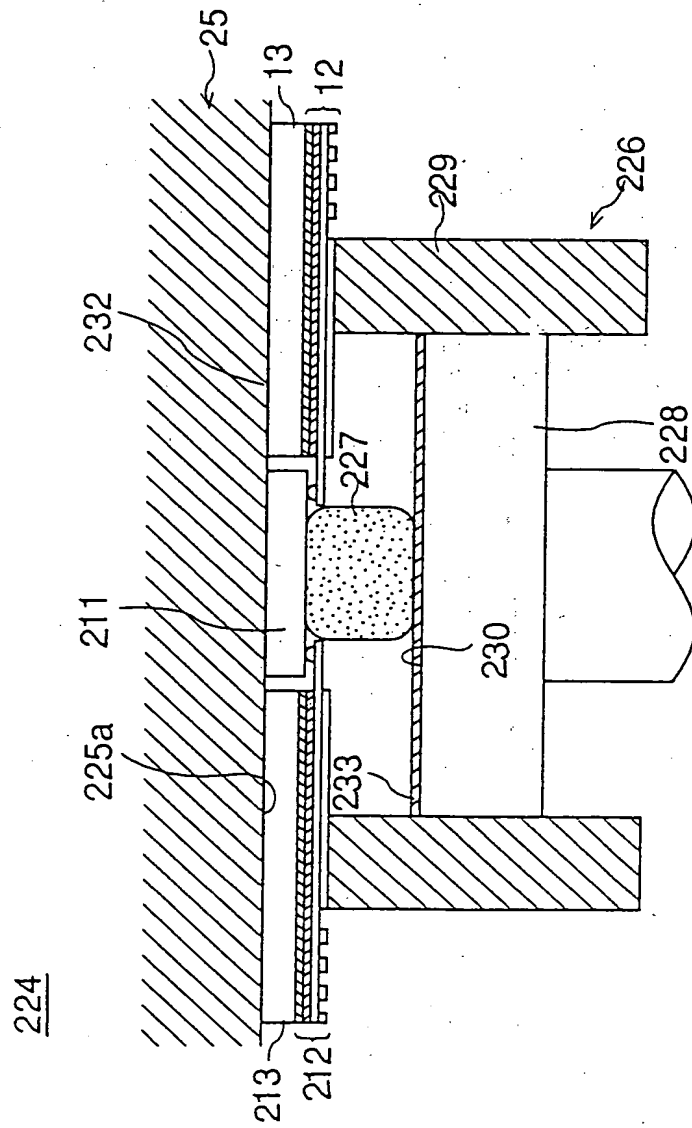


FIG. 83

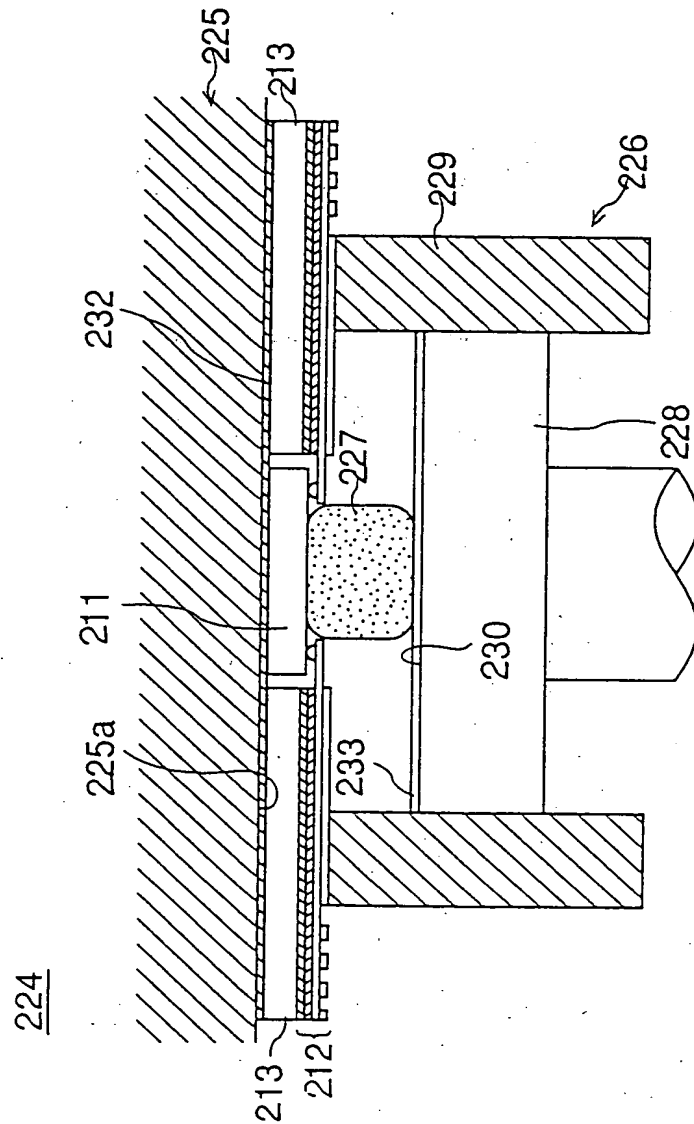


FIG. 84

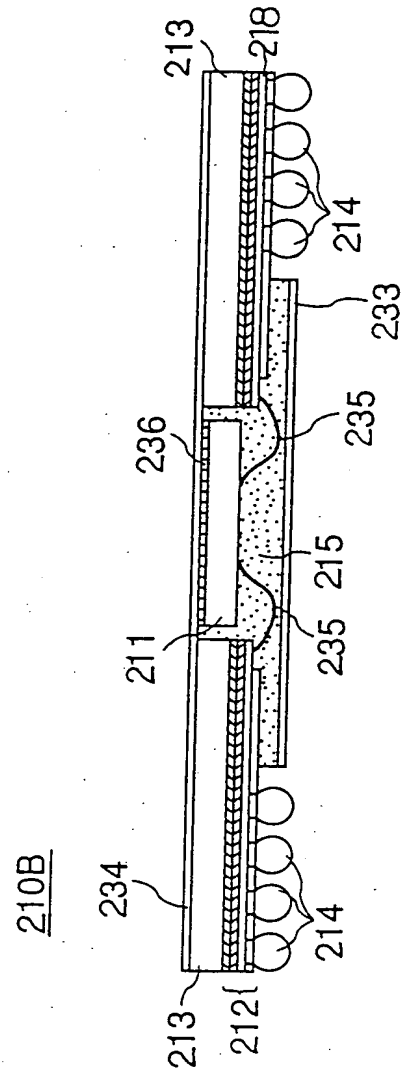


FIG. 85



FIG. 86

210D

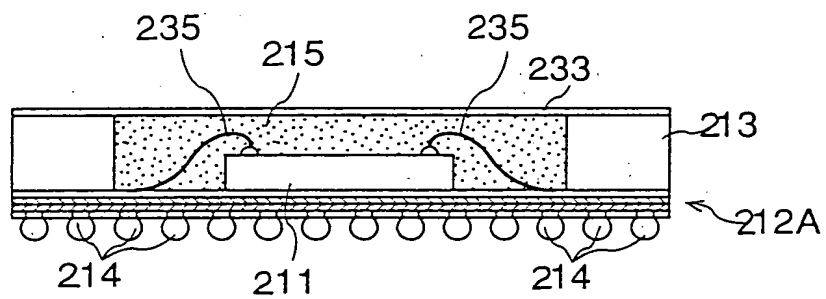


FIG. 87

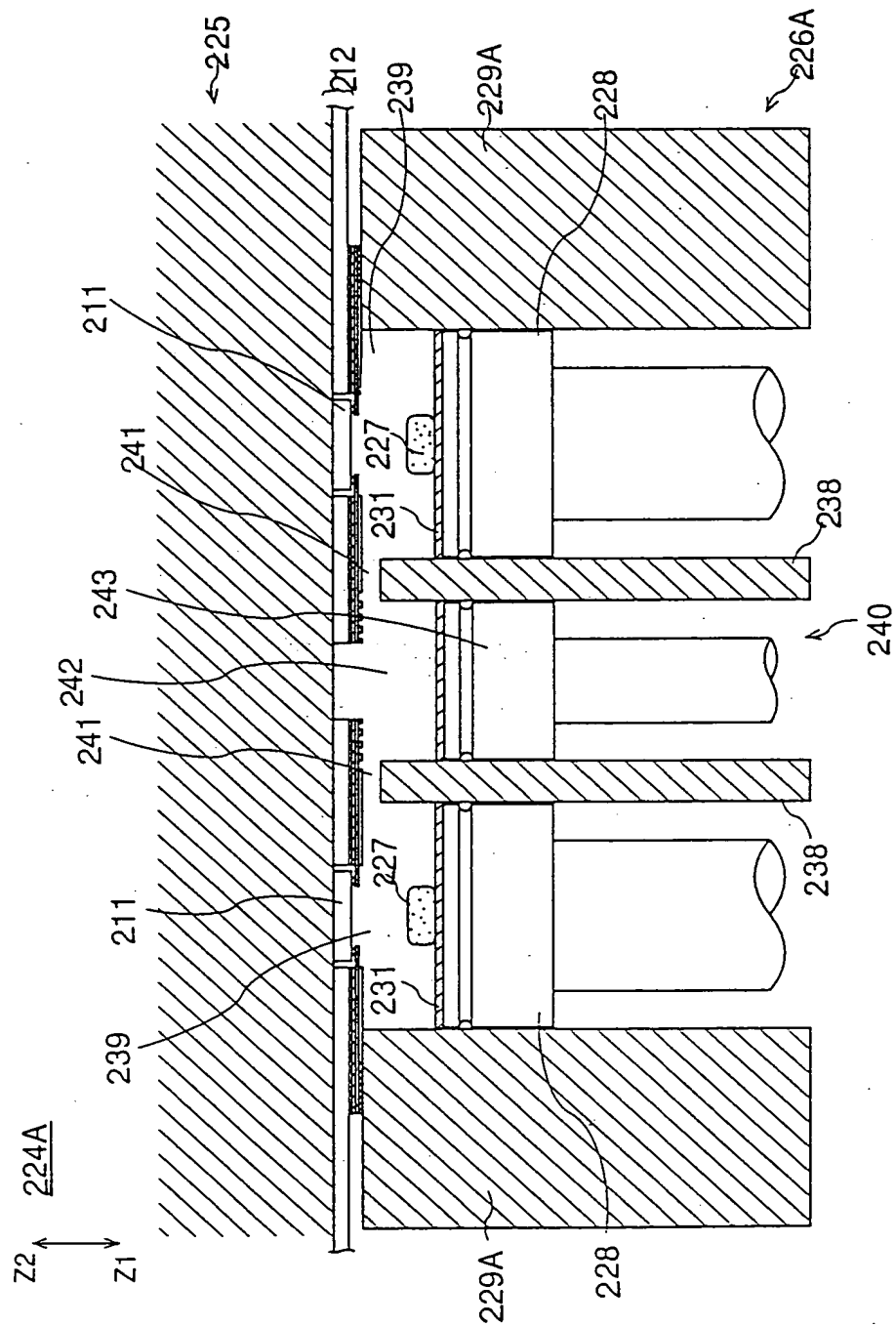


FIG. 88

210E

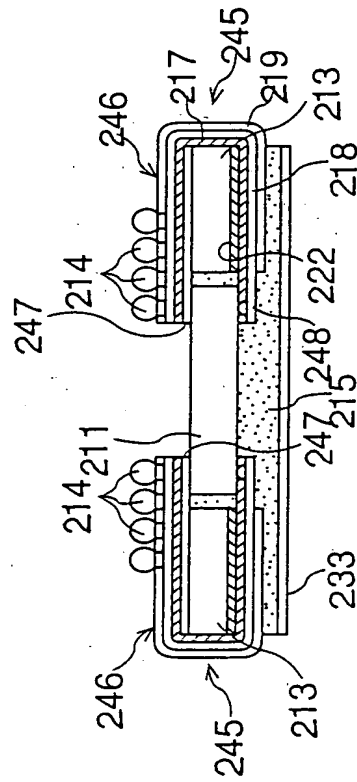


FIG. 89

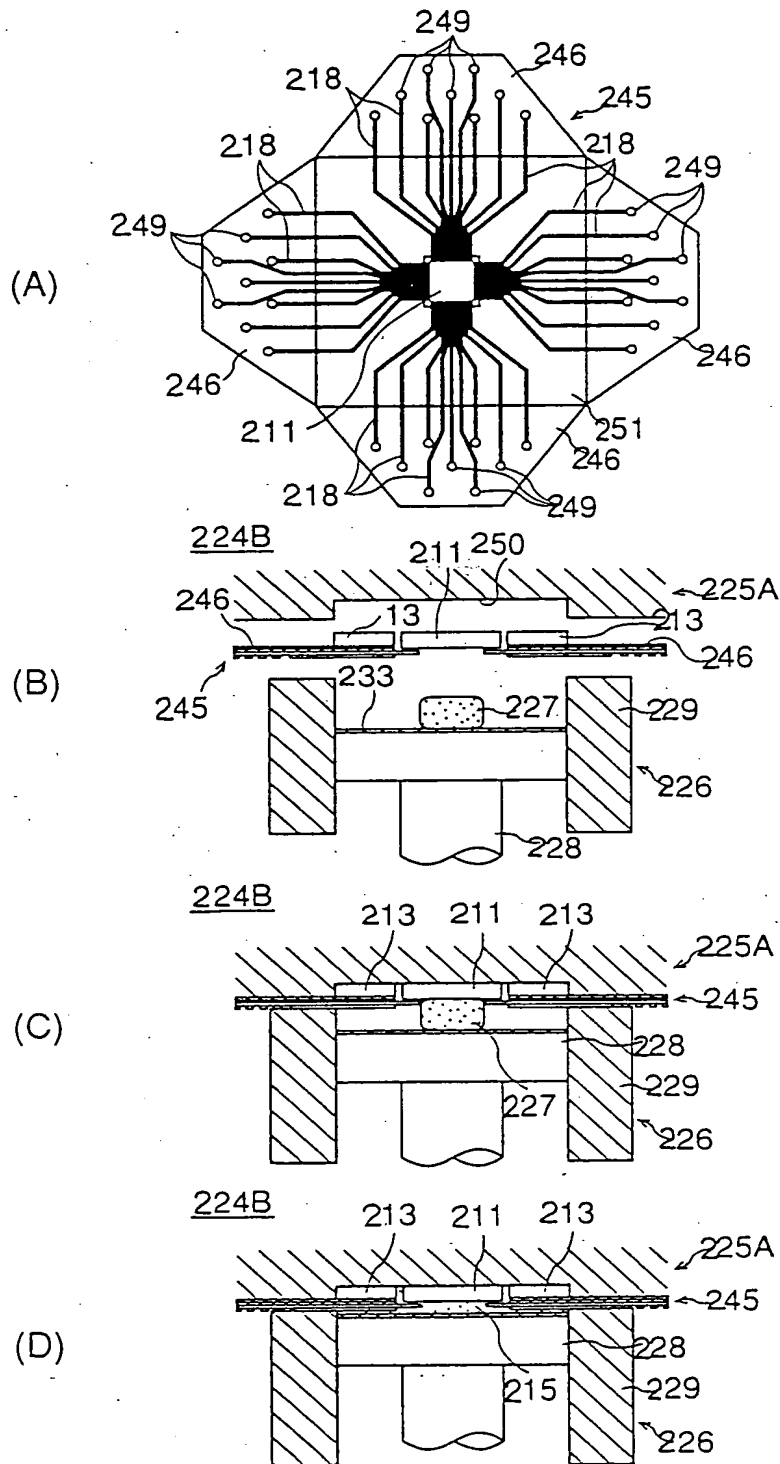


FIG. 90

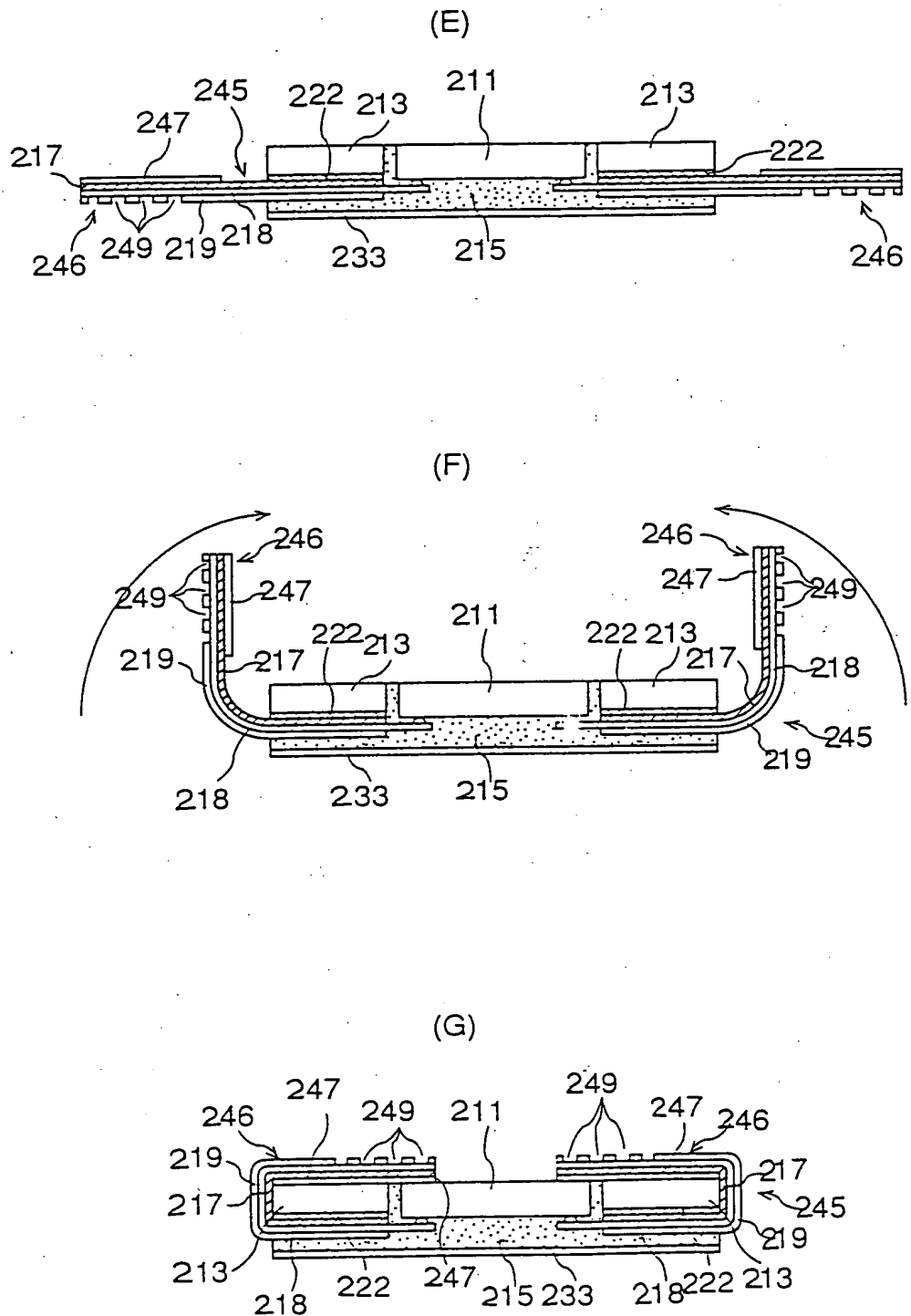


FIG. 91

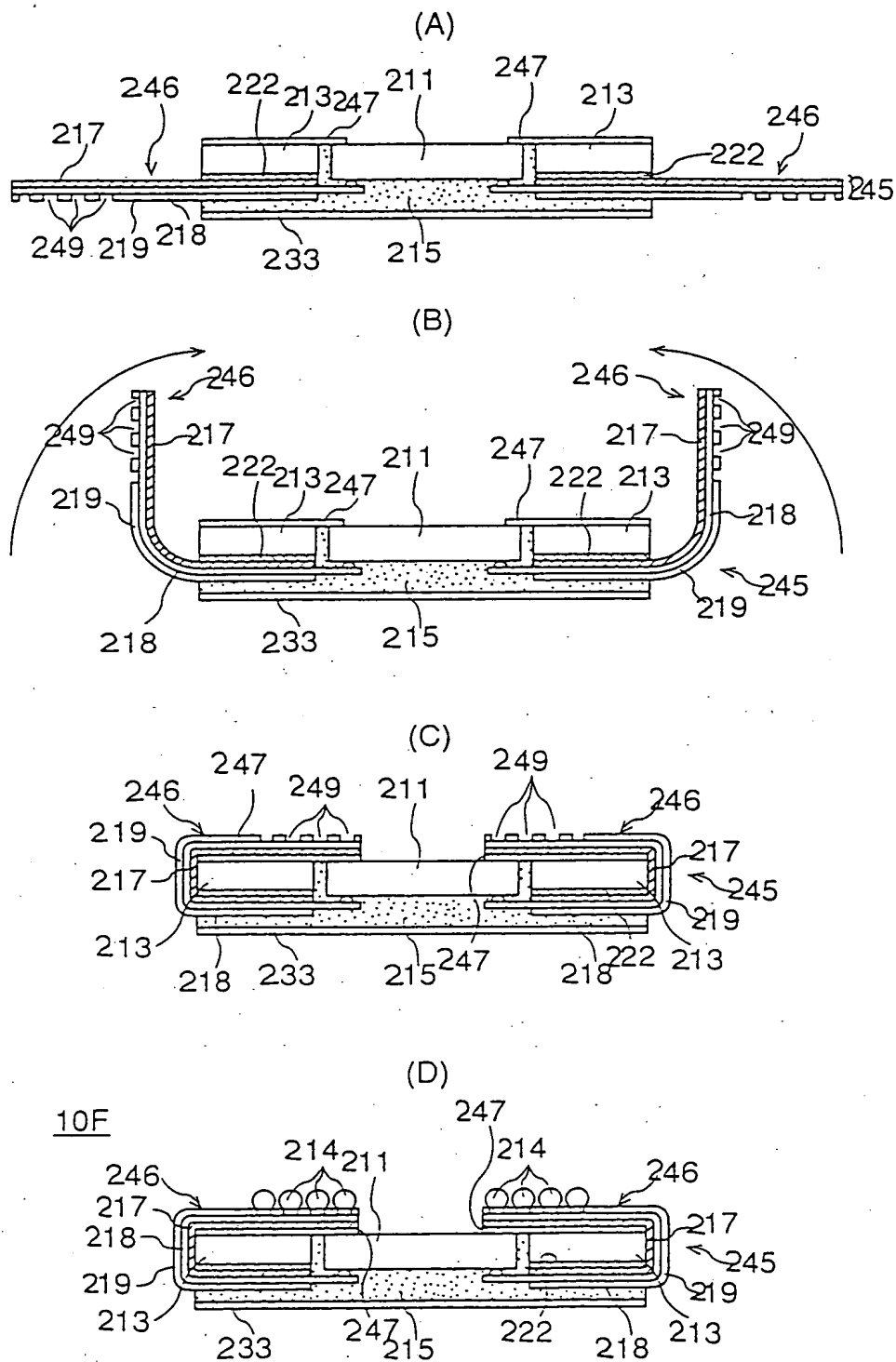


FIG. 92

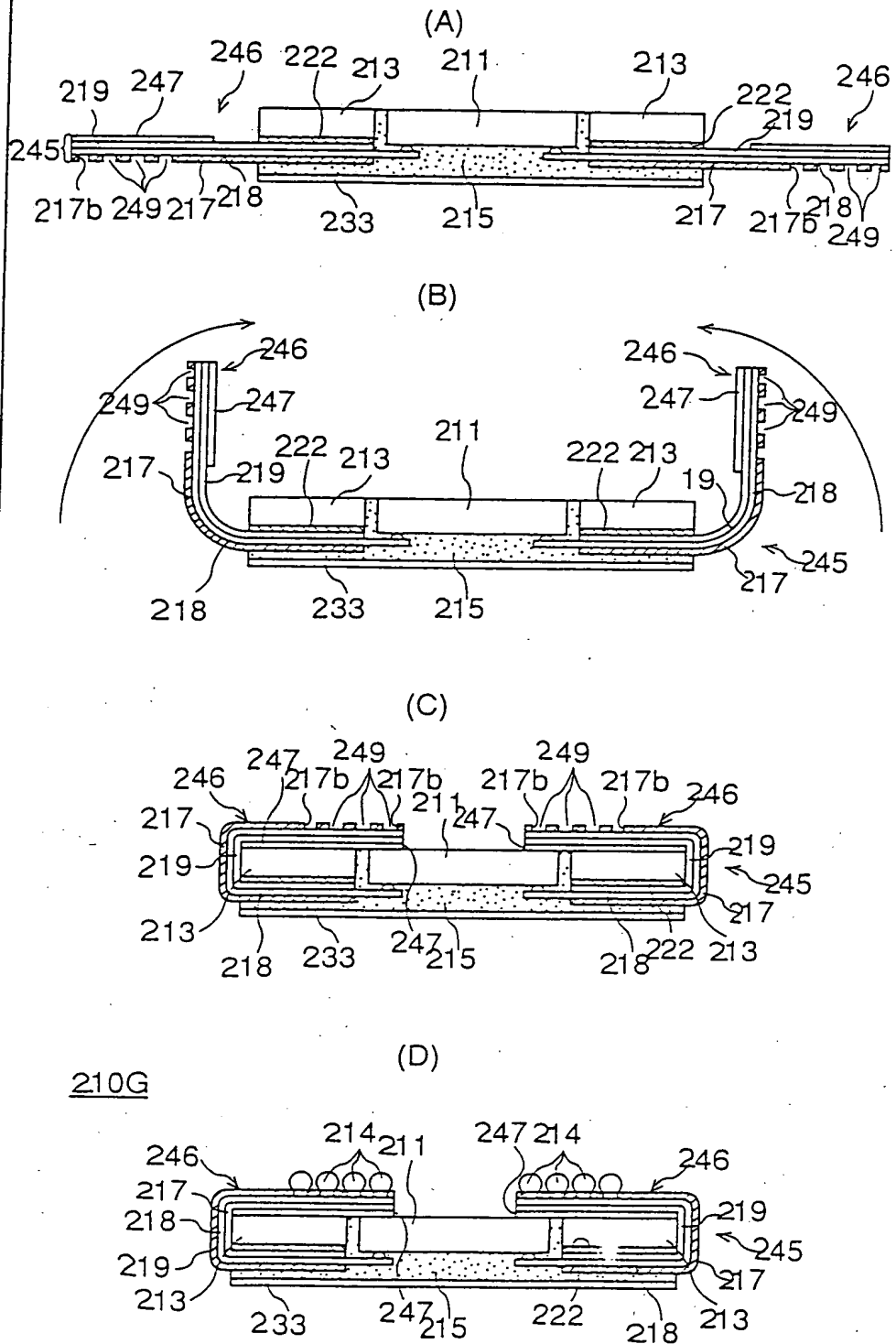


FIG. 93

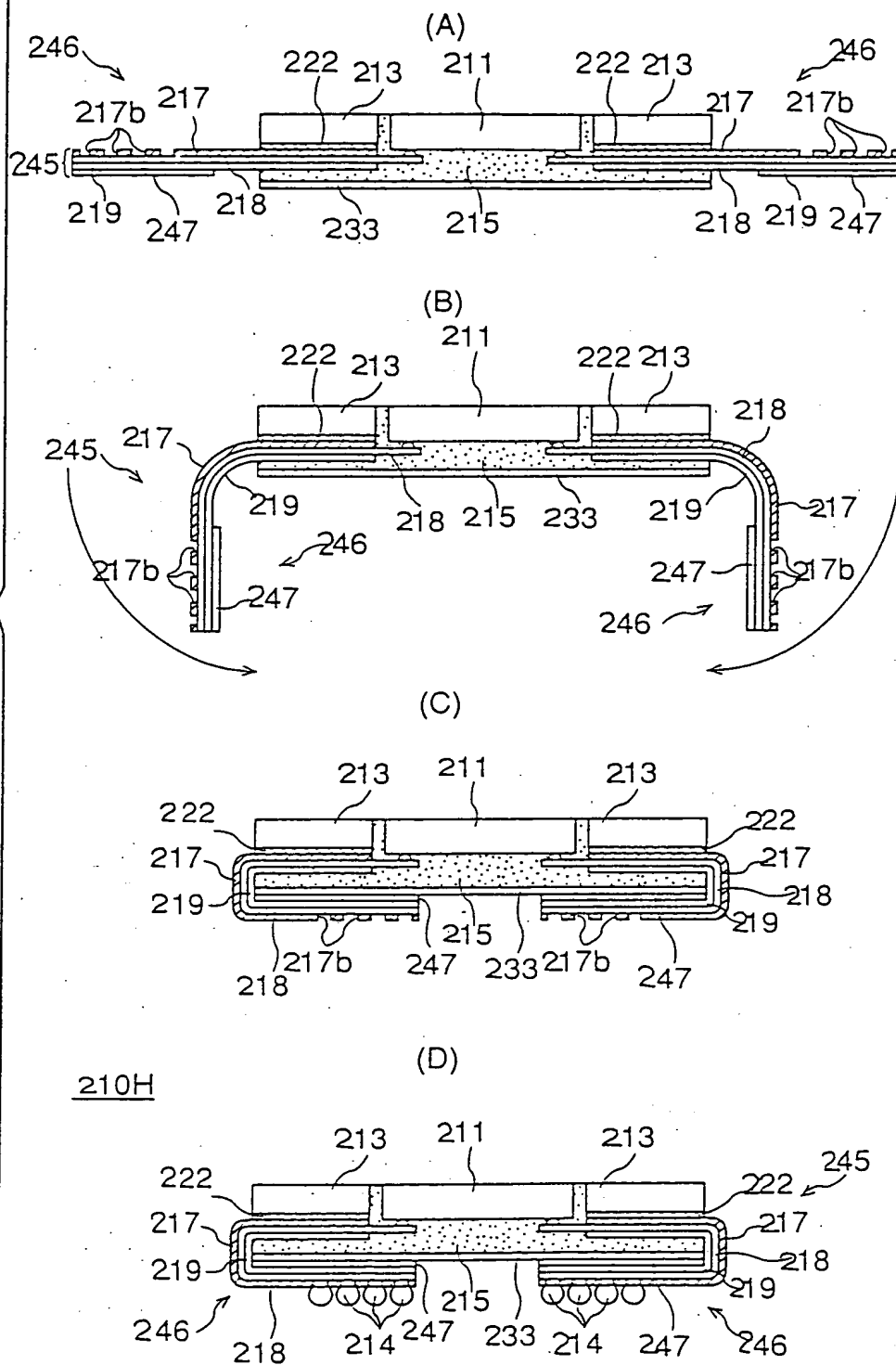


FIG. 94

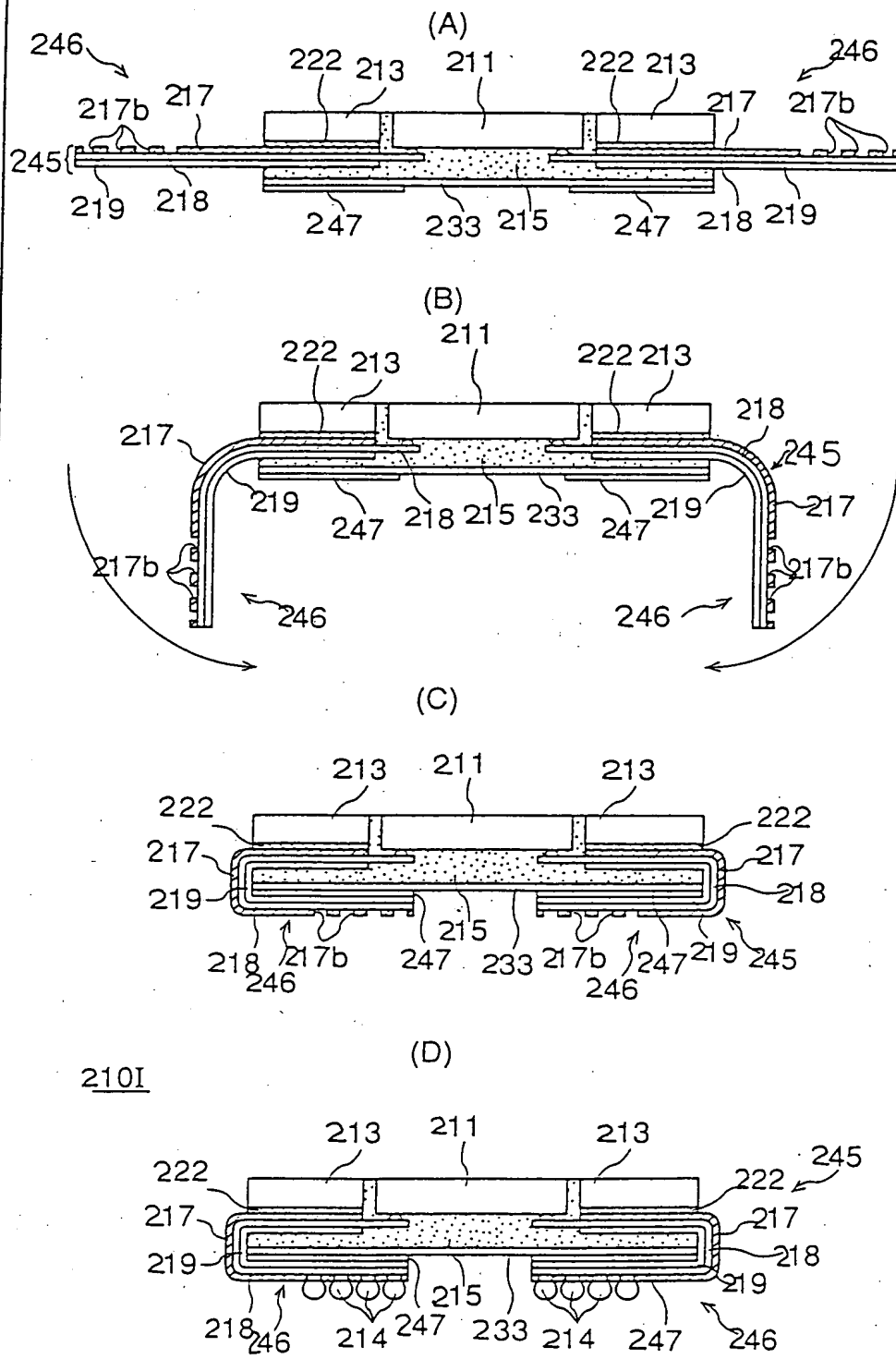


FIG. 95

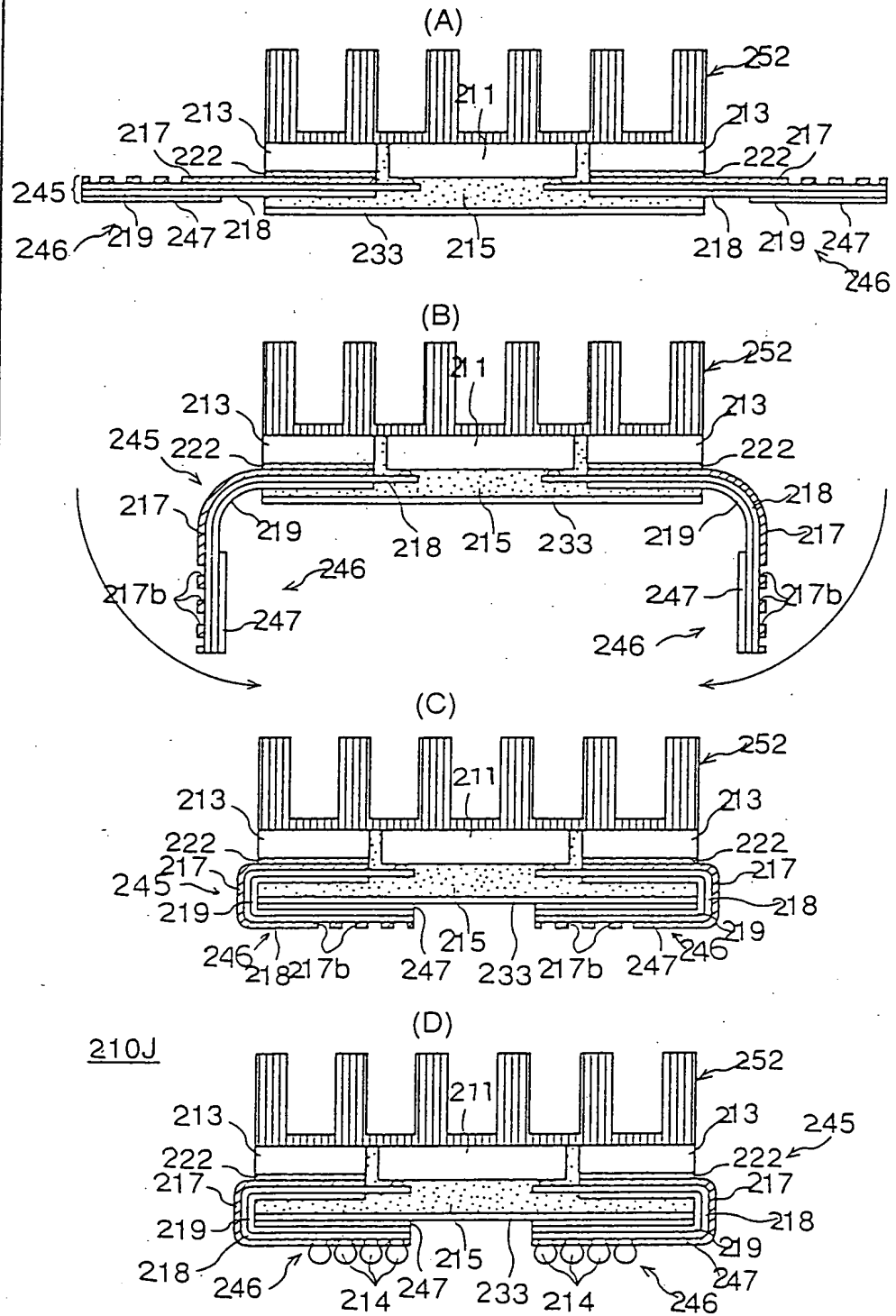


FIG. 96

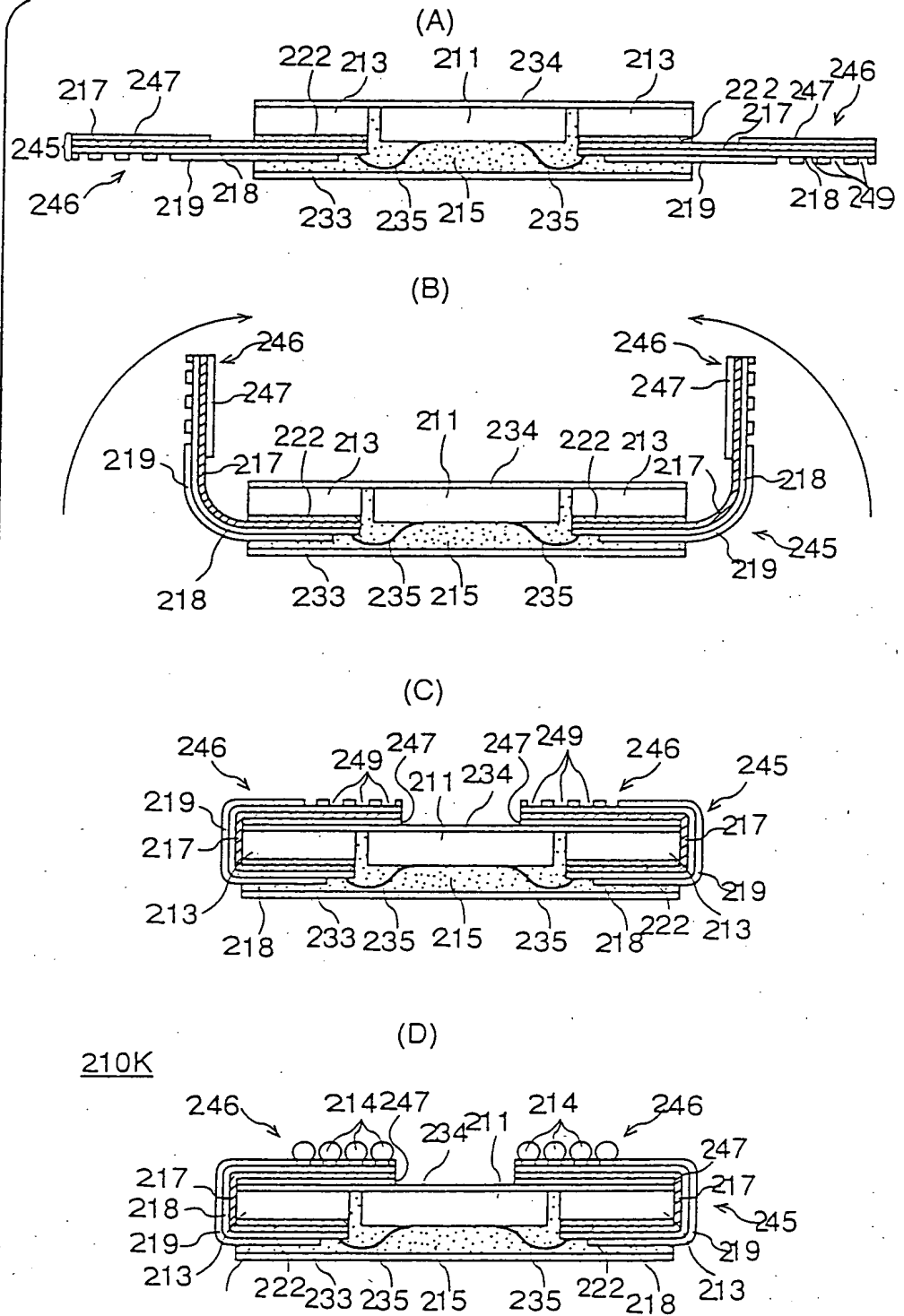


FIG. 97

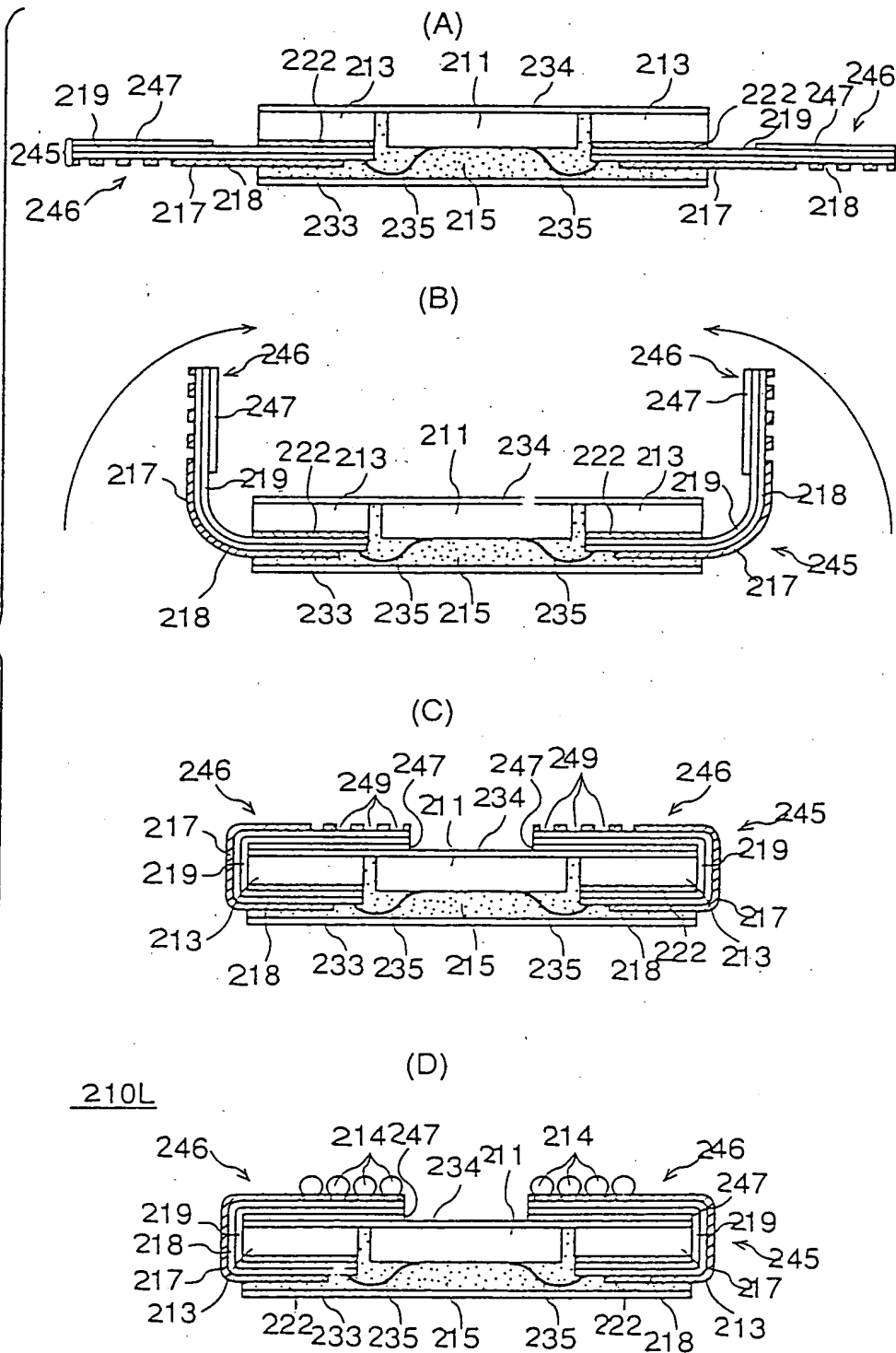


FIG. 98

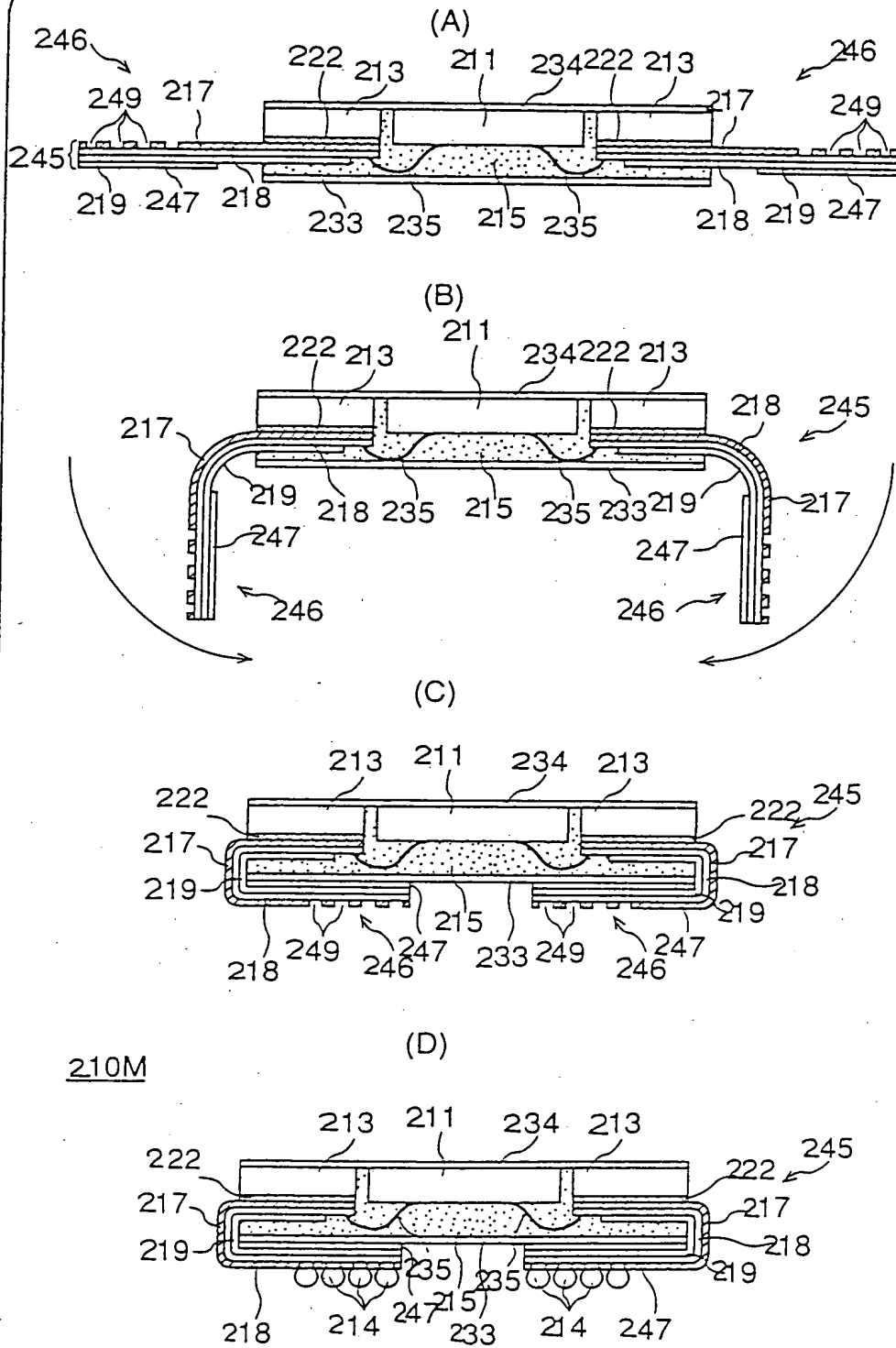


FIG. 99

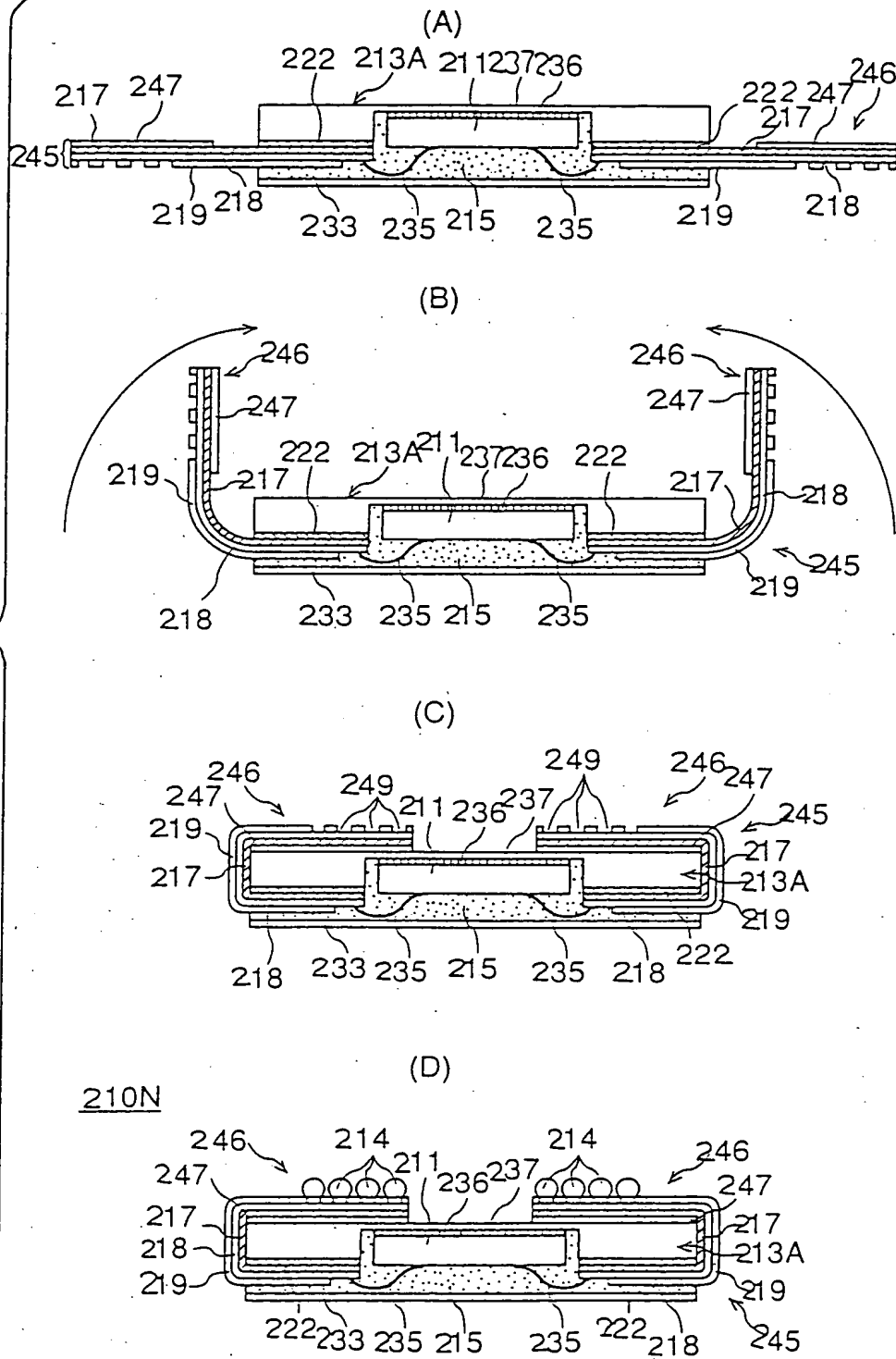


FIG. 100

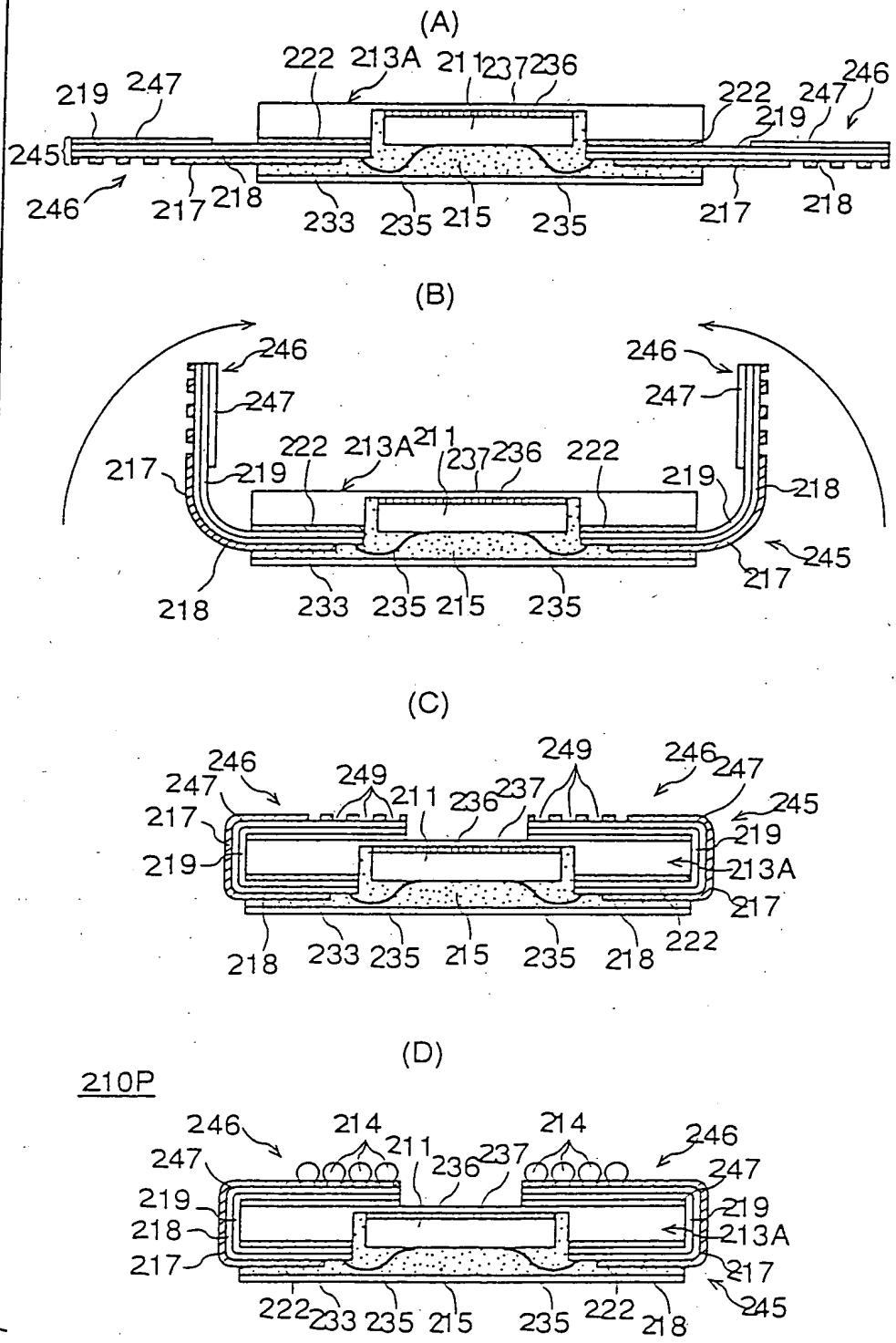


FIG. 101

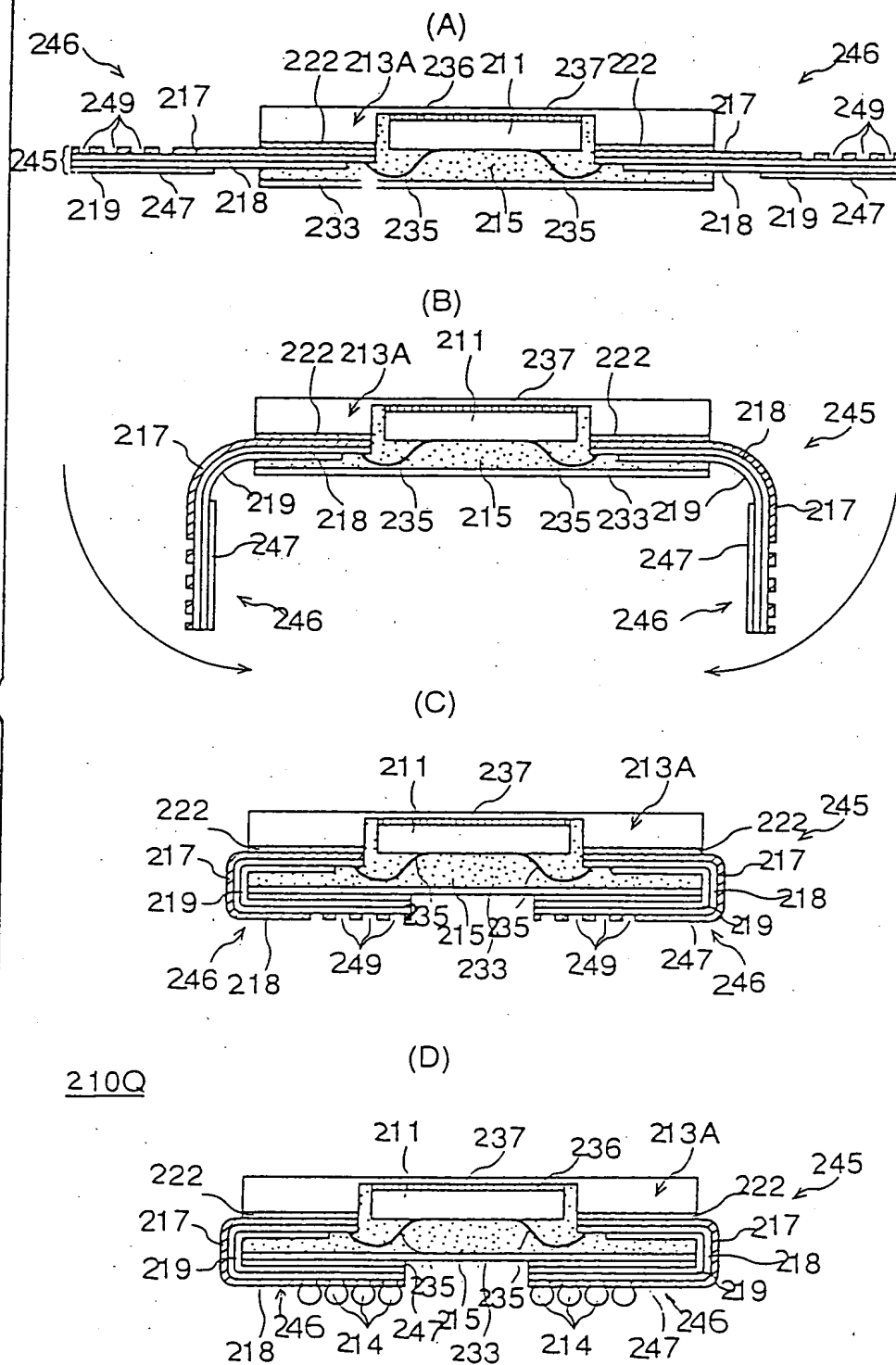


FIG. 102

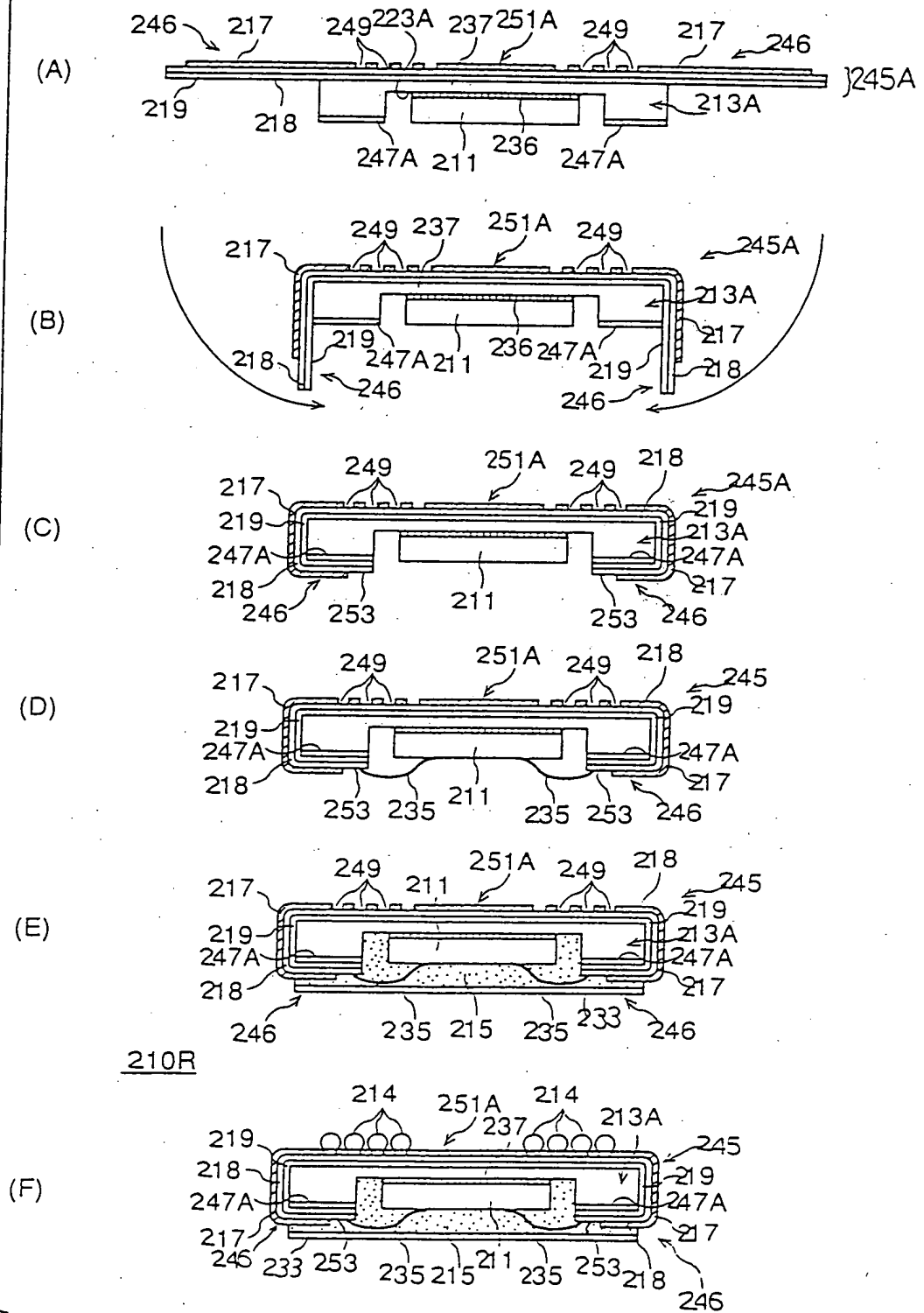


FIG. 103

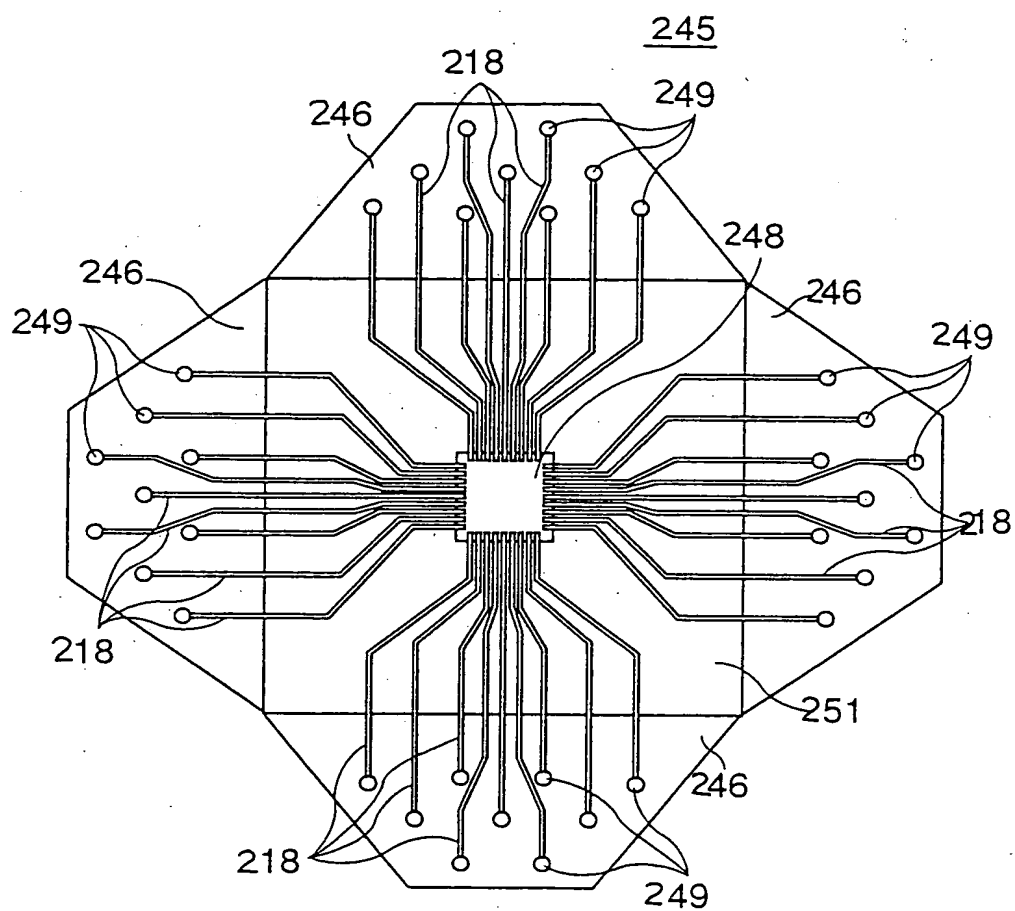


FIG. 104

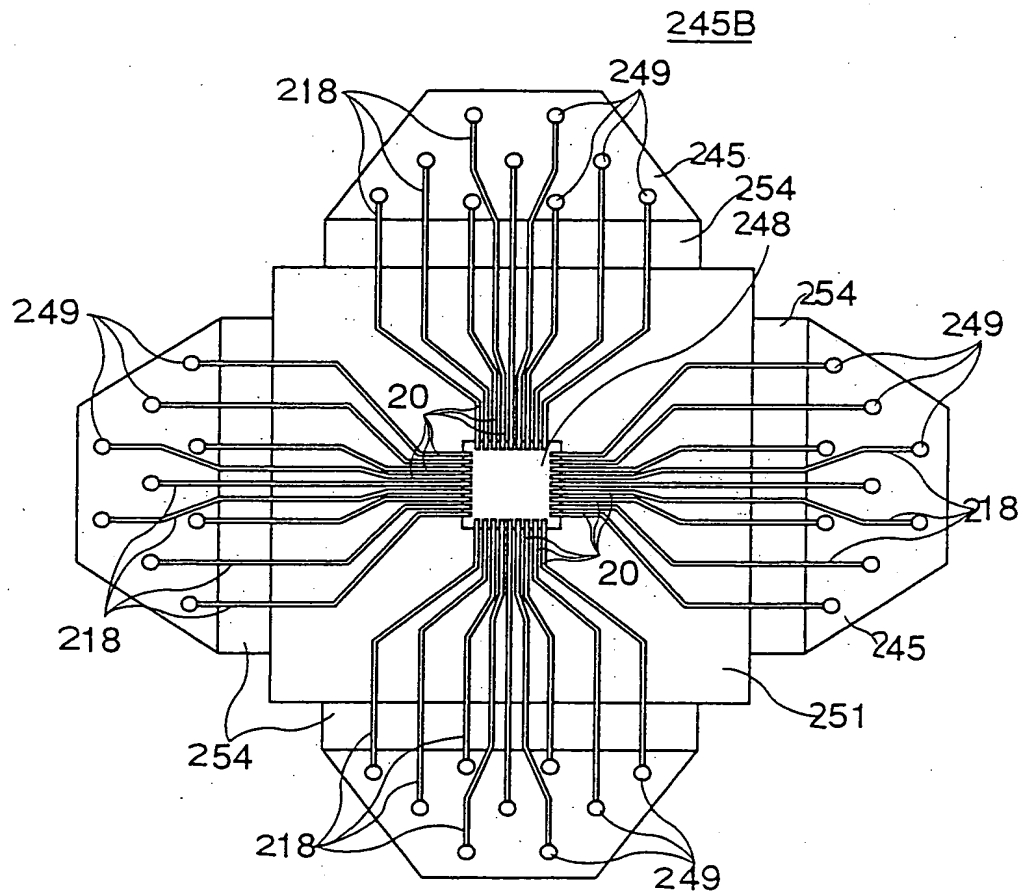


FIG. 105

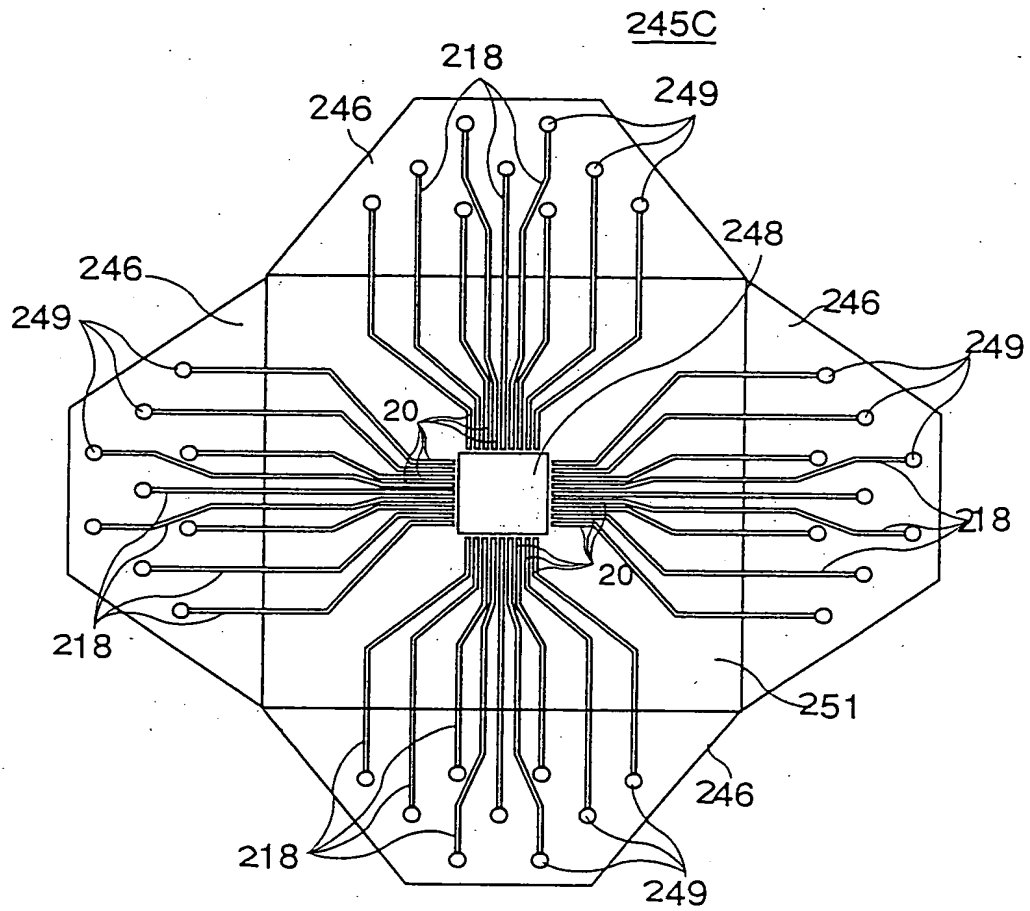


FIG. 106

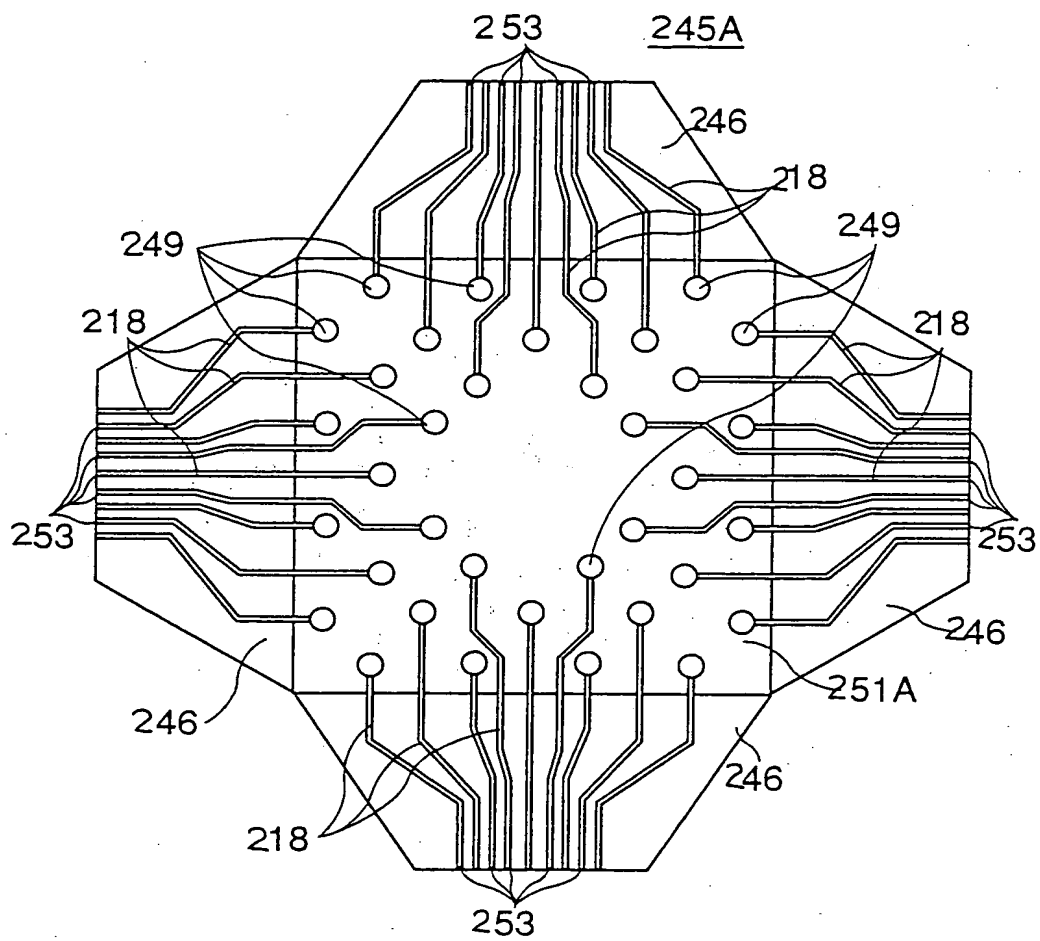


FIG. 107

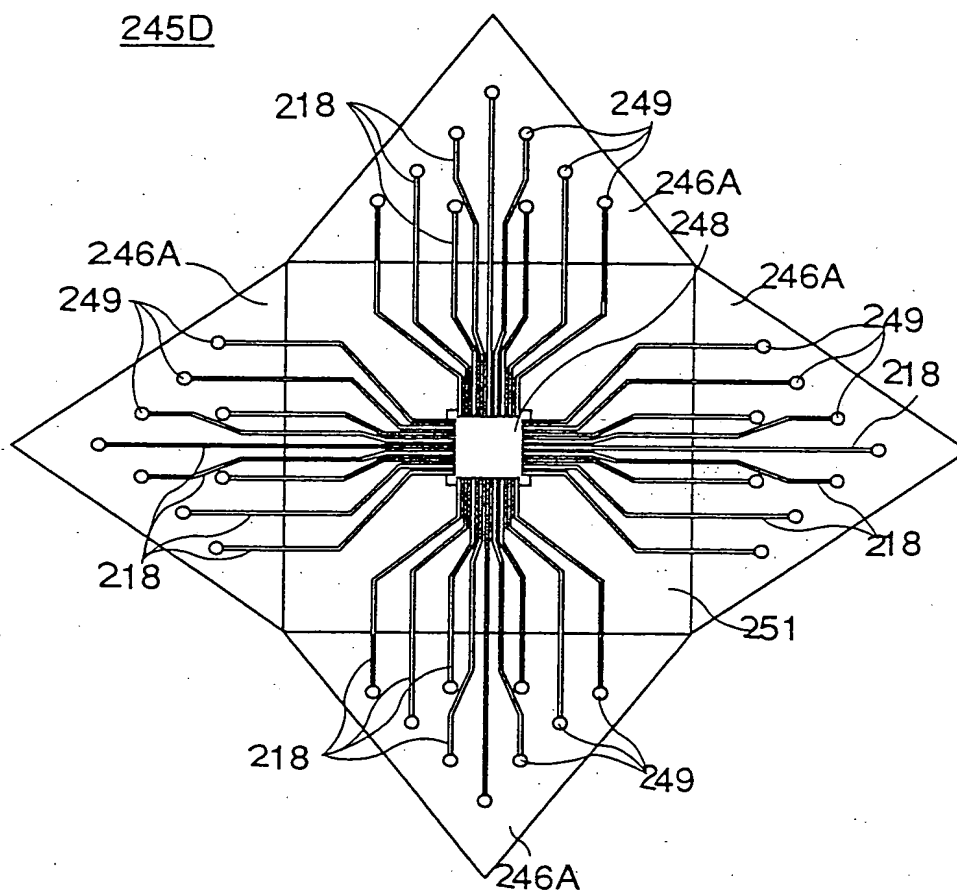


FIG. 108

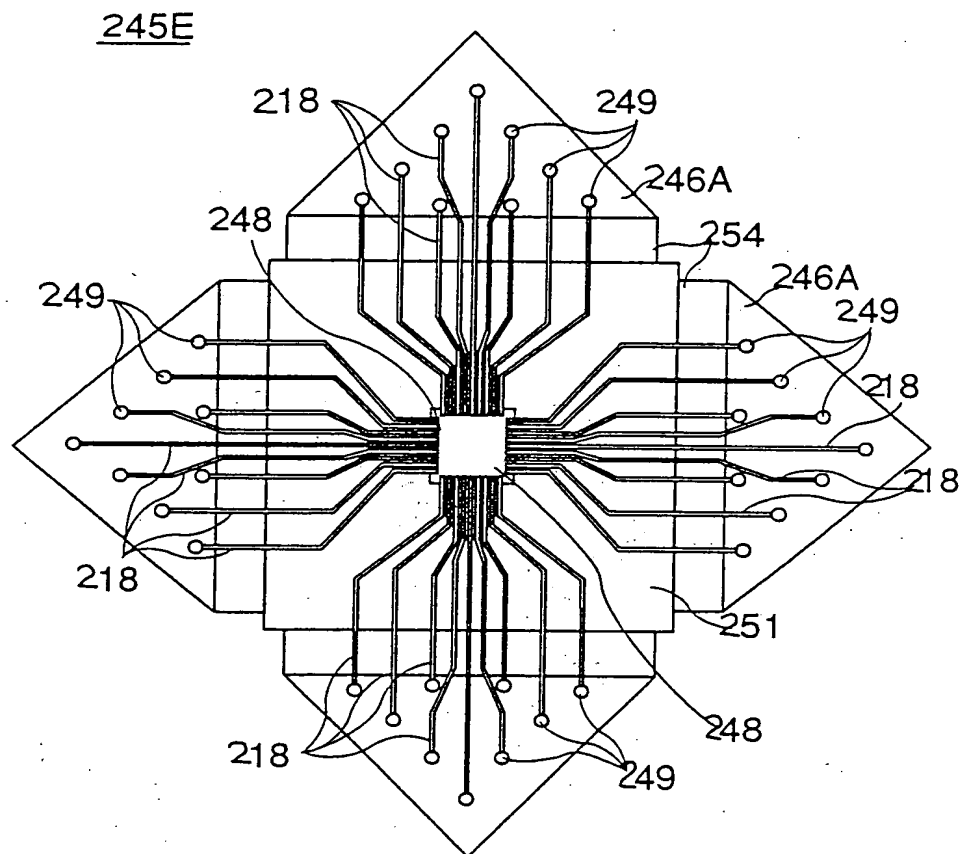


FIG. 109

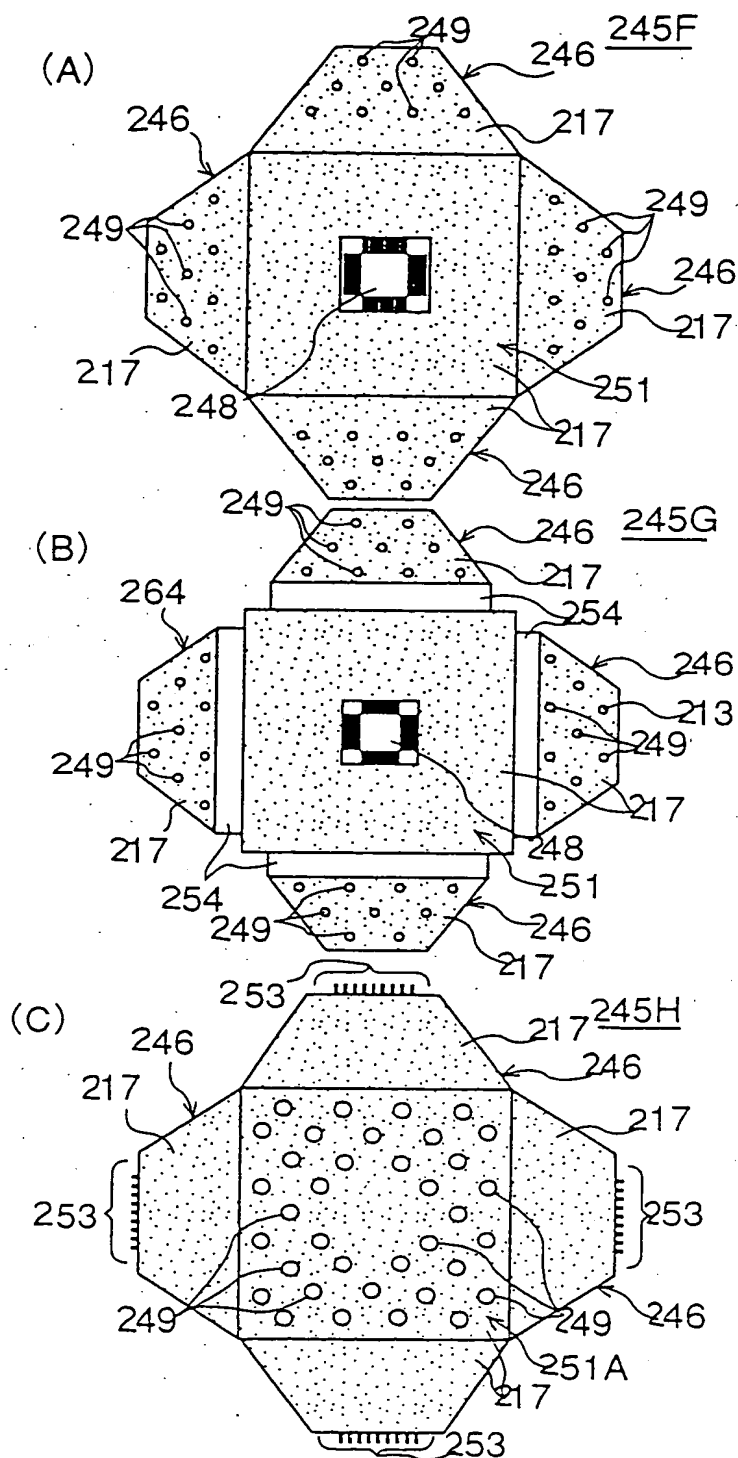


FIG. 110

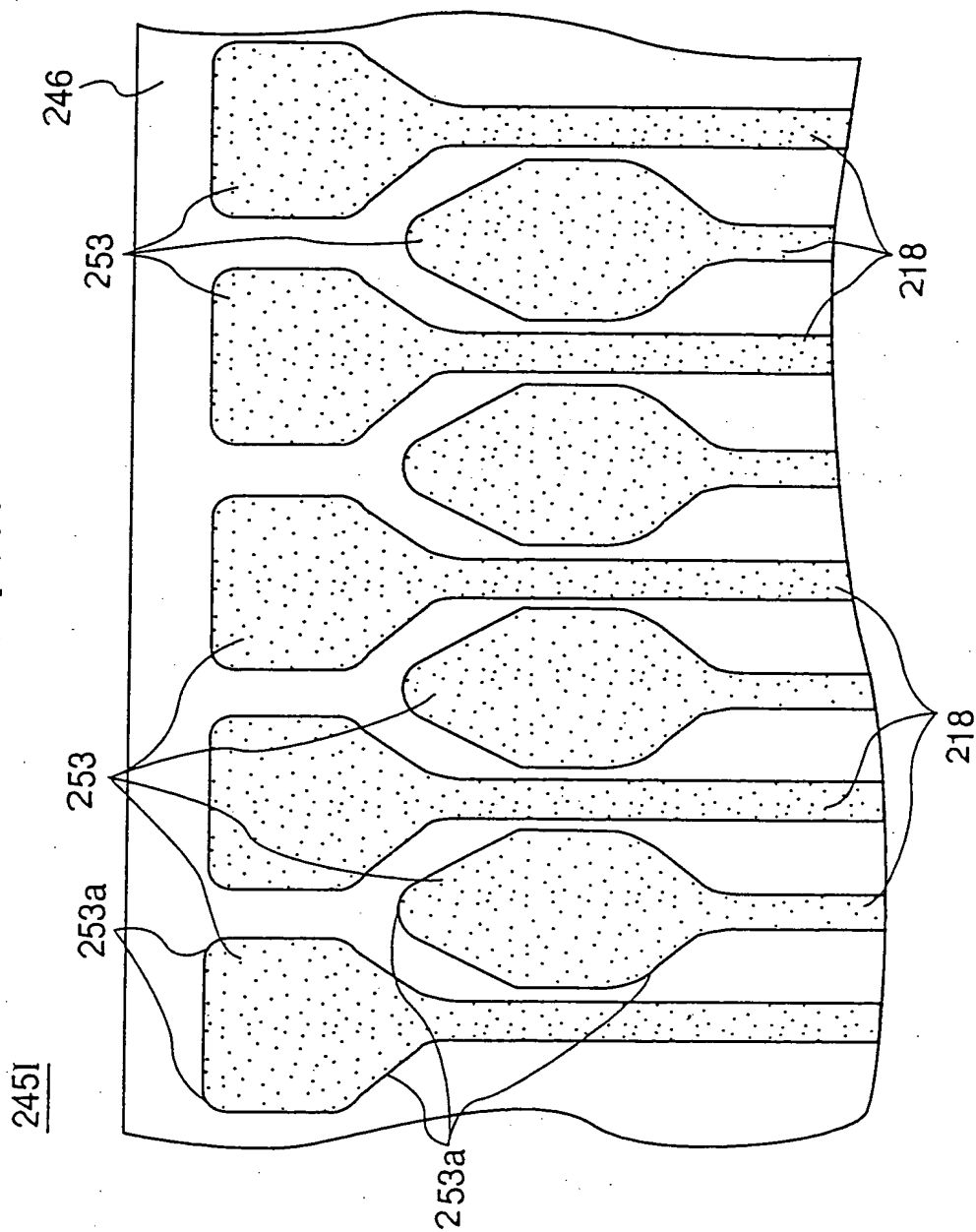
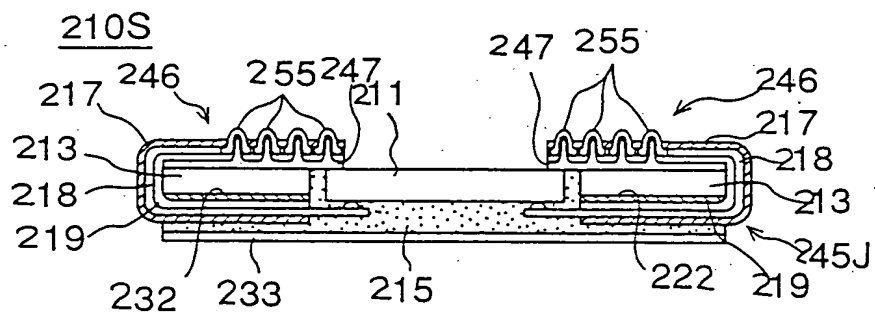


FIG. 111



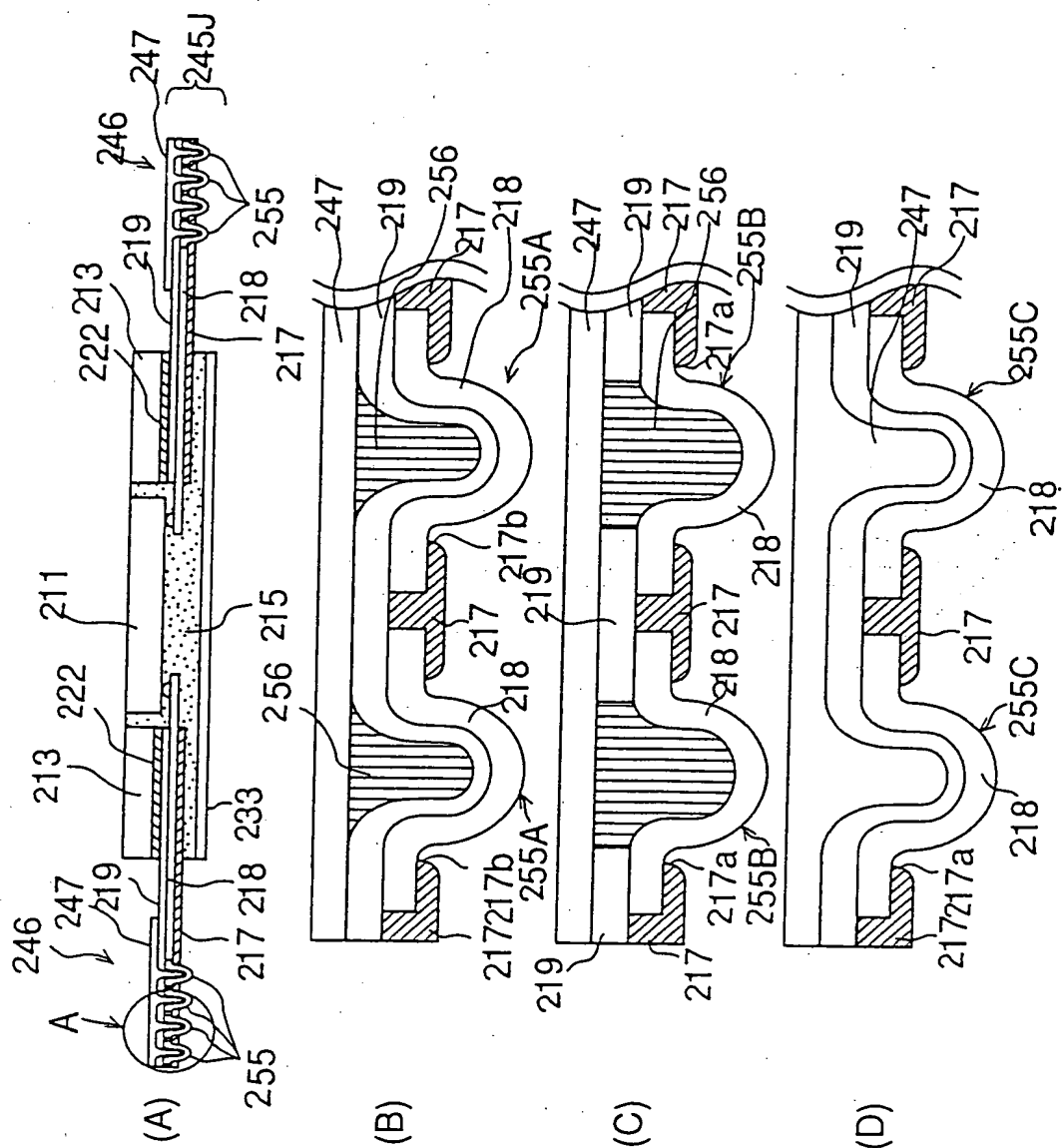


FIG. 112a

FIG. 113

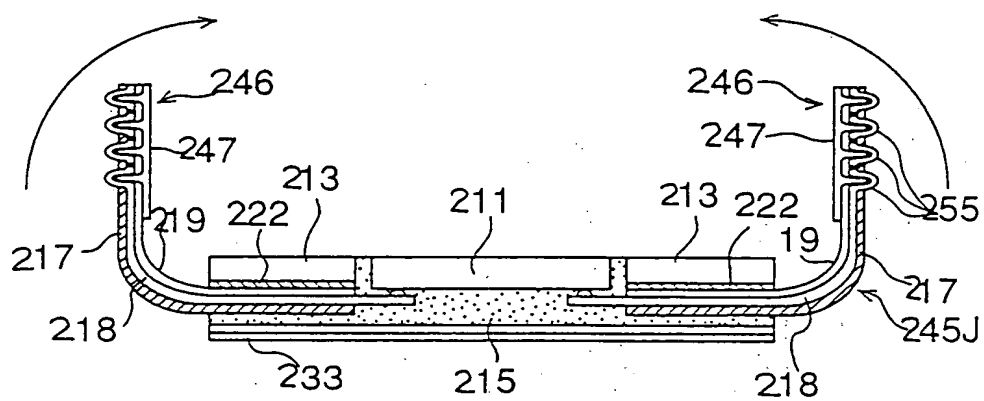


FIG. 114

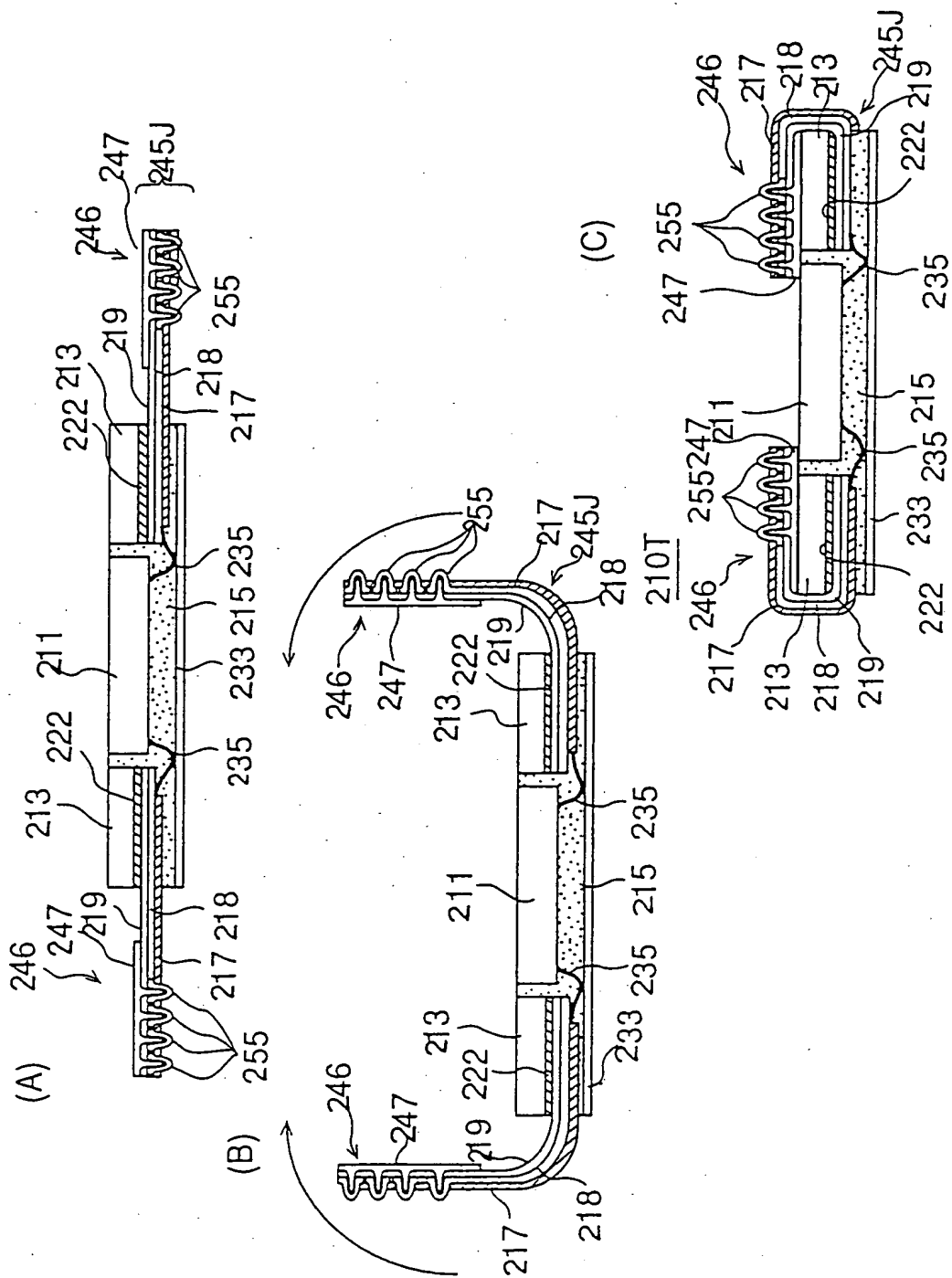


FIG. 115

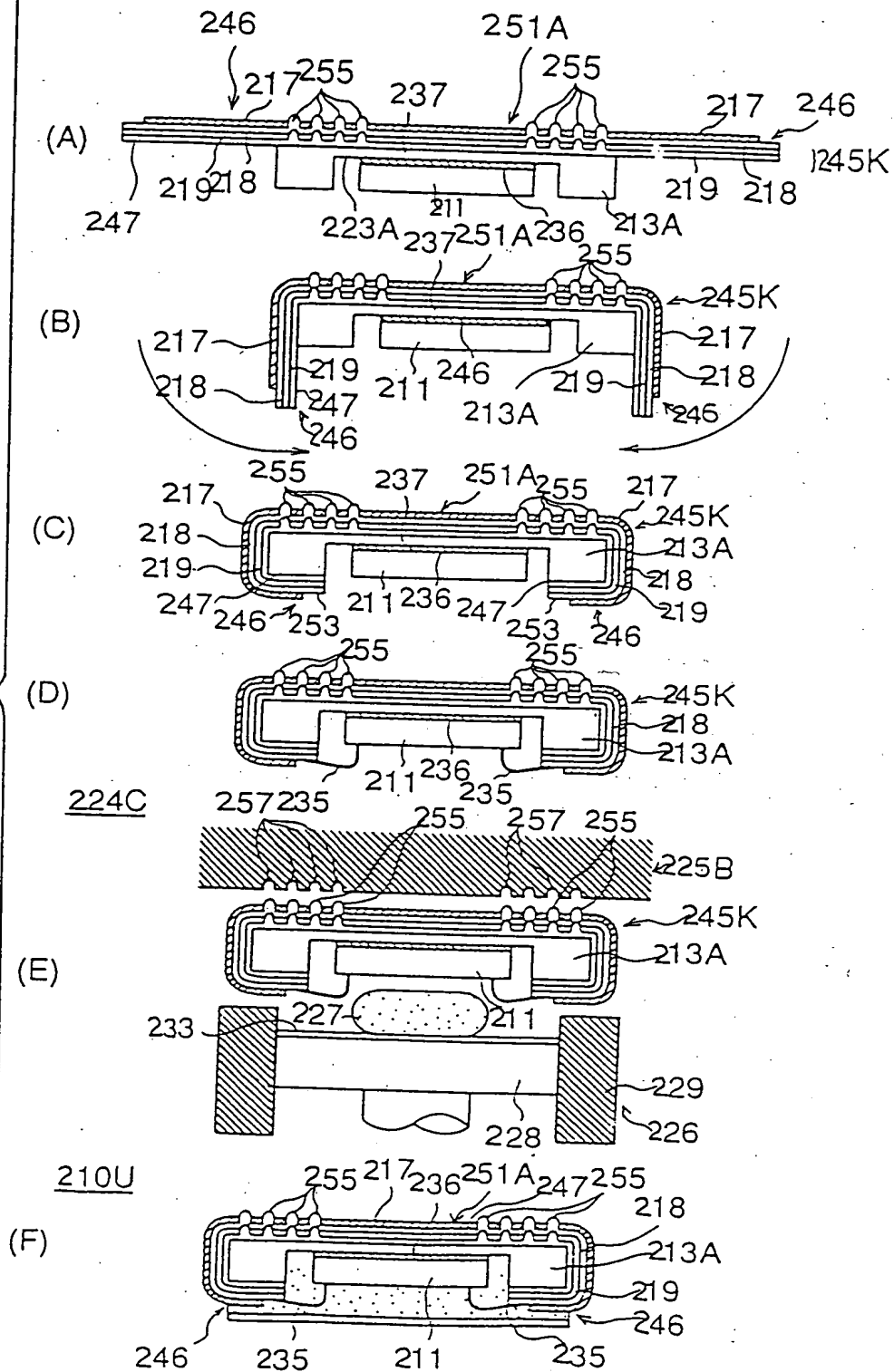


FIG. 116

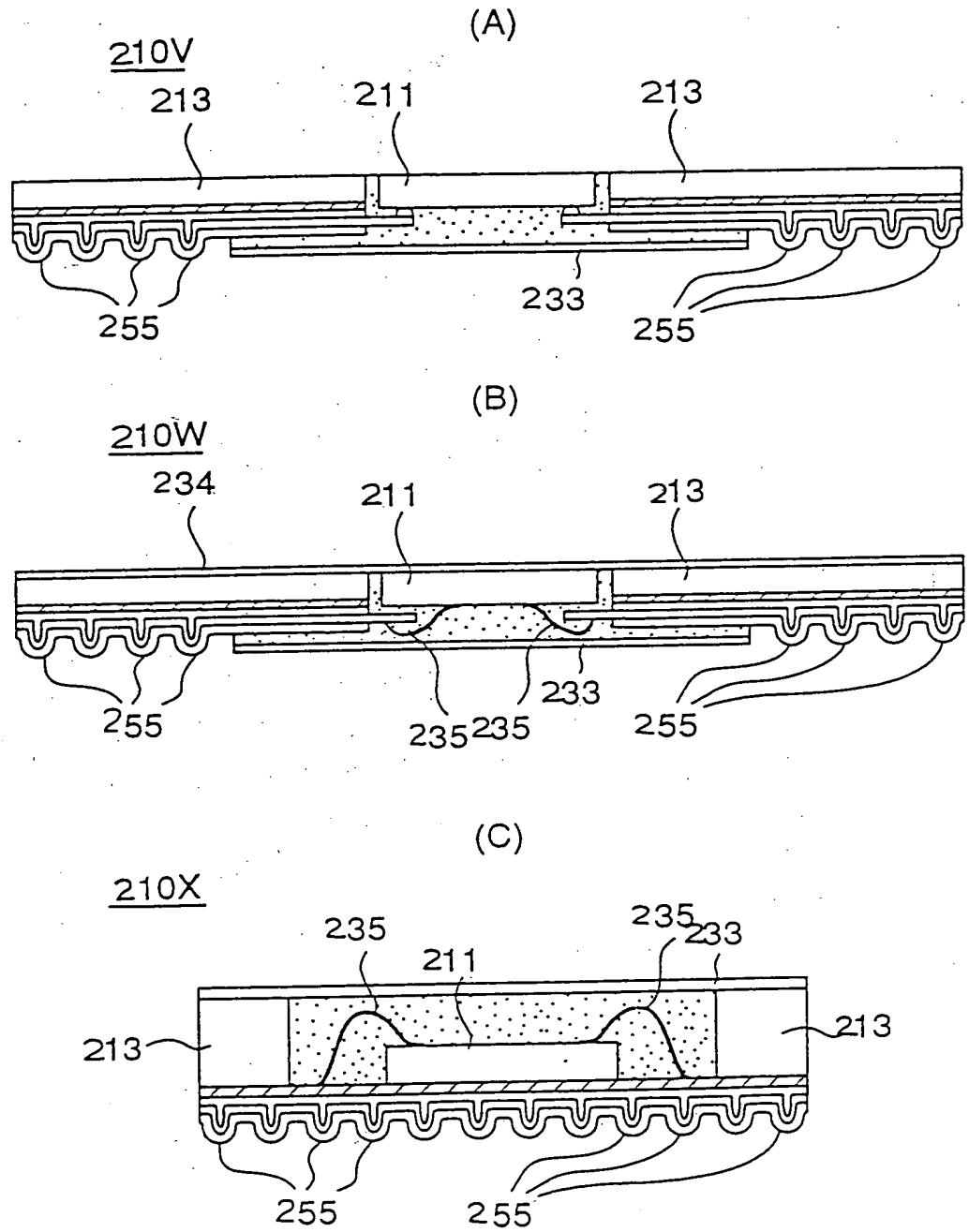


FIG. 117

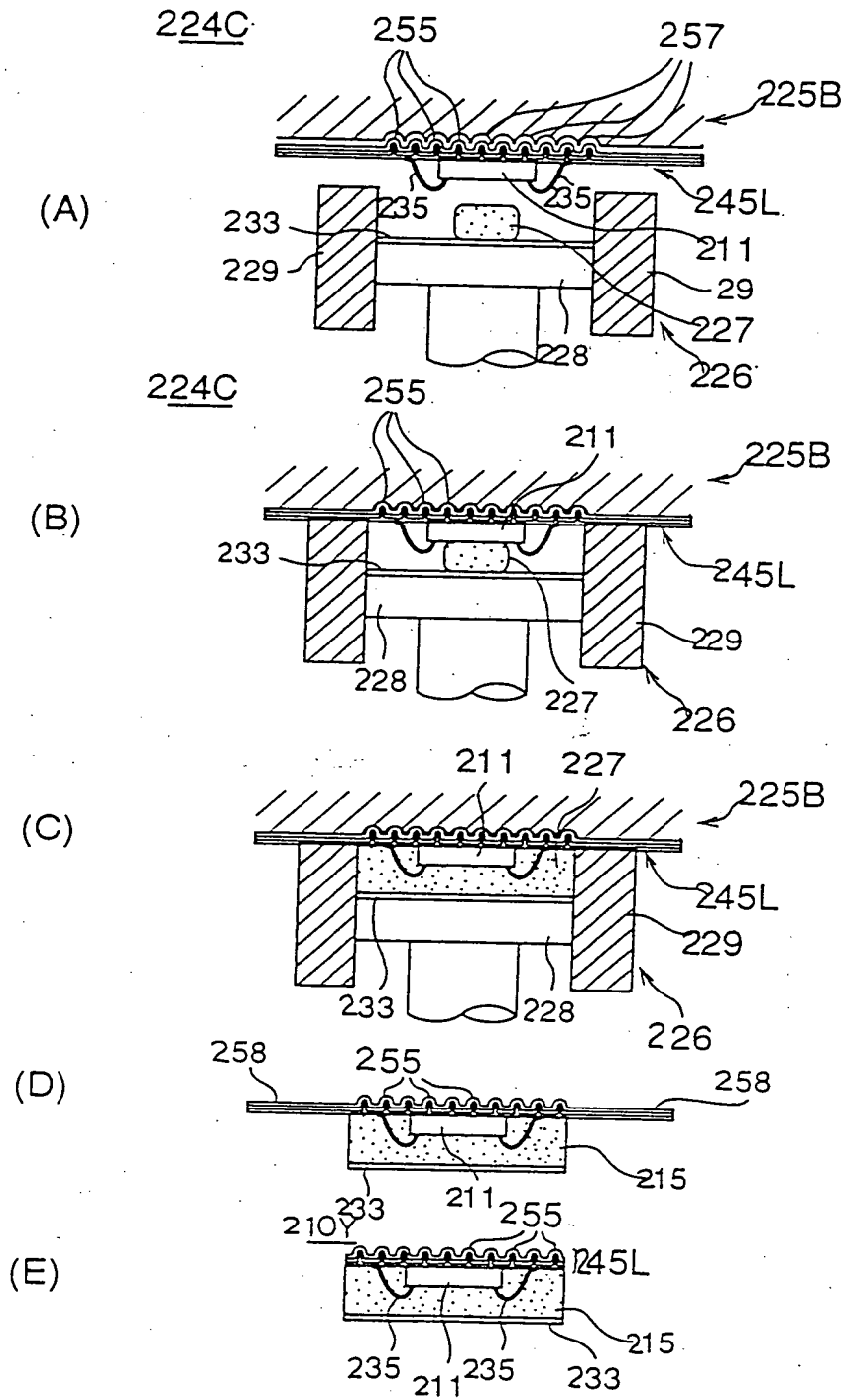


FIG. 118

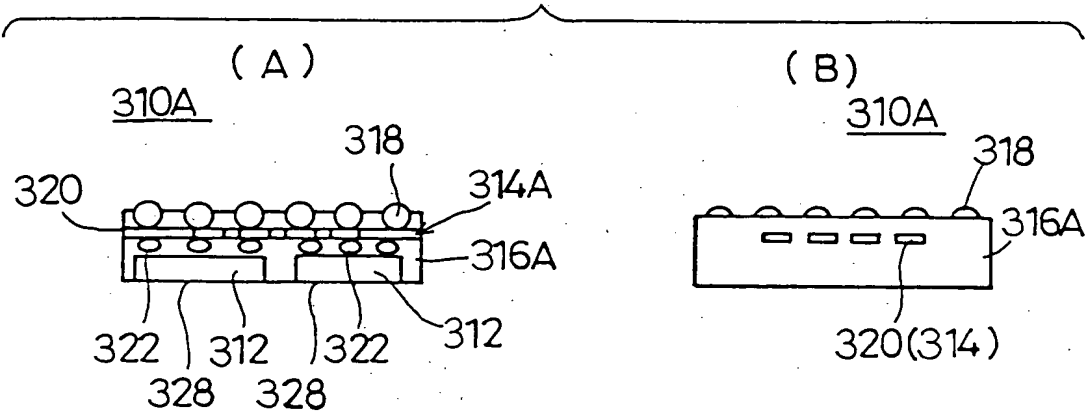


FIG. 119

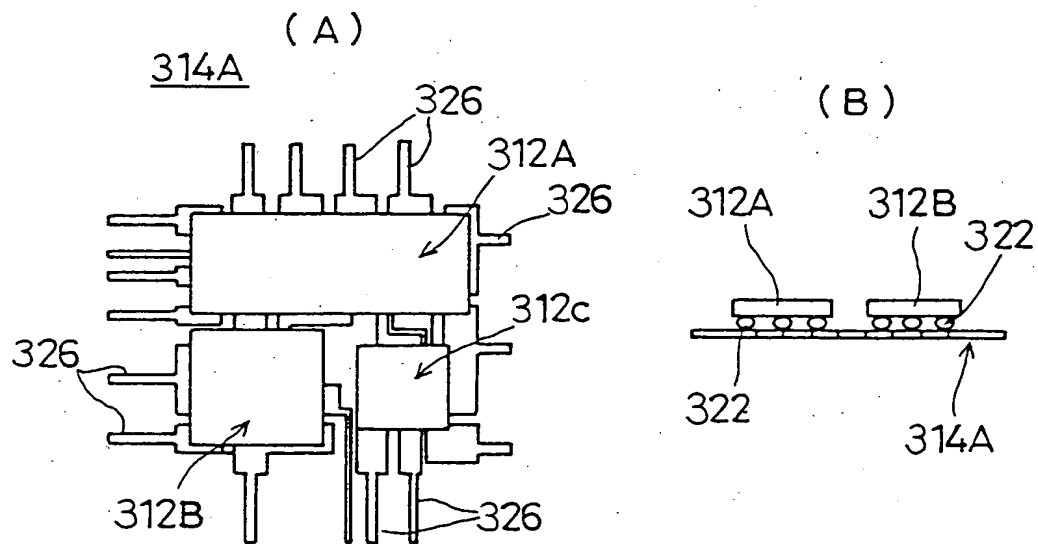
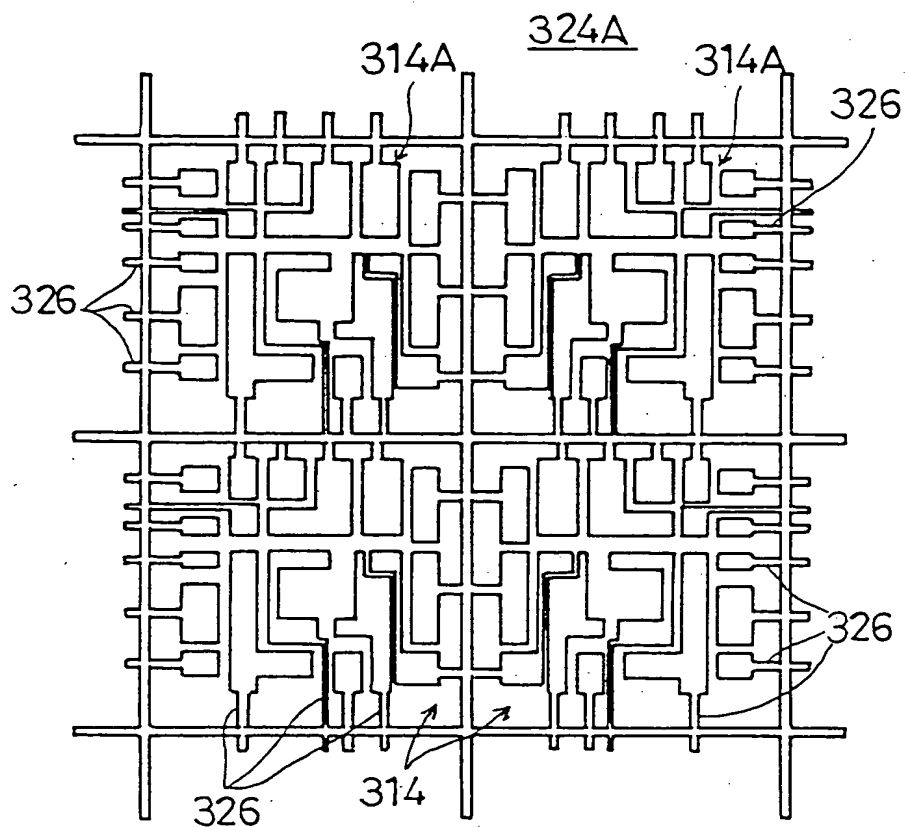


FIG. 120

(A)



(B)

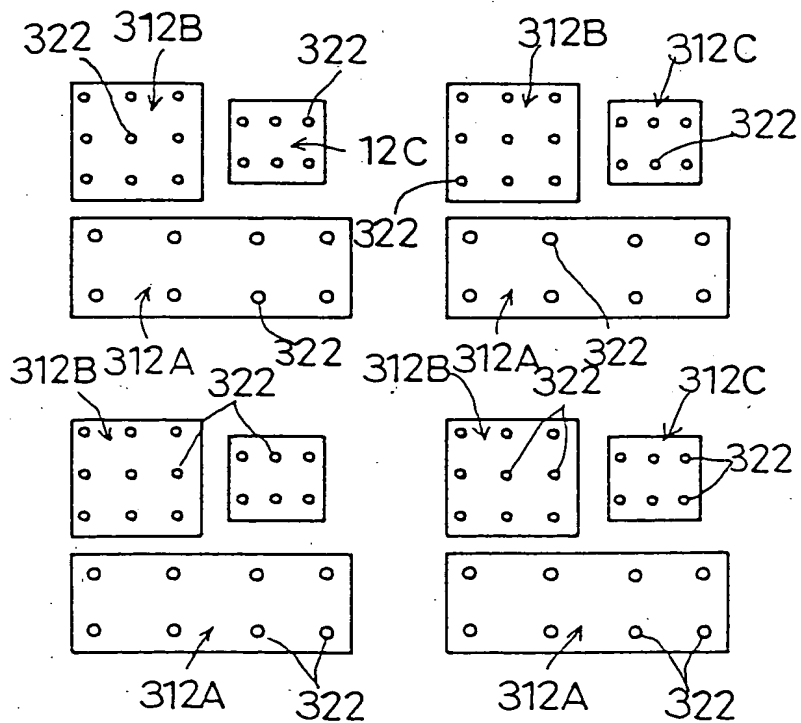


FIG. 121

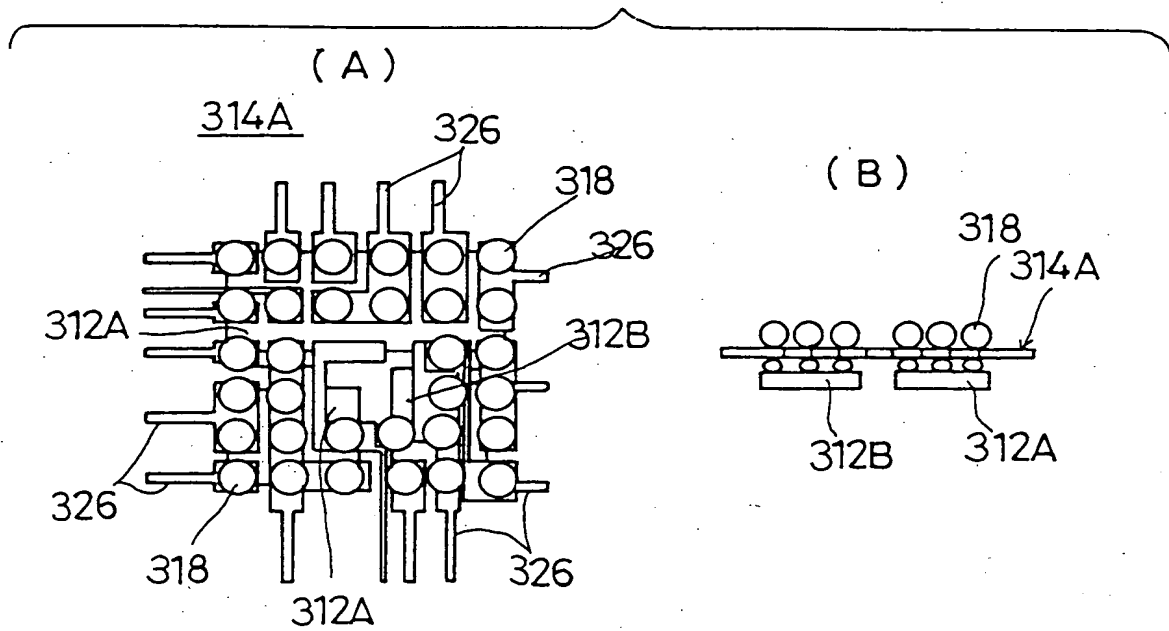


FIG. 122

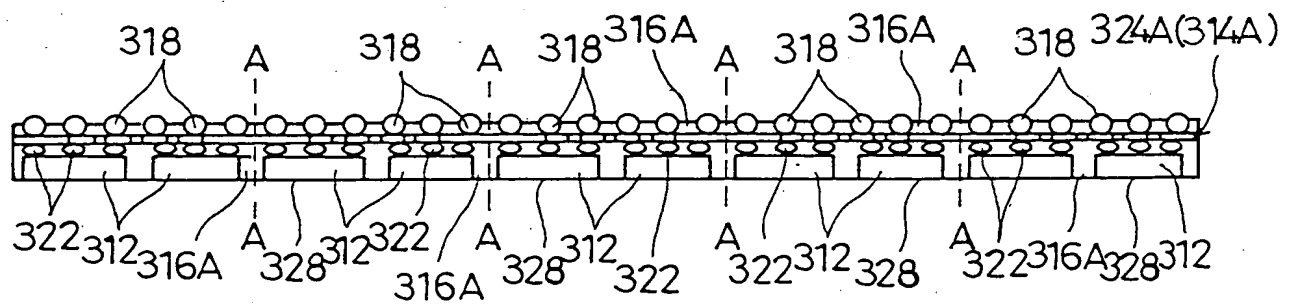


FIG. 123

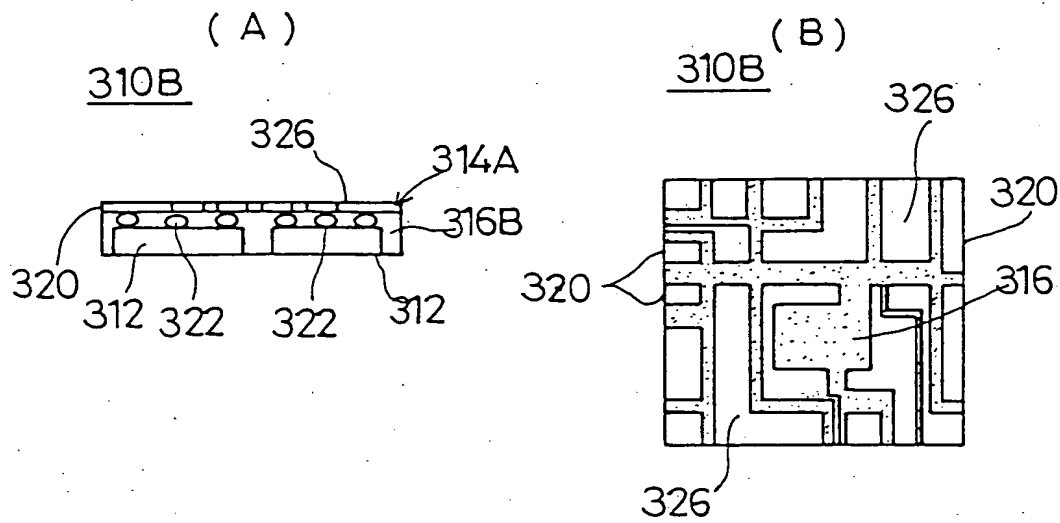


FIG. 124

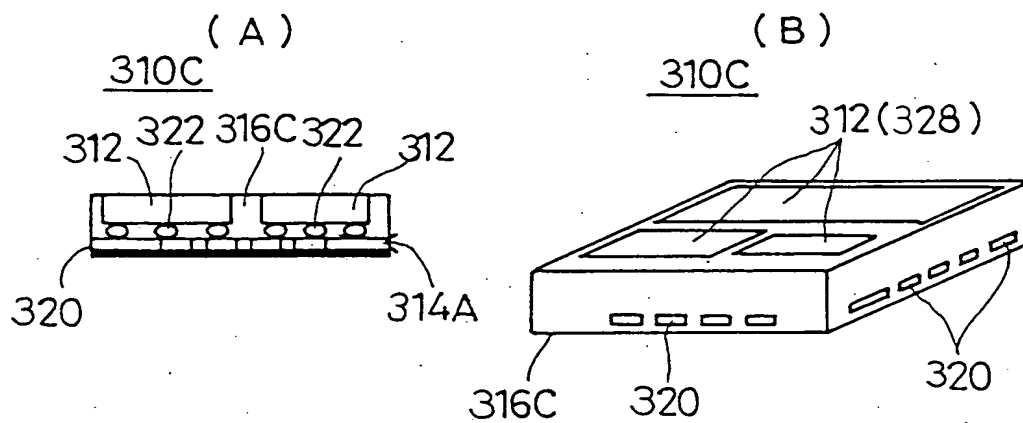


FIG. 125

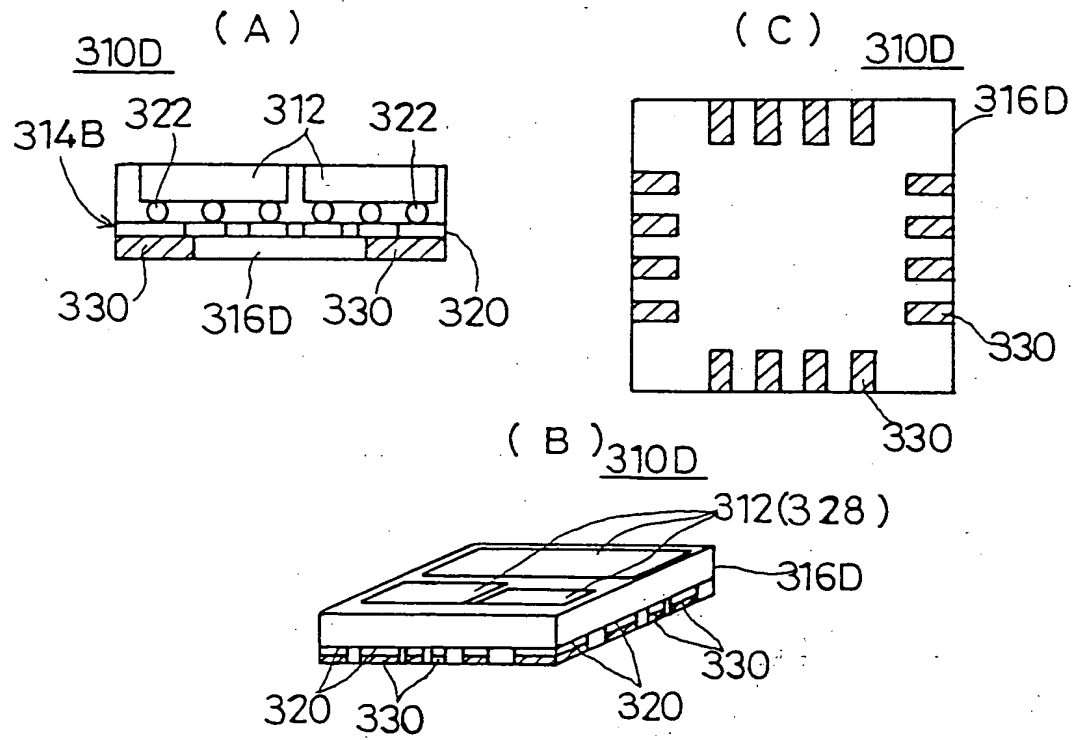


FIG. 126

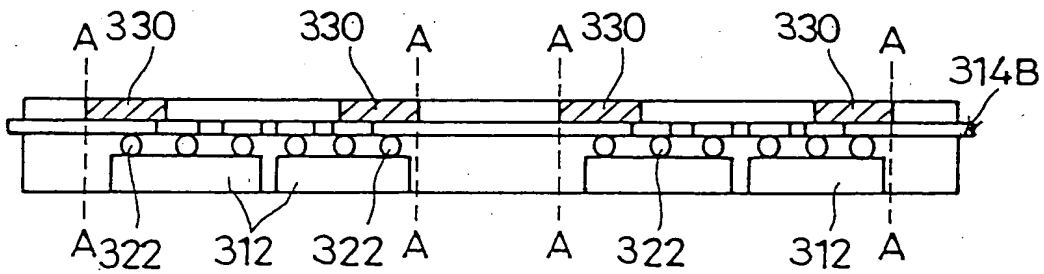


FIG. 127

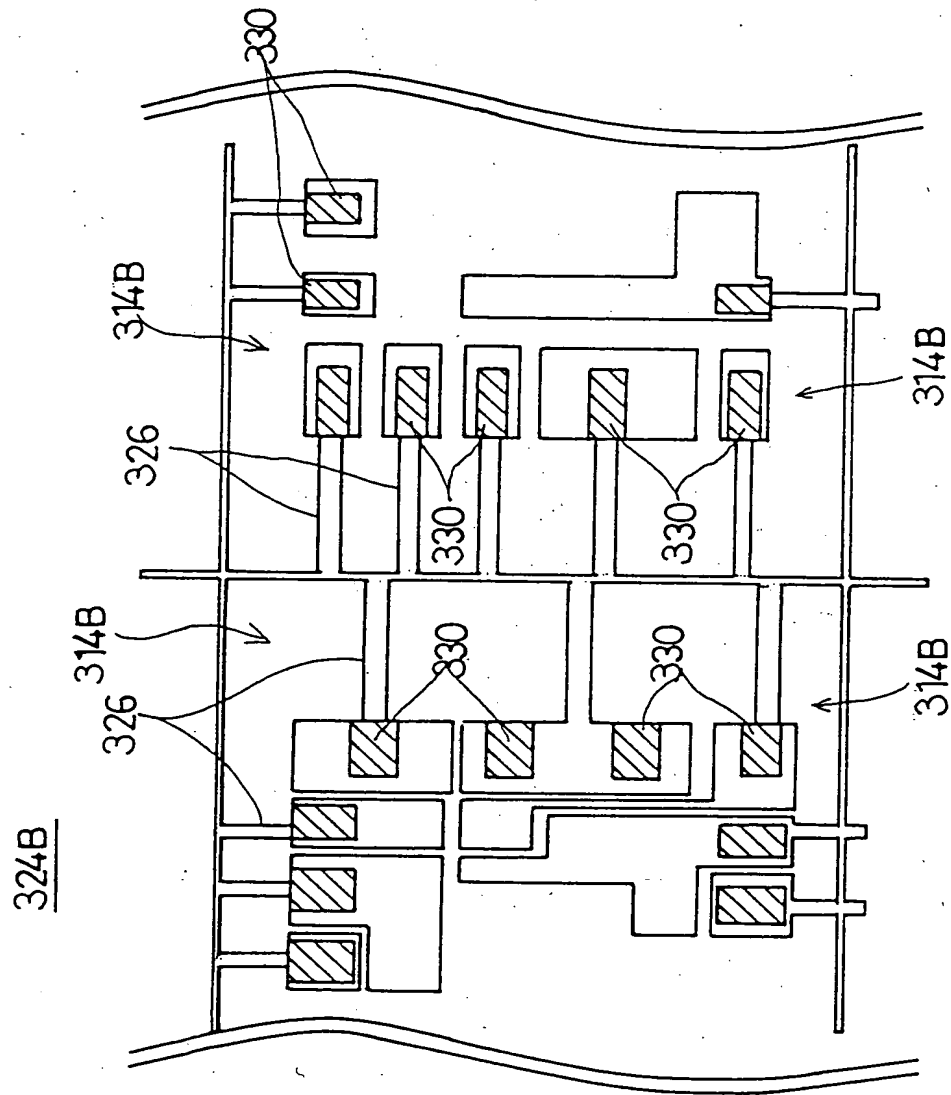


FIG. 128

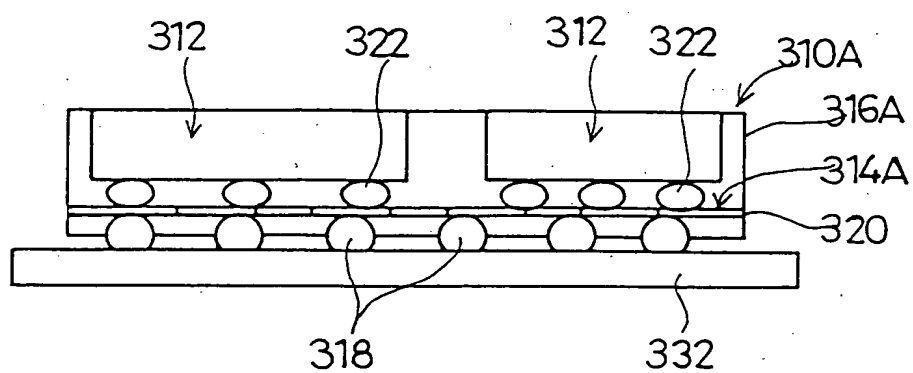


FIG. 129

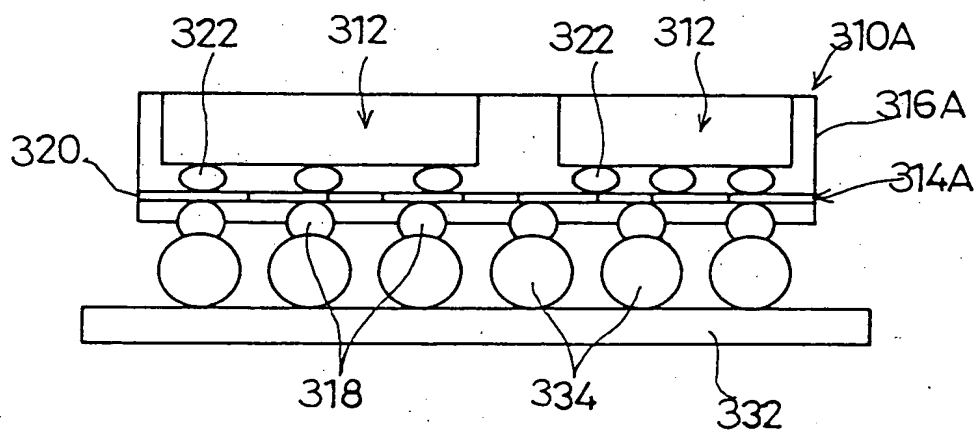


FIG. 130

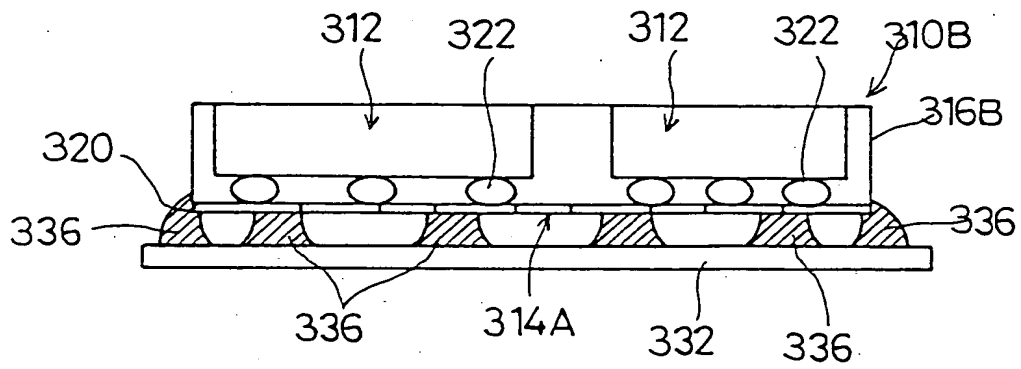


FIG. 131

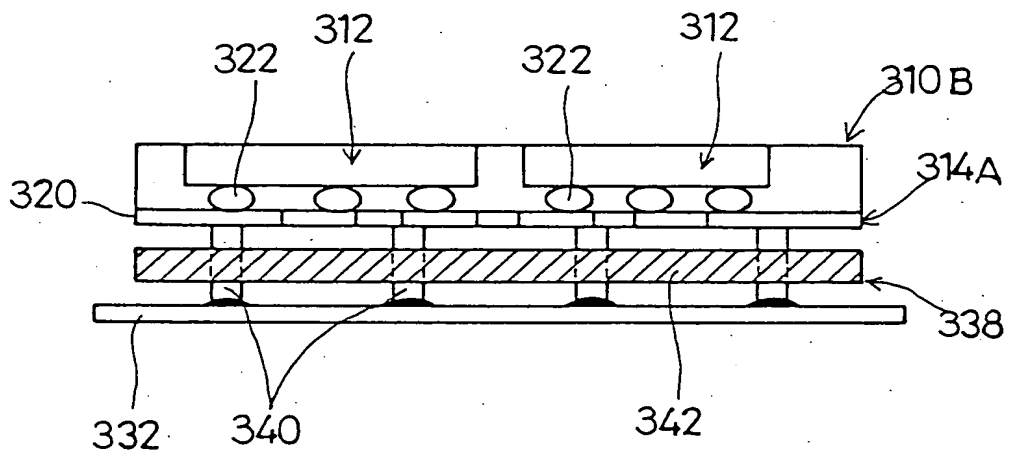


FIG. 132

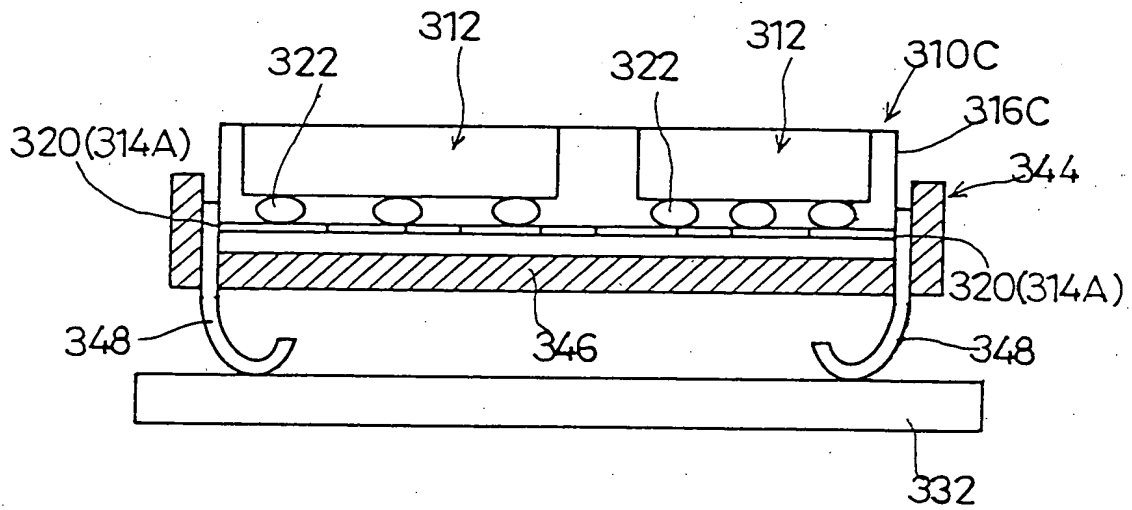


FIG. 133

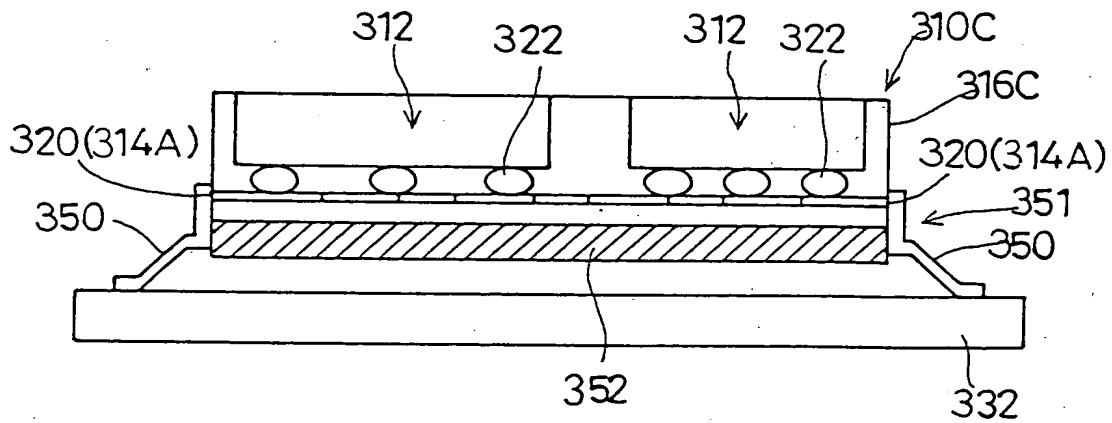


FIG. 134

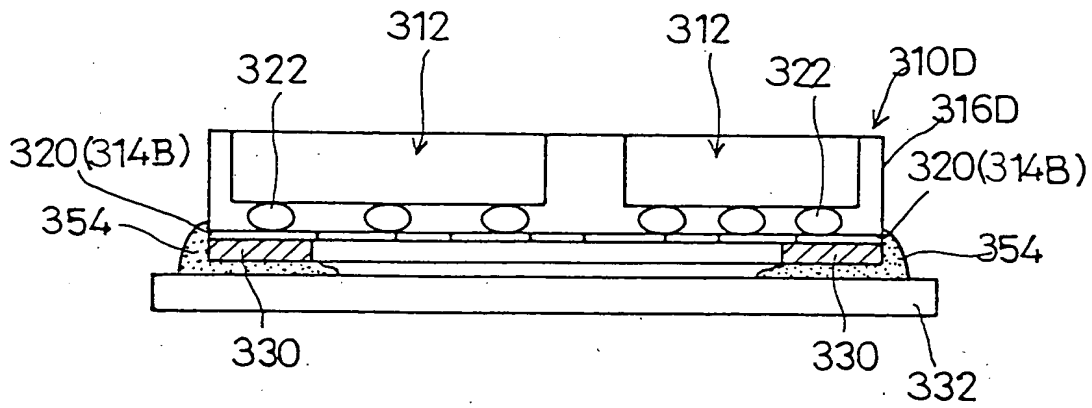


FIG. 135

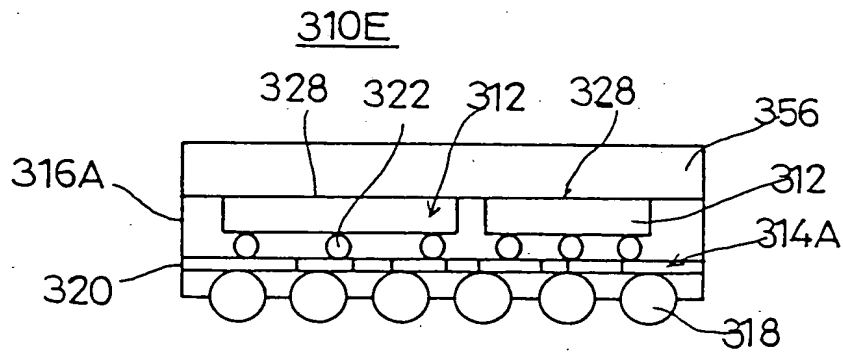


FIG. 136

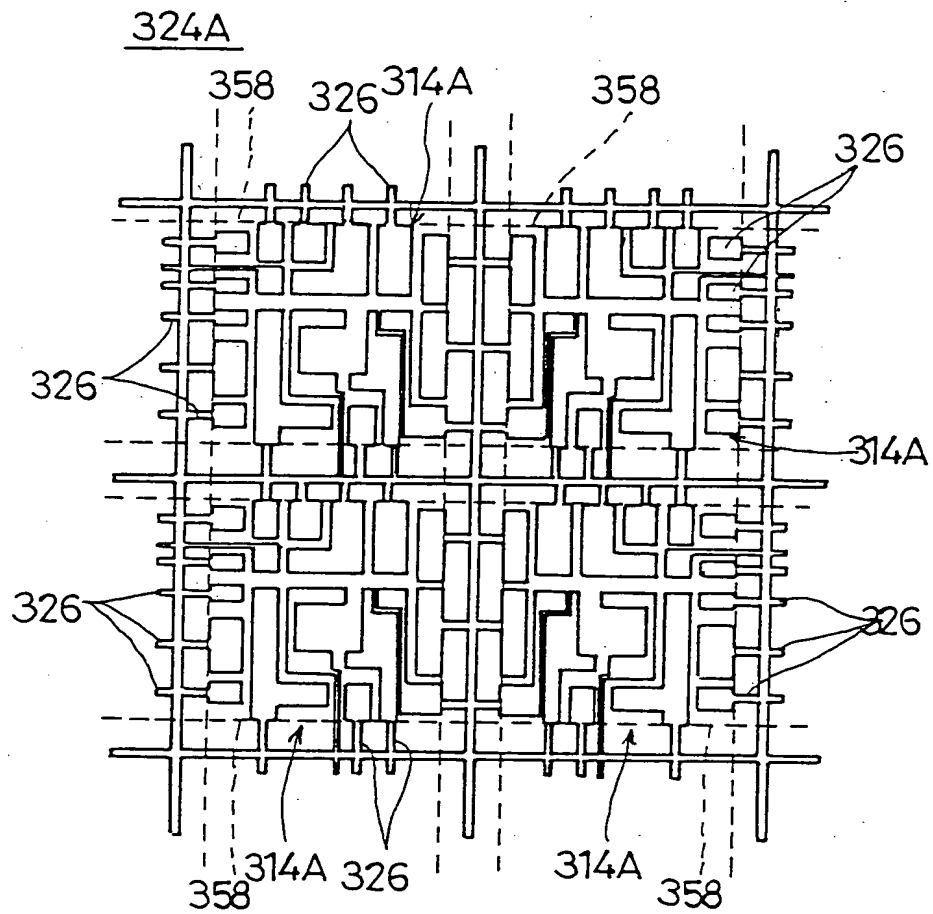


FIG. 137

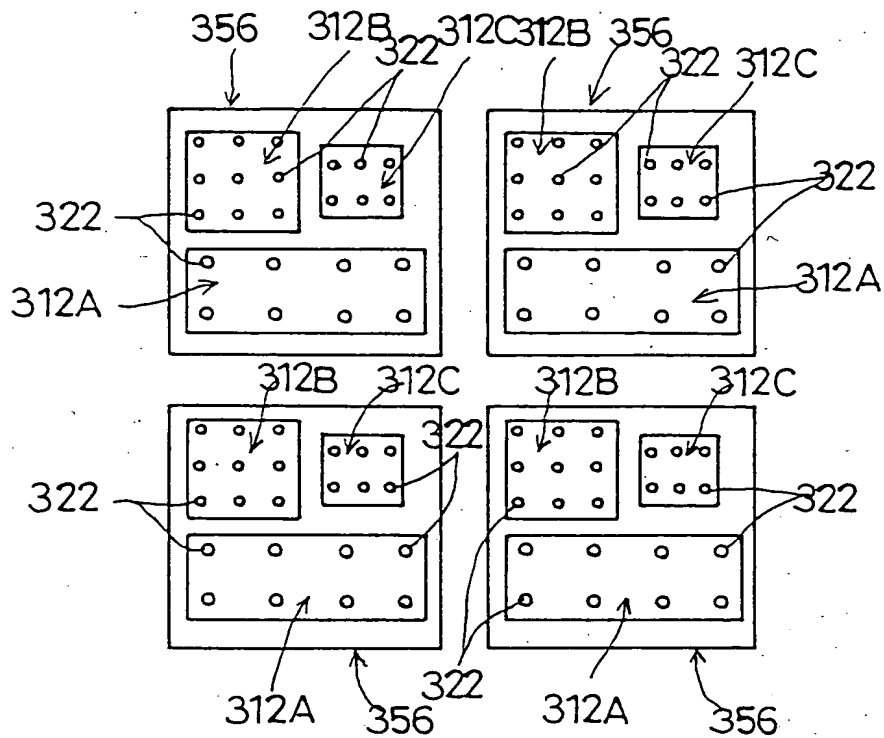


FIG. 138

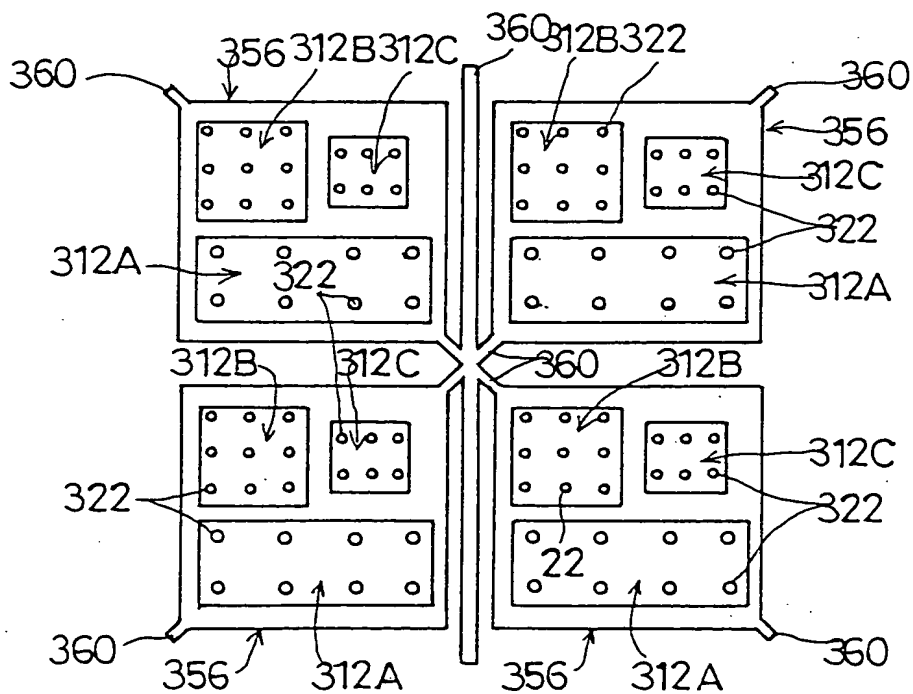


FIG. 139

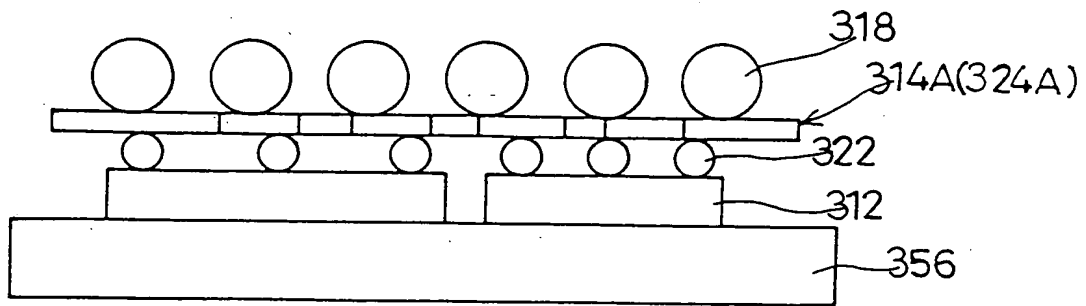


FIG. 140

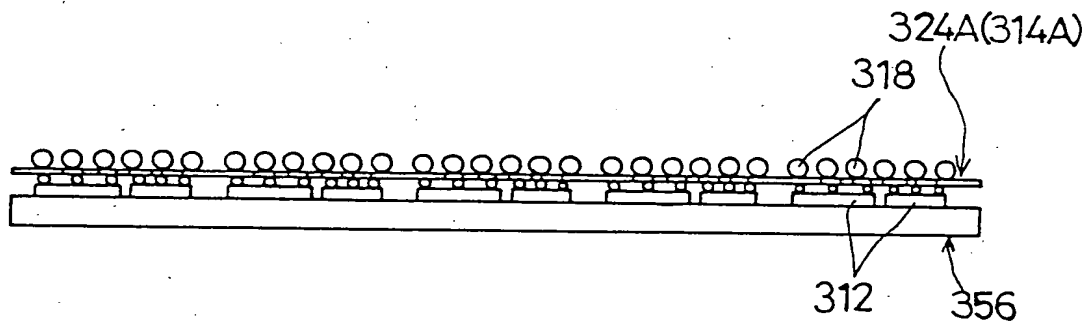


FIG. 141

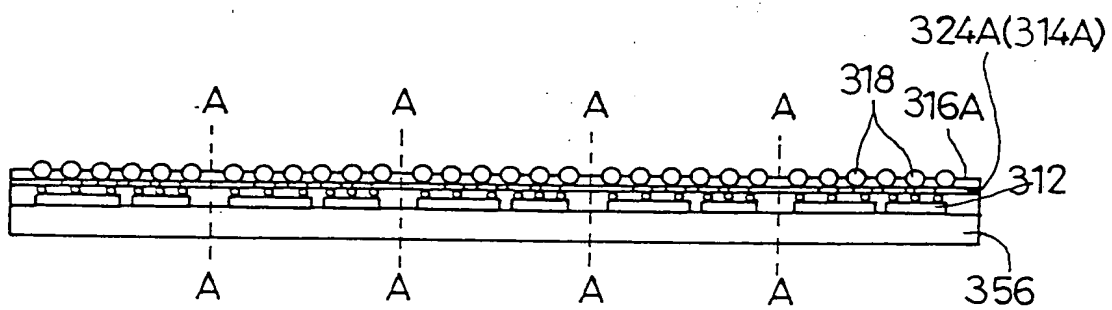


FIG. 142

310F

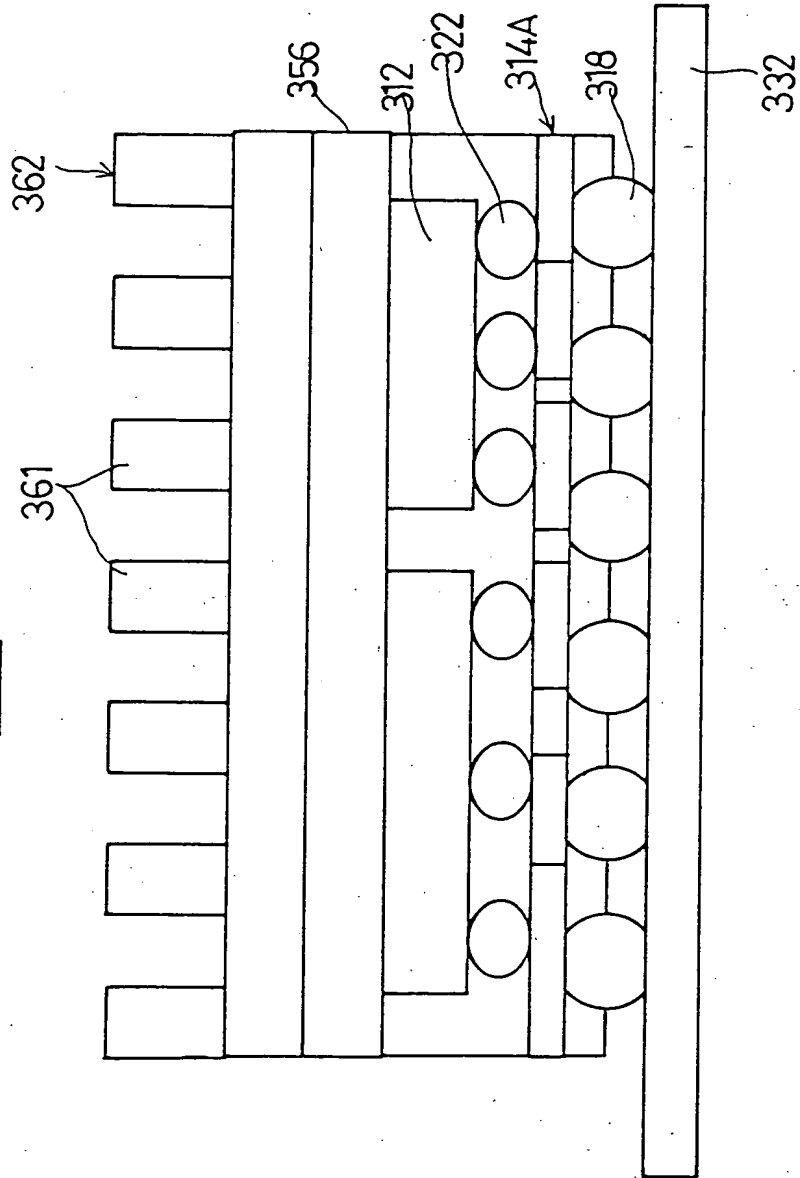


FIG. 143

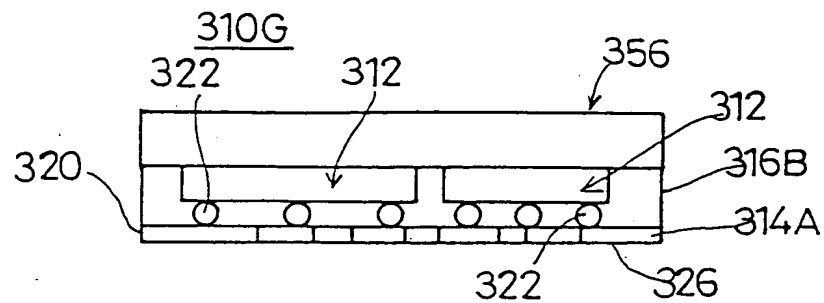


FIG. 144

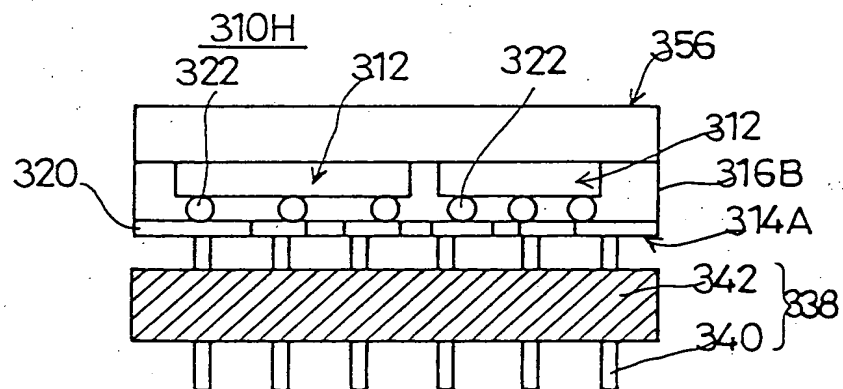


FIG. 145

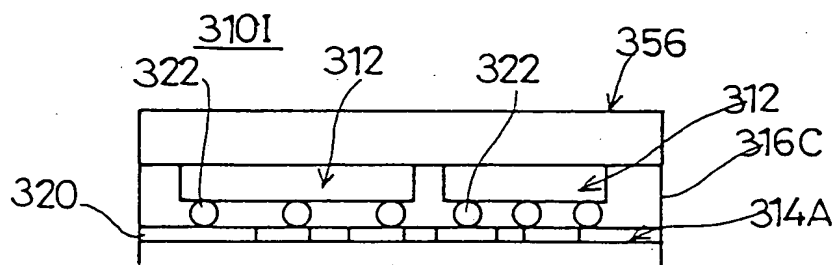


FIG. 146

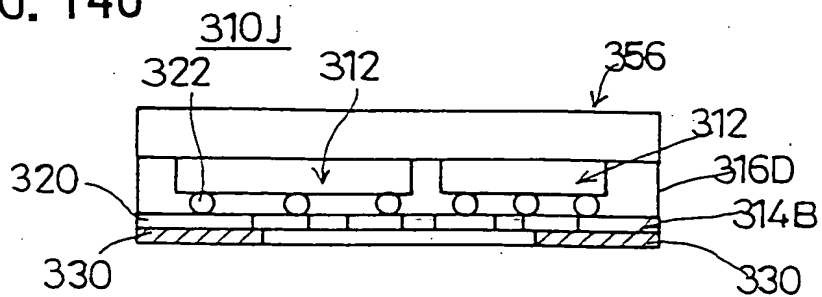


FIG. 147

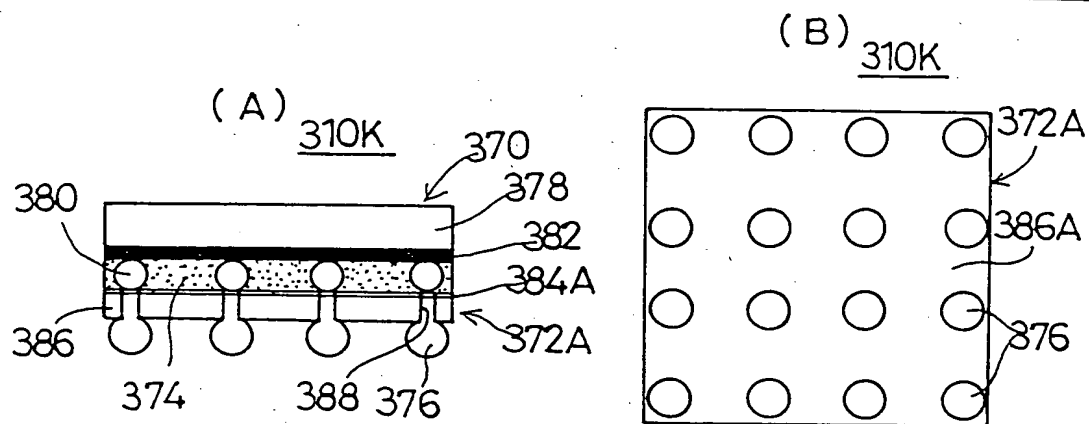


FIG. 148

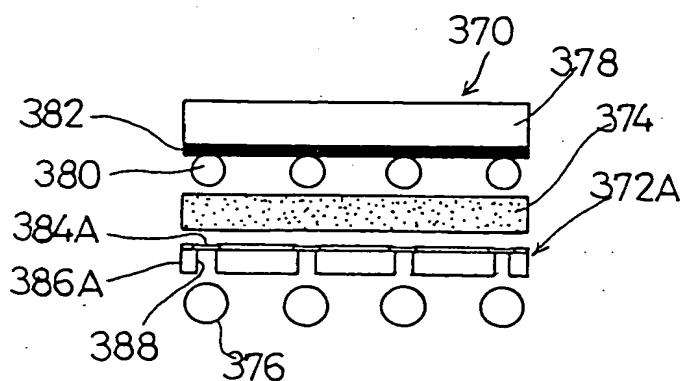


FIG. 149

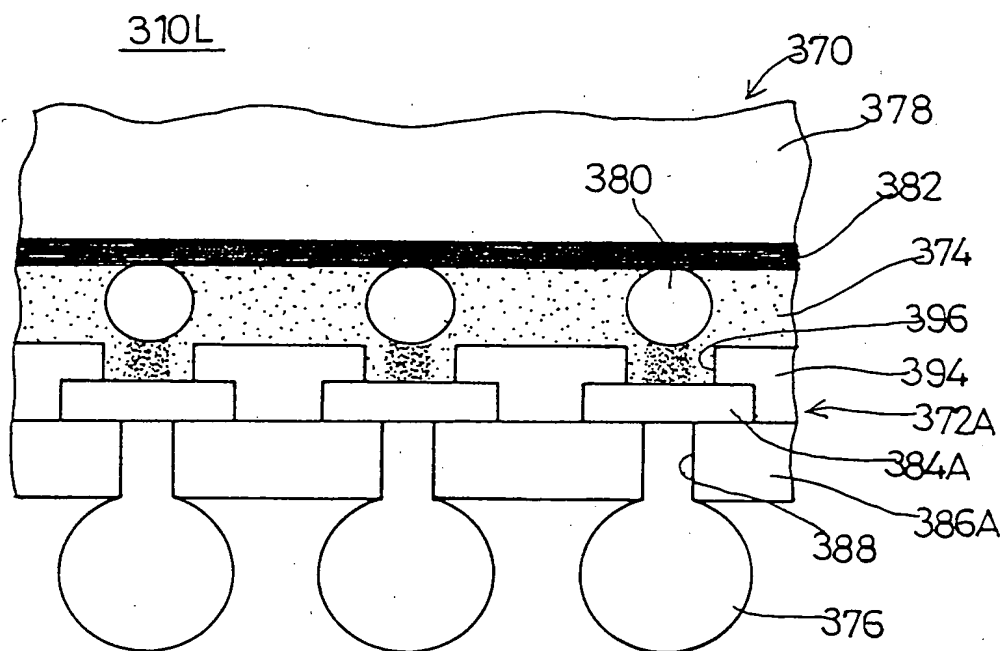


FIG. 150

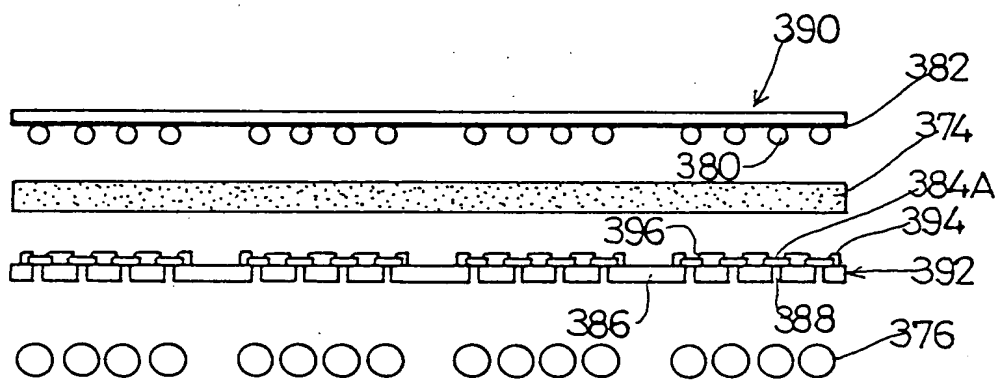


FIG. 151

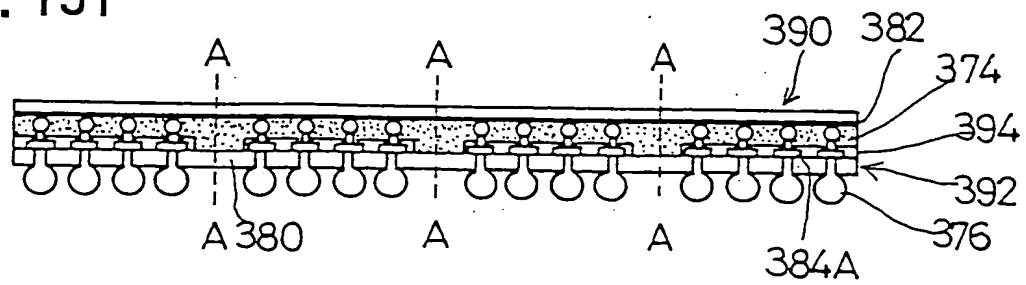


FIG. 152

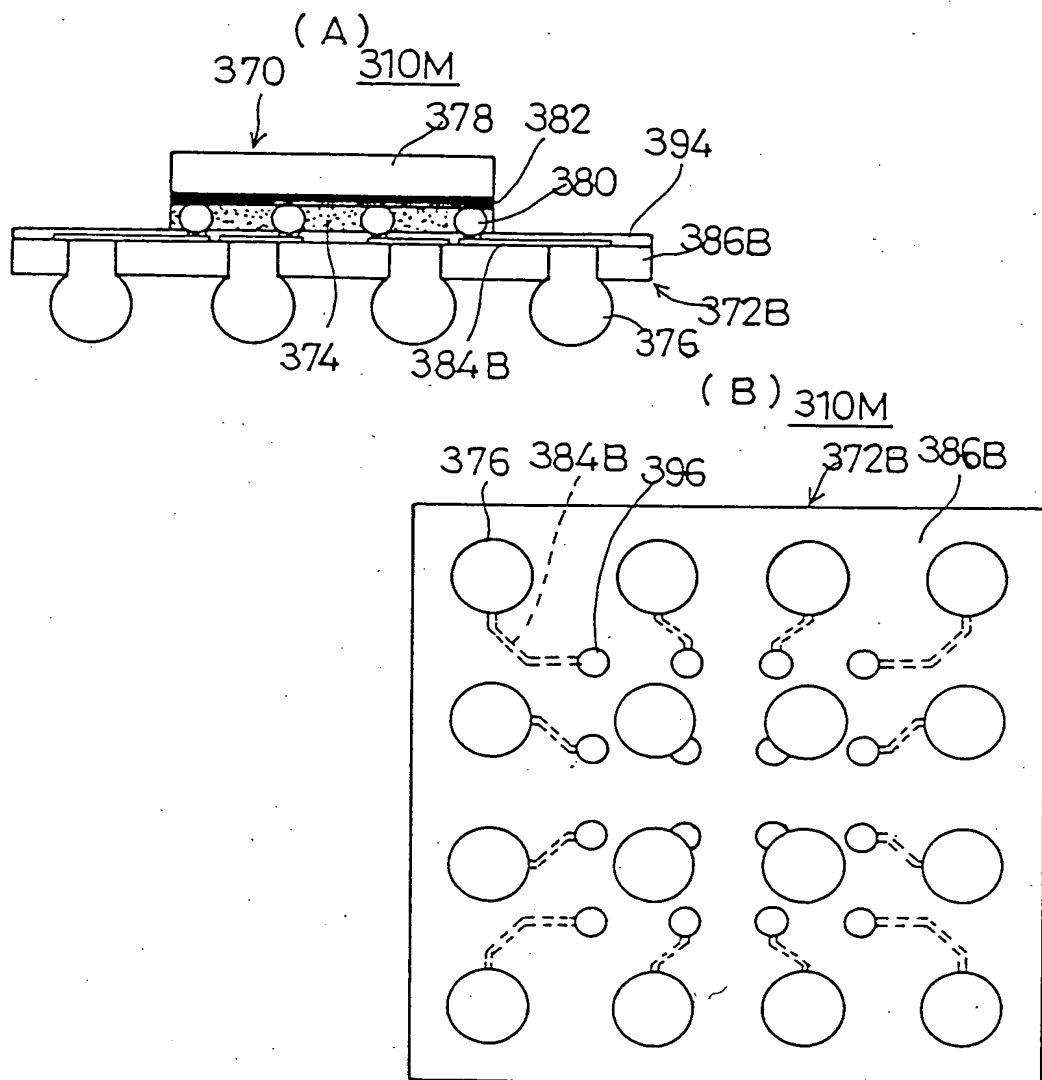


FIG. 153

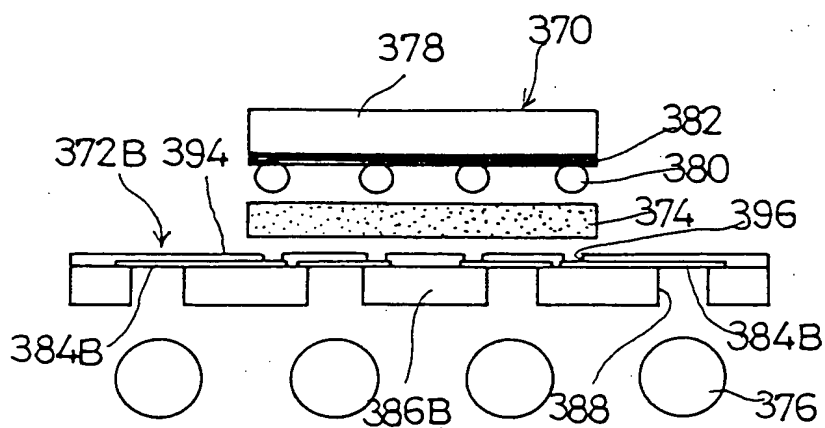


FIG. 154

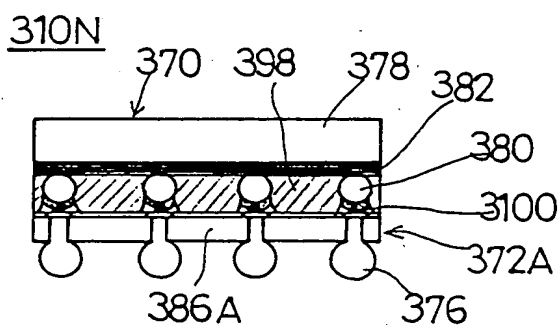


FIG. 155

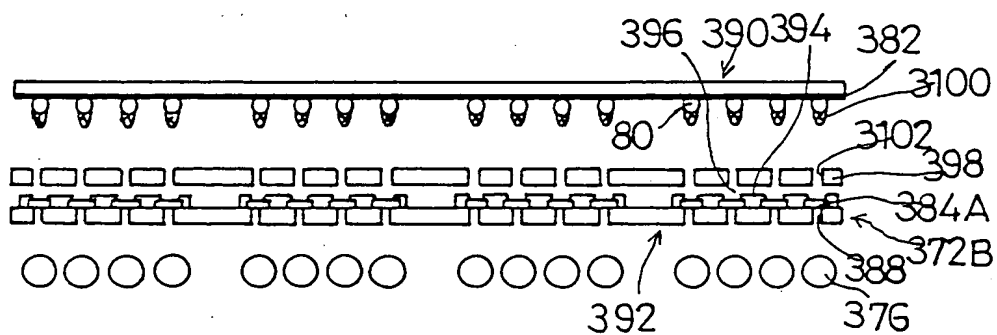


FIG. 156

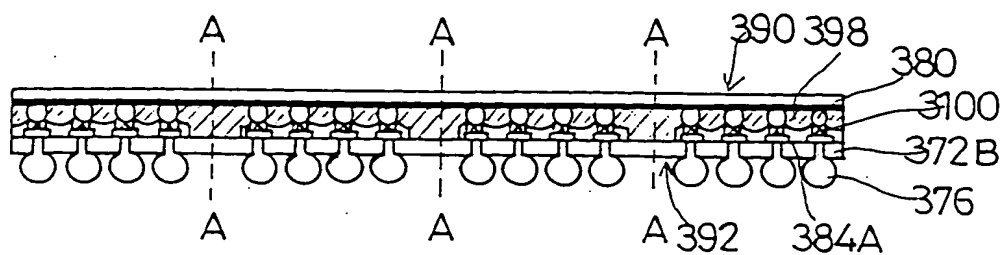


FIG. 157

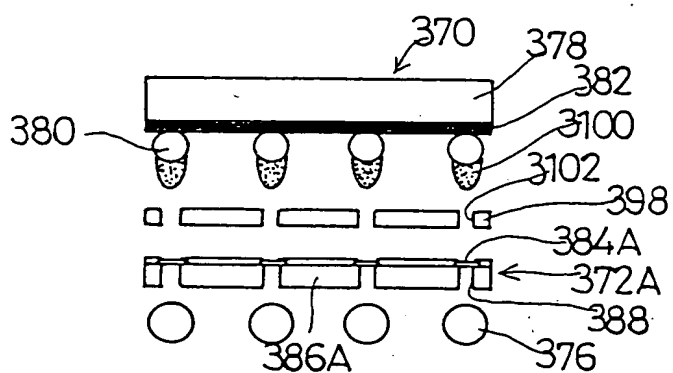


FIG. 158

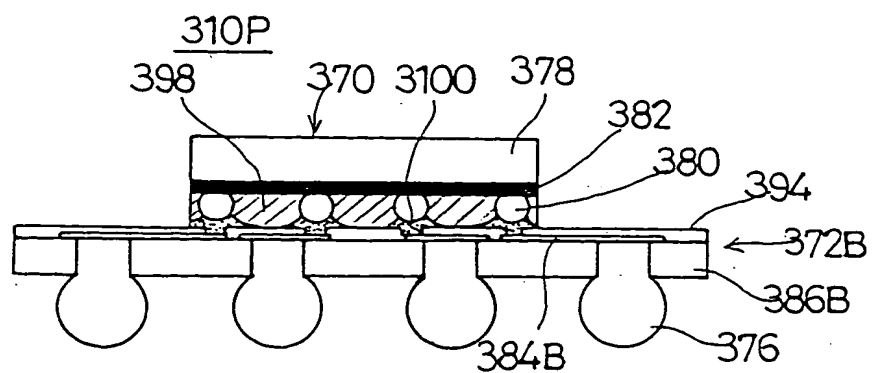


FIG. 159

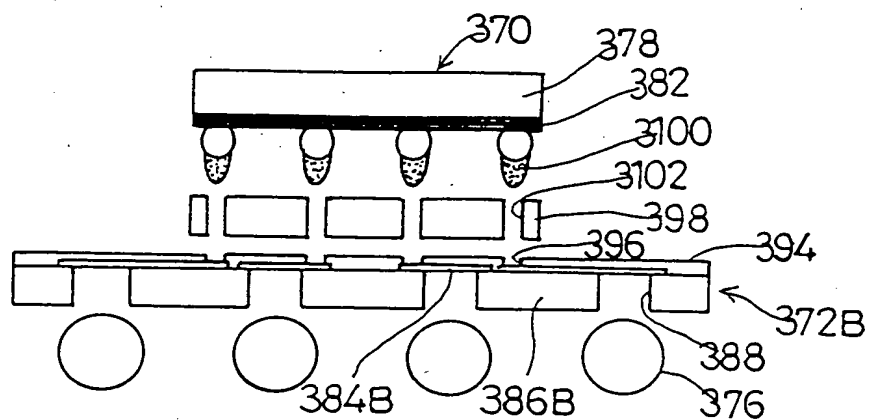


FIG. 160

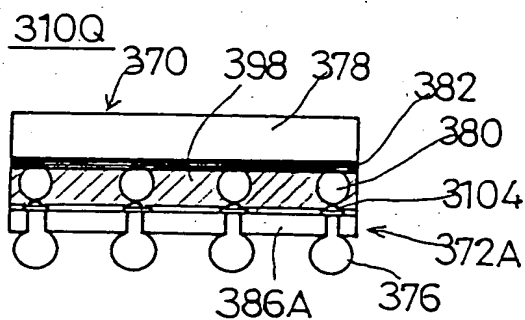


FIG. 161

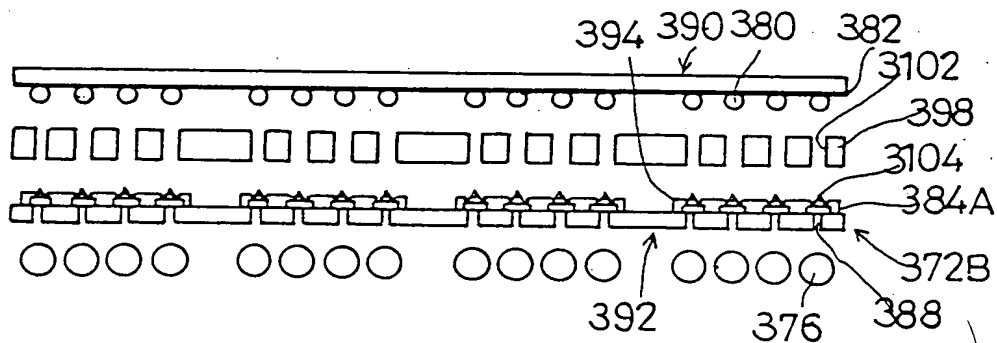


FIG. 162

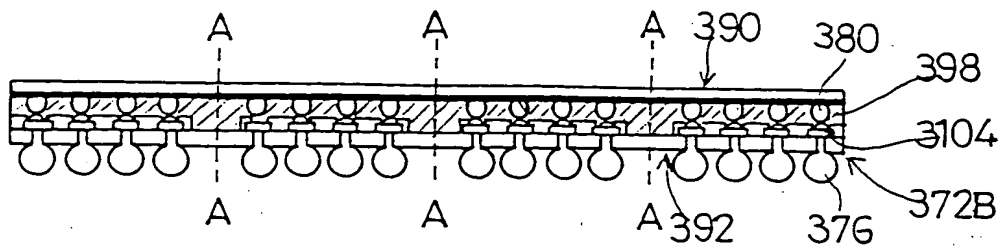


FIG. 163

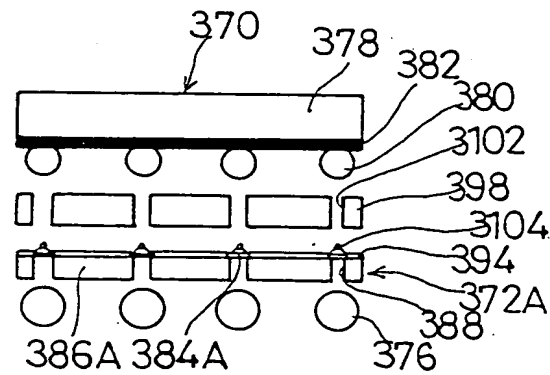


FIG. 164

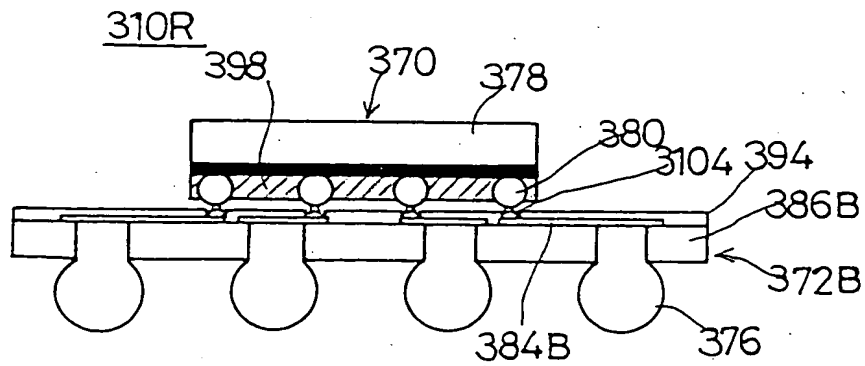


FIG. 165

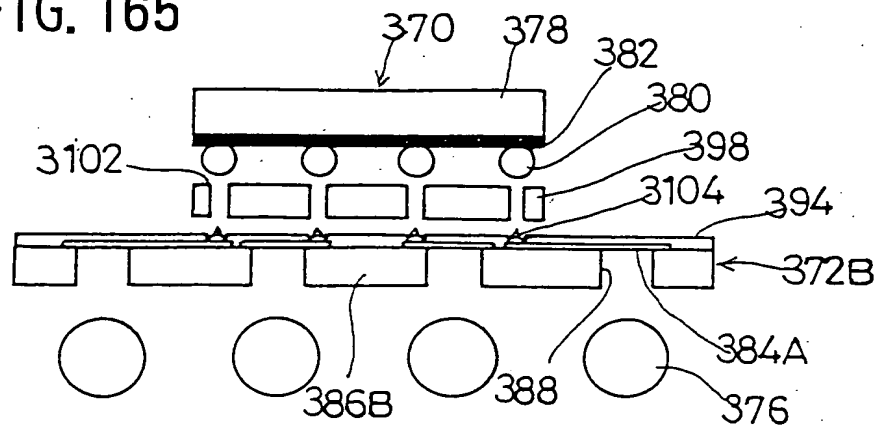


FIG. 166

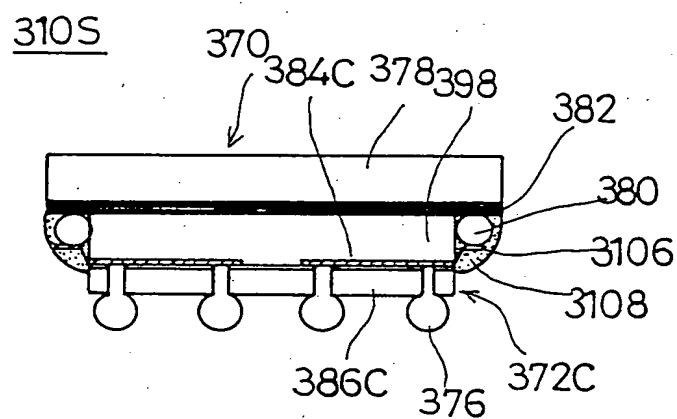


FIG. 167

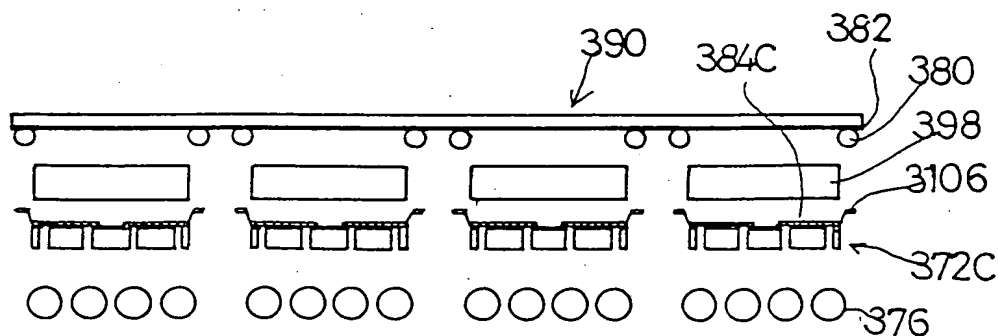


FIG. 168

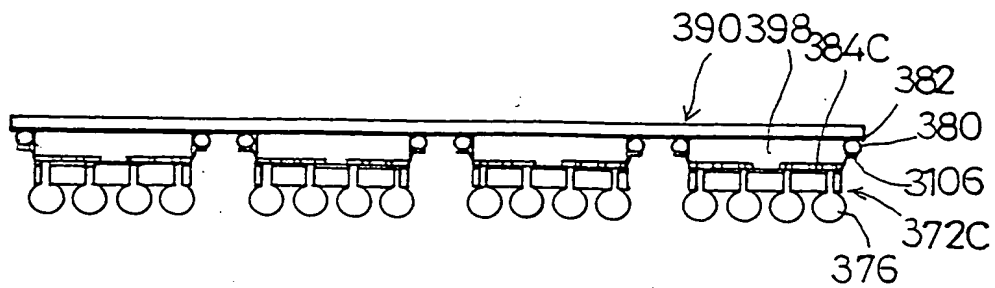


FIG. 169

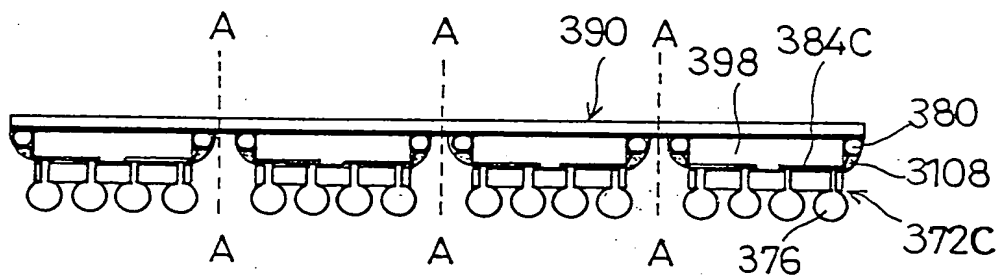


FIG. 170

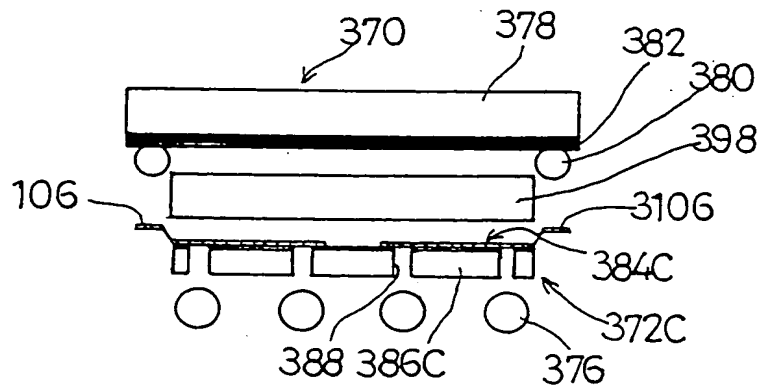


FIG. 171

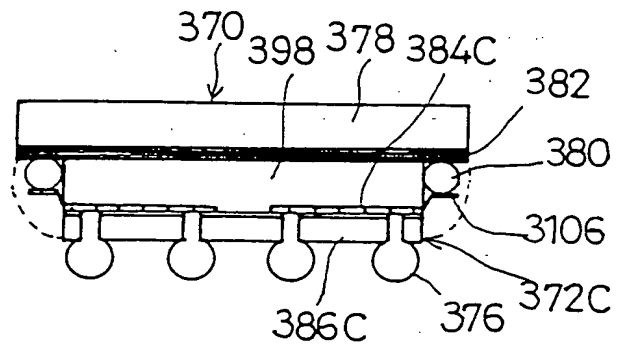
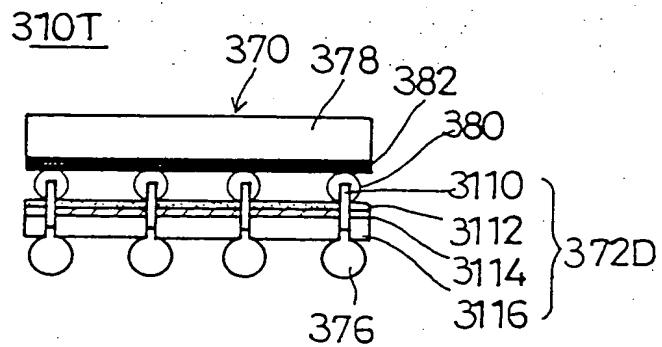


FIG. 172

(A)



(B)

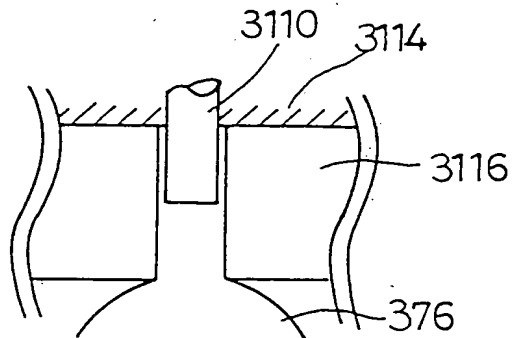


FIG. 173

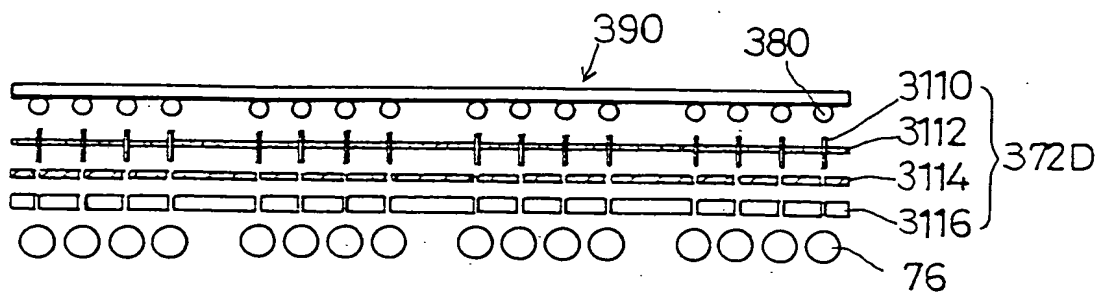


FIG. 174

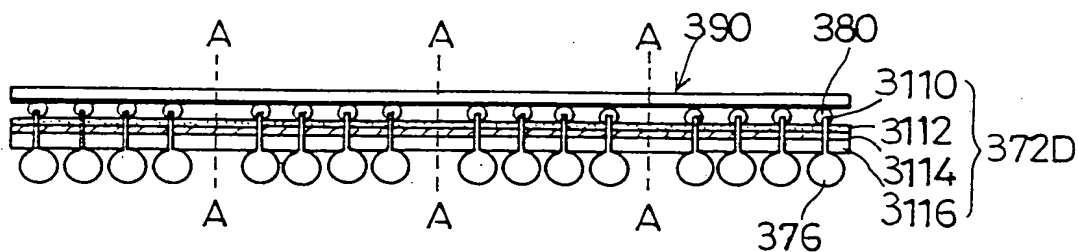


FIG. 175

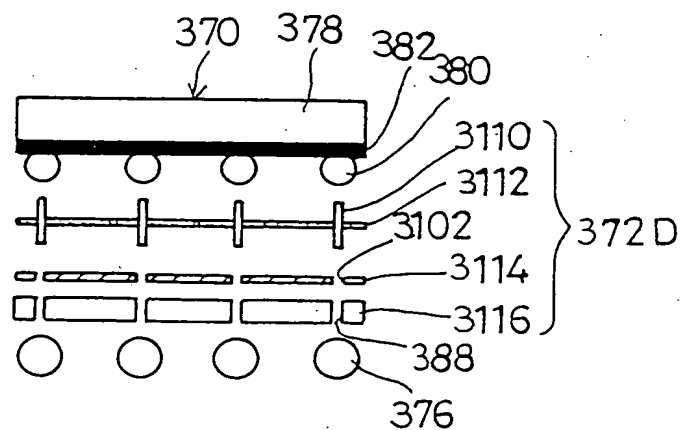


FIG. 176

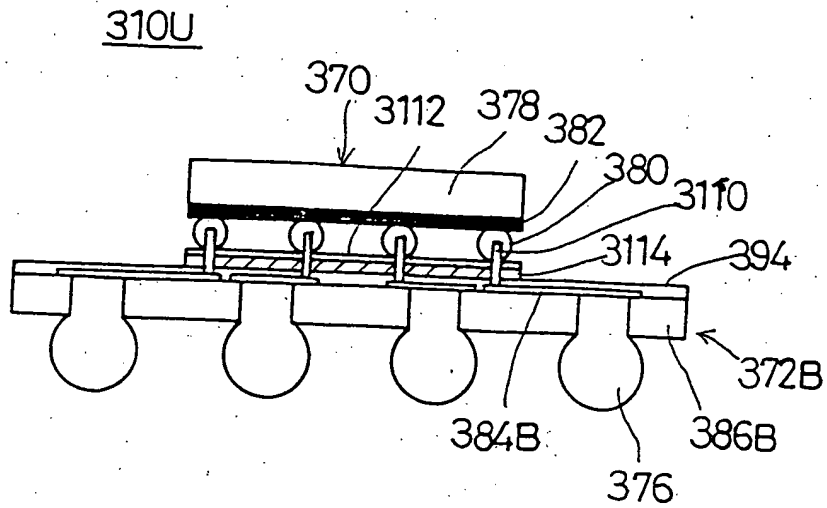
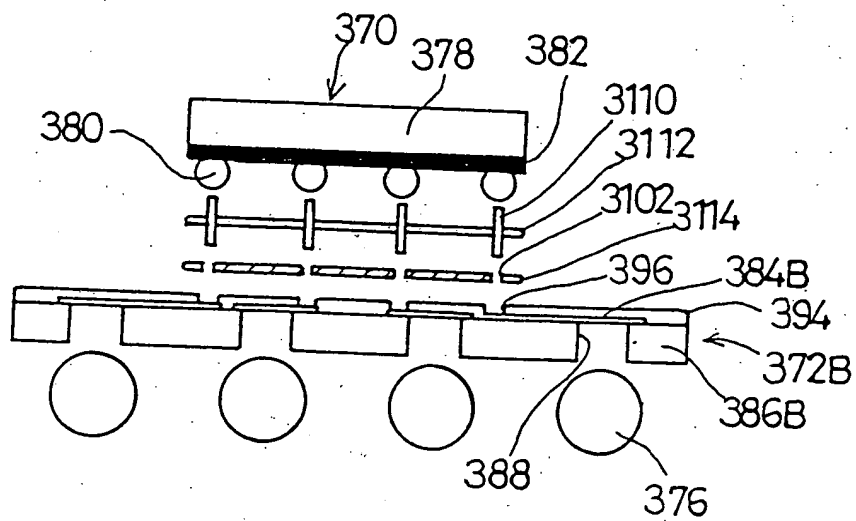


FIG. 177



THIS PAGE BLANK (USPTO)